

구리기둥범프 용 전해도금 층 제어

문대호¹, 홍상진¹, 박종대¹, 황재룡², 소대화^{1,2,a}명지대학교 전자공학과¹,한국과학기술정보연구원 ReSEAT 프로그램^{1,2,a},

Thickness Control of Electroplating Layer for Copper Pillar Tin Bump

Dae-Ho Moon¹, Sang-Jeen Hong¹, Jong-Dae Park¹, Jae-Ryong Hwang²and Dea-Wha Soh^{1,2,a}¹Dept. of Electronic Eng., Myong-Ji University,^{1,2,a}ReSEAT Program, Korea Institute of Science & Technology Information, Seoul 130-741, Korea

E-mail : gpsoh45@naver.com

요 약

고밀도집적을 위한 구리기둥주석범프(CPTB)의 제작공정에 흔히 전기도금과 무전해도금이 적용된다. CPTB는 약 100 μ m 정도의 피치를 갖도록 먼저 구리도금 층을 전착시킨 다음, 구리의 산화 억제를 위하여 구리기둥 주위에 주석을 입혀 제작한다. 이 과정에서 구리도금 층 두께를 균일하게 형성하는 일은 매우 민감하고 어렵지만 중요한 일이다. 이를 위하여 구리도금 전극 사이에 전류분포 제어를 위한 절연 막(절연게이트)을 형성하여 도금 층의 두께분포를 조절하는 실험을 하였다. 원통형 도금 조에서 중심부를 열어 전류를 흘려 주고, 그 외 부분은 가장자리 끝까지 막고 전류를 차단하여 두께분포 변화를 확인하였다.

ABSTRACT

The electroplating and electro-less plating methods have been applied for the high density chip interconnect of the Copper Pillar Tin Bump (CPTB) preparation. The CPTB was prepared, which had been electroplated about 100 μ m pitch of copper layer firstly, and then the Tin layer was deposited on the copper pillar surface to protect the oxidation of it. It was also very important to get uniform thickness of electroplated copper layer, though it was difficult and sensitive.

In order to control the thickness distribution, it was examined that the current separating disk of Insulating Gate with a hole in the center was installed between electrodes. The current flows through the center hole of the Insulating Gate in the cylindrical electroplating bath and the other parts were blocked to protect current flowing. The main current flowed through the center hole of the Insulating Gate directly to the opposite electrode of wafer disk. As the results, it was verified that the copper layer was thick in the center part of wafer disk with distribution of thinner to the outer part toward edge.

Key Words : Copper Pillar Tin Bump, CPTB, uniform thickness, copper layer, Insulating Gate,

1. 서 론

반도체소자의 집적도를 비롯하여 기능과 활용성을 좌우하는 I/O의 수는 계속 증가되는 반면에 칩과 PCB기판과의 접합에서 bump의 크기는 지속적으로 작아지고 있다.[1]

고밀도집적을 위한 구리기둥주석범프(CPTB)의 제작공정에서 흔히 전기도금과 무전해도금 기술이 적용된다. CPTB는 약 100 μ m 정도의 피치를 갖도록 먼저 구리도금 층을 전착시킨 다음, 구리의 산화 억제를 위하여 구리기둥 주위에 주석을 무전해도금법으로 입혀서 제작한다. 이 과정에서 구리도금 층 두께를 균일하게 형성하는 일은 매우 민감하고 어렵지만 중요한 일이다. 이를 위하여 구리도금조의 양극

과 음극의 두 전극 사이에 전류분포 제어를 위하여 절연차단막(절연게이트)을 형성하여 도금 층의 두께 분포를 조절하는 실험을 하였다. 원통형도금조에서 중심부를 적당한 크기로 열어 전류를 흘려주고, 그 외 부분은 가장자리 끝까지 모두 막고 전류를 차단하여 주 전류가 중앙의 열린 전로만을 통하여 흐르도록 하여 피 도금전극의 표면전류분포를 제어하는 방법으로 도금 층 두께의 분포 변화를 유도하여 반도체 웨이퍼의 도금 층 두께를 인위적으로 제어하고, 그 결과를 피드백 시켜 도금 층 두께의 분포를 제어하고자 하였다. 도금조의 전극과 전로제어차단막(insulating gate 또는 circular tube) 구조를 변경시킴으로써 도금전류밀도 분포를 변화시켜 제어함으로써 도금 층의 제어 가능성을 확인하였다.

2. 실험 및 고찰

가. 구리의 전해도금

전해도금은 3-D packaging 기술의 발전과 함께 Dual Damascus 등의 공정에서 큰 역할을 담당하고 있다. 또한, 우수한 내 부식성, 낮은 공정온도 그리고 내경 및 슬롯 등에 전착 할 수 있는 순기능 때문에 interconnection에서 전해도금은 점점 주도적인 위치를 확보하고 있다. 전해도금의 기본 원리는 도금하고자 하는 금속을 음극으로 하고 전착시키고자하는 금속을 양극으로 하여, 전착시키고자하는 금속의 이온을 함유한 전해액속에 넣고, 통전하여 전해함으로써 원하는 금속이온이 양극물질의 표면에 전해 석출하는 원리를 이용한 것이다. 따라서 도금하고자하는 대상은 전도성이 좋아야 하지만 금속성 제품의 경우는 별 문제가 없다.

본 논문에서는 헐셀(Hull Cell)도금장치(정도시험기연구소)를 사용하여 전해도금의 기본 조건을 확보하고 전극과 전로제어차단막의 구조물을 이용하여 도금을 수행하였다. 헐셀도금장치는 미국의 R. O. Hull이 개발(1953년)한 것으로, 표준형 헐셀 및 그의 도금조의 형상은 그림1과 같다.[5]

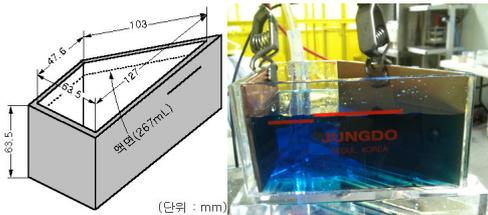


그림1] 표준형 헐셀과 도금조의 형상
Fig1] Standard Hull Cell & plating bath

나. 전로제어와 insulating gate

반도체 집적회로의 구리기동법프 도금 층 형성 공정 개요는 다음과 같다.

- 반도체 웨이퍼 위에 스퍼터링으로 증착된 구리씨드를 형성하고, 그 위에 포토레지스트를 도포한 후 구리기동이 위치하는 곳에 대하여 선택적 노광을 수행한다.

- 포토공정의 진행결과 및 포토레지스트의 두께에 따라 결정된 구리기동의 높이와 포토레지스트의 두께는 사전실험조건에 따라 확립한다.

- 포토공정 이후 스퍼터링 증착한 구리표면에 구리전해도금으로 비아홀의 일정 부분에 구리기동을 형성한다. 구리기동의 높이는 주석도금 부분을 고려하여 포토레지스트의 두께에 비해서 얇게 되도록 도금한다.

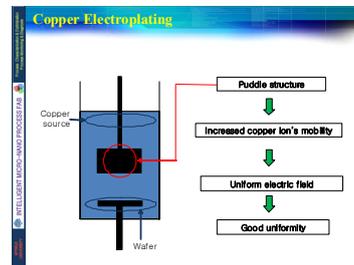
- 구리도금 이후 구리의 확산방지를 위하여 디퓨전-배리어가 되는 주석법프를 도금으로 형성한다. 주석법프를 사용하게 되면 미세 피치 및 기생성분 감소의 특성을 살릴 수 있다.

- 포토레지스트 제거 후, 각 구리기동의 전기적 절연을 위하여 스퍼터링에 의해서 형성된 바탕의 sputtered Cu seed 막은 제거한다.

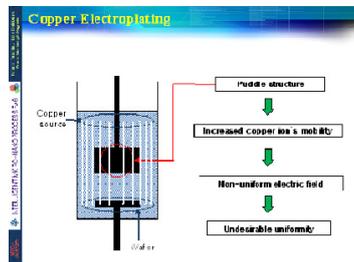
- 마지막으로, 구리기동의 외벽을 휘스커 성장이 억제된 주석도금을 하면 고밀도 플립칩 패키징을 위한 구리기동-주석법프가 완성된다.

이상의 과정을 통해서 신뢰성 높은 고밀도 패키징을 비교적 간단한 공정을 통해서 구현할 수 있으며, 포토공정의 개발 정도에 따라 보다 미세한 패턴을 갖는 구리기동을 형성할 수 있다.

위에서 기술한 구리기동-주석법프 제작에 필요한 구리도금 공정에서, 기존의 puddle 식 구리도금 방식에 대체할 균일한 구리도금 층 두께 형성의 요소로 제안한 [puddle 식 + 절연게이트 및 유도된 전계이온 분포 식(式)] 공정 기술 개요를 나타내면 아래 그림과 같으며, 1) 비 균일전계 분포에 대한 공간 구조적 제어 기술 및 2) 도금액중의 이온밀도 편차 저감 균일화를 위한 제안 기술이다.



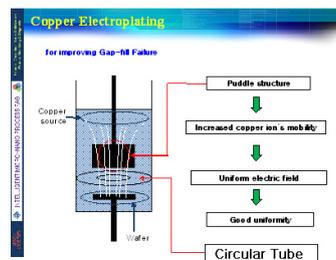
(puddle식 도금조-무전계시)



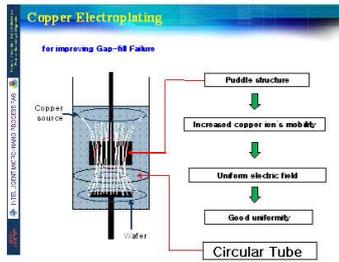
(puddle식 도금조 - 비균일전계 및 이온분포)

그림2] 기존의 puddle 식 도금 조와 전극구조 및 전계분포

Fig2] Conventional electroplating bath with puddle



(저 전류밀도 시)



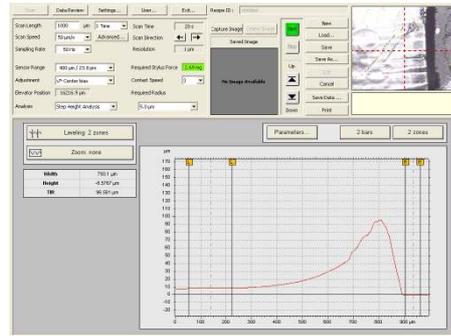
(고 전류밀도 시)

그림3] 제안된 puddle + 절연게이트 식 및 유도된 전계-이온 분포 식의 개념
Fig3] Concept on proposed type of puddle+insulating gate and guided field-ion distribution in the bath

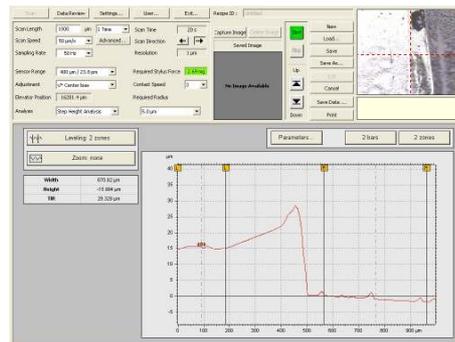
다. 도금 형성과 두께 측정
 도금 형성과 실험 측정을 위하여 실험에 사용할 실리콘 웨이퍼(4 inch)를 전 처리한 다음, Ti를 500Å 증착하고 그 위에 다시 Cu를 500Å 증착하여 사용하였다. 또한, 도금 조의 형태를 1) 중심부 통전을 위한 center hole 전로제어차단막(center hole insulating gate) 구조와, 2)외곽부 통전을 위한 outer open-ring 전로제어차단막(outer open-ring insulating gate) 구조로 나누어 실험을 하였다. 그 중에서 우선 center hole 전로제어 차단막 구조의 실험을 위하여 투명한 PET 병을 이용하였으며, center hole 제어차단막 구조를 만들기 위하여 PET 병을 상부를 잘라서 PET 병의 입구가 달린 부분을 center hole로 사용하였다. 이때, center hole 이외의 부분은 전로를 차단시킴으로서 도금 조 내의 전류 흐름은 (+)전극으로부터 center hole을 통하여 (-)전극으로 흘러 들어가는데, center hole을 경유하여 전로의 중앙부에 밀집된 전류밀도 분포가 웨이퍼의 외곽부(outer ring)로 분산되어 흐르게 된다. 그 결과, 피 도금체인 웨이퍼의 중심부 전류밀도가 증가되고 외곽으로 나갈수록 전류밀도는 감소하게 된다. 이 구조를 적용하여 예비시험을 한 결과, [그림4]에서와 같이 α -step으로 측정한 중심부 두께가 85.9 μm 에서 가장자리 부분의 두께는 15.9 μm 로 차이가 크게 나타났다.

개구전로의 전류밀도 제어 효과를 확인하기 위하여 center hole 전로제어차단막 형의 도금을 수행하여 그 두께를 측정하였다. 그림5]에서 보인 결과와 같이, 중심부 두께가 33.1 μm 이고, 중심부로부터 좌측 가장자리 부분의 두께는 21.3 μm , 중심부로부터 우측 가장자리 부분은 20.2 μm 의 두께가 측정되었다. 앞의 예비시험의 경우에 비하여 중심부와 양쪽 가장자리 부분의 두께 차이가 상당히 완화된 것을 볼 수 있다. 두께의 차이는 center hole 끝에서부터 전극(웨이퍼)까지의 거리와도 민감하게 나타난다. 거리가 가까울수록 center hole의 효과는 크게 나타나고, 거리가 멀

수록 그 현상은 완화되어 나타났다. 일반적으로 디스크 형 웨이퍼의 도금 상태는 둘레 가장자리 부분의 두께가 크게 나타난다. 이것은 여러 가지의 원인에 기인하겠지만, 디스크의 중심부 전류밀도는 도금이 지속될수록 그 부분의 금속이온 농도가 낮아지며, 이에 대하여 상대적으로 웨이퍼 가장자리 부분의 전계의 세기는 edge effect 로 인하여 크게 분포될 것이며, 전류밀도 역시 일종의 skin effect 로 인하여 중심부보다 크게 분포될 것으로 추리된다. 그림5]의 결과가 이를 뒷받침해 준다. 그림5]의 도금 조건은 양 극간의 거리가 9cm이고, 도금전류는 1A, 도금 시간은 5min, 원통형 도금 조의 직경 ~10cm, center hole 직경은 2.2cm 이었다. 이때 도금전류는 center hole을 통하여 가까운 직선거리 위치에 있는 웨이퍼의 중심부에 밀도가 크게 흐를 것이므로, 그 결과 도금 층 두께는 중심부가 크게 되어야 한다. 하지만, 그림5]의 결과에서 보듯 중심부와 가장자리 부근의 두께 차이는 그렇게 크지 않은 것으로 나타났다. 이것은 전류제어차단막이 없을 경우에 가장자리 부근의 두께가 크게 도금되기 때문에 그 효과가 완화되어 나타난 것으로 분석된다.



(중심 부근의 두께: 85.7 μm)

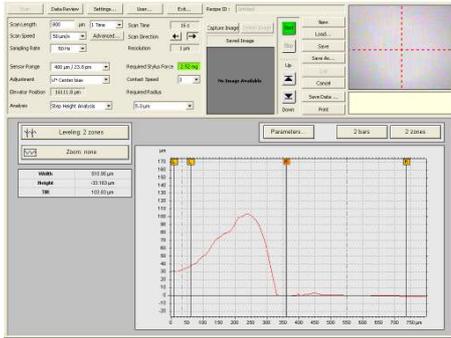


(가장자리 부분의 두께: 15.9 μm)

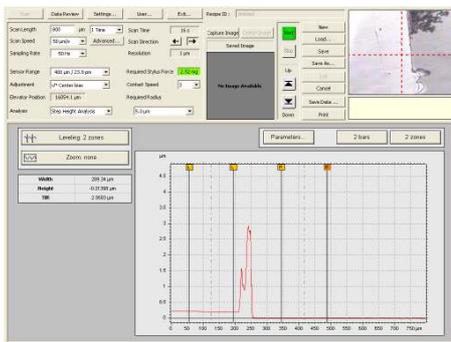
그림4] 도금 층의 두께 측정치(예비시험)
Fig4] Measuring value of Cu layer(pre-exam)

따라서 insulating gate 역할을 해주는 전류제어 차단막을 적절하게 디자인하여 설치할 경우, 그

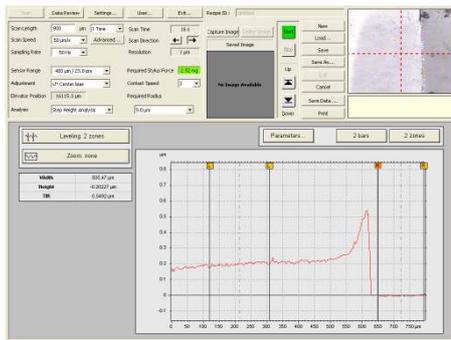
에 따른 도금 층 두께를 제어해 줄 수 있을 것으로 기대된다.



(중심부 두께: 33.1)



21.3



20.2

그림5] insulating gate의 도금제어 효과
Fig.5] Effect of plating control by insulating gate of guiding current

4. 결론

고집적 패키징 기술에서 CPTB 제작공정은 매우 유용한 기술이며, 날로 진보되어 집적도 및 특성 향상과 전자기기의 소형화에 크게 기여하고 있다. 또한, CPTB 제작공정에서 구리도금은 핵심 기술 중의 하나로서, 특성과 집적도 향상에 크게 영향을 미친다. 따라서 구리도금 층이 원활하게 이루어질 때 후속 공정기술도 향상될 수 있다.

이에 도금 층 균일화 모색을 위하여 insulating gate 역할의 전로제어차단막 기법을 제안하였고, 전로제어차단 효과를 실험을 통하여 확인하였다. 따라서 CPTB 제작공정에 기여하는 구리도금 기술과, 그에 따른 구리도금 층 균일화를 위한 제안기술의 적극적인 개발 노력으로 insulating gate 역할의 전로제어차단막 기법이 유용하게 적용될 수 있을 것으로 기대된다.

감사의 글

이 논문은 KISTI ReSEAT Program 지원과 명지대학교 전자공학과와 후원으로 이루어졌으며, 이에 감사를 드립니다.

참고 문헌

- [1] Robert Doering, Yoshio Nishi, "Semiconductor Manufacturing Technology", CRC Press, Ch. 32-2, 2008
- [2] T. Wang, F. Tung, L. Foo, V. Dutta, "Studies on A Novel Flip-Chip Interconnect Structure Pillar Bump", Electronic Components and Technology Conference, pp. 945-949, 2001
- [3] A. Yeoh, M. Chang, C. Pelto, Tzuen-Luh Huang, S. Balakrishnan, G. Leatherman, S. Agraharam, Guotao Wang, Zhiyong Wang, D. Chiang, P. Stover, P. Brandenburger, "Copper die bumps (first level interconnect) and low-K dielectrics in 65nm high volume manufacturing", Electronic Components and Technology Conference, pp.1611-1615, 2006.
- [4] E. T. Ogawa, K-D Lee, et al, "Electromigration reliability issues in dual-damascene Cu interconnections", IEEE Transaction on reliability, vol. 51, pp. 403-419, 2002
- [5] 이성주, "혈셀과 도금의 평가", 참기획, 2007
- [6] 홍상진 외, "Real-time Monitoring of Copper Electroplating for Semiconductor Interconnect", 한국진공학회 2010년 동계학술대회, 강원도 평창, 2010.
- [7] Yi-Shao Lai, Kuo-Ming Chen, Chiu-Wen Lee, Chin-Li Kao, Yu-Hsiu Shao, "Electronic Packaging Technology Conference", Proceedings of 7th, vol.2, pp.786-791, 2005
- [8] S. Lee, et al, "Electro-migration Effect on Cu-pillar(Sn) Bumps", Electronics Packaging Technology Conference, pp. 135-139, 2005
- [9] 소대화, 조일환 외3, "고집적 소자용 구리기 동범프 패키징에서 산화문제를 해결하기 위한 방법에 대한 연구", 한국전기전자재료학회 논문지, 23권12호, 2010. 12.
- [10] 소대화, 조일환 외4, "반도체공정에서 구리기 동부착범프의 전해도금 형성과 특성", 한국해양정보통신학회(KIMICS) 2010 추계종합학술대회 논문집, 2010추계14권2호, 2010.10.29)