

H.264/AVC 복호기의 병렬 역변환 구조 및 저면적 역양자화 구조 설계

정홍균 · 차기중 · 박승용 · 김진영 · 류광기

한밭대학교 정보통신전문대학원

Parallel Inverse Transform and Small-sized Inverse Quantization Architectures Design of H.264/AVC Decoder

Hongkyun Jung · Kijong Cha · Seungyong Park · Jinyoung Kim · Kwangki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : hkjung@hanbat.ac.kr, {green0827, srrr.kr, rahasleal}@gmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 H.264/AVC 복호기의 병렬 역변환 구조와 공통연산기 구조를 갖는 역양자화 구조를 제안한다. 제안하는 역양자화 구조는 하나의 공통 연산기를 사용함으로써 하드웨어 면적 및 계산 복잡도가 감소한다. 역변환 구조는 1개의 수평 DCT 연산기와 4개의 수직 DCT 연산기를 갖는 병렬구조를 적용하여 역변환 과정을 수행하는데 4 사이클이 소요된다. 또한 역변환 및 역양자화 구조에 2단 파이프라인 구조를 적용하여 1개의 4x4 블록을 처리하는데 5 사이클이 소요되어 수행 사이클 수를 감소시킨다. 제안하는 역변환 및 역양자화 구조를 Magnachip 0.18um CMOS 공정 라이브러리를 이용하여 ASIC 칩으로 설계한 결과 13MHz의 동작 주파수에서 게이트 수는 14.3K이고 제안한 역양자화 구조의 면적은 기존 구조 대비 39.6% 감소되었고, 표준 참조 소프트웨어 JM 9.4에서 추출한 데이터를 이용하여 성능을 측정한 결과 제안하는 구조의 수행 사이클 수가 기존 구조 대비 49.09% 향상되었다.

ABSTRACT

In this paper, parallel IT(inverse transform) architecture and IQ(inverse quantization) architecture with common operation unit for the H.264/AVC decoder are proposed. By using common operation unit, the area cost and computational complexity of IQ are reduced. In order to take four execution cycles to perform IT, the proposed IT architecture has parallel architecture with one horizontal DCT unit and four vertical DCT units. Furthermore, the execution cycles of the proposed architecture is reduced to five cycles by applying two state pipeline architecture. The proposed architecture is implemented to a single chip by using Magnachip 0.18um CMOS technology. The gate count of the proposed architecture is 14.3k at clock frequency of 13MHz and the area of proposed IQ is reduced 39.6% compared with the previous one. The experimental result shows that execution cycle the proposed architecture is about 49.09% higher than that of the previous one.

키워드

병렬 역변환, 저면적 역양자화, 공통 연산기, H.264/AVC 복호기

I. 서 론

H.264/AVC는 ITU-T의 비디오 코딩 전문가 그룹(VCEG)과 ISO/IEC의 동영상 전문가 그룹(MPEG)이 함께 구성한 JVT(Joint Video Team)에 의해 제안된 동영상 압축 기술로 기존 MPEG-4

Part 2 표준보다 50%이상의 높은 압축률을 제공함으로써 현재 차세대 동영상 압축 기술로 평가 받고 있으며 HDTV, 차세대 DVD 등 고화질의 영상 압축이 필요한 다양한 멀티미디어 서비스에 활용되고 있다. H.264/AVC는 동영상 압축 성능을 높이기 위해 4x4 블록 단위의 움직임 보상과

1/4 화소 단위의 움직임 예측, 향상된 엔트로피 부호화 방식, 정수기반 변환, 디블록킹 필터 등을 사용한다[1-2].

H.264/AVC의 정수 기반 변환은 정수단위 연산을 사용하기 때문에 부호화기와 복호화기 사이의 변환 계수 불일치 문제를 해결하였고, 변환의 곱셈연산이 양자화에 통합되어 덧셈과 쉬프트 연산만으로 구현이 가능하다. 기존 H.264/AVC 복호기의 역변환 및 역양자화 구조는 DC 계수와 AC 계수에 따라 수행 순서가 다르기 때문에 제어 구조가 복잡하고, 각 계수에 대한 역양자화 연산이 다르기 때문에 역양자화 구조 내부에 2개의 역양자화 연산기가 존재하여 역양자화 구조의 하드웨어 면적이 크다. 또한, 역변환을 수행하기 위해 하나의 DCT 연산기를 사용하기 때문에 역변환을 수행하는데 8 사이클이 소요된다.

따라서 본 논문에서는 공통 연산기를 사용하는 역양자화 구조를 제안하여 역양자화의 하드웨어 면적을 감소시킨다. 역변환 과정의 수행 사이클 수를 감소시키기 위해 1개의 수평 DCT 연산기와 4개의 수직 DCT 연산기를 갖는 병렬 역변환 구조를 채택하였다. 역변환 및 역양자화의 효율적인 수행을 위해 2단 파이프라인 구조를 사용하여 1개의 4x4 블록을 처리하는데 5 사이클이 소요된다.

본 논문의 구성은 다음과 같다. 2장에서는 역변환과 역양자화 알고리즘에 대해 기술하며, 3장에서는 제안하는 역변환기와 역양자화기 구조에 대해 기술하고, 4장에서는 제안하는 구조와 기존 구조의 사이클 수를 비교하고 검증결과를 기술한다. 마지막으로 5장에서는 본 연구의 결론을 도출한다.

II. 역변환 및 역양자화 알고리즘

H.264/AVC는 변환과 양자화의 계산 복잡도를 감소하기 위해 정수 변환과 양자화가 통합된 알고리즘을 사용하며 이에 따른 정수 역변환은 식(1)과 같다. 식(1)에서 X 는 정수 역변환된 블록 행렬, Y 는 역양자화와 정수 변환된 블록 행렬, C_i 는 역방향 정수 변환 행렬을 나타내며 C_i^T 는 C_i 행렬의 전치행렬을 의미한다[3-4].

$$X' = C_i^T Y' C_i = \begin{bmatrix} 1 & 1 & 1 & \frac{1}{2} \\ 1 & \frac{1}{2} & -1 & -1 \\ 1 & -\frac{1}{2} & -1 & 1 \\ 1 & -1 & 1 & -\frac{1}{2} \end{bmatrix} [Y'] \begin{bmatrix} 1 & 1 & 1 & 1 \\ 1 & \frac{1}{2} & -\frac{1}{2} & -1 \\ 1 & -1 & -1 & 1 \\ \frac{1}{2} & -1 & 1 & \frac{1}{2} \end{bmatrix} \quad (1)$$

정수 변환 행렬들의 정수 근사화를 위해 각각 행렬 위치의 곱셈 인자와 크기조정 인자는 역양자화에 통합된다. 통합된 역양자화는 식(2)와 같다. $W_{D(i,j)}$ 는 역양자화된 계수, $Z_{QD(i,j)}$ 는 양자화와 정수 변환된 계수, $Qstep$ 은 양자화 스텝 크기,

PF(Post-scaling Factor)는 곱셈인자와 크기조정 인자를 나타내고 64는 반올림 에러를 방지하기 위한 상수 스케일링 계수를 의미한다.

$$W_{D(i,j)} = Z_{QD(i,j)} \cdot Qstep \cdot PF \cdot 64 \quad (2)$$

역양자화 구현시 연산량을 감소시키고자 식(2)의 $Qstep \cdot PF \cdot 64$ 는 $V_{(i,j)} \cdot 2^{\text{floor}(QP/6)}$ 으로 변경된다. 변경된 역양자화식은 식(3)과 같고 $V_{(i,j)}$ 는 스케일링 계수를 의미한다.

$$W_{D(i,j)} = Z_{QD(i,j)} \cdot V_{(i,j)} \cdot 2^{\text{floor}(QP/6)} \quad (3)$$

Intra 16x16 모드로 코딩된 4x4 휘도 DC 계수의 역양자화는 식(4)와 (5)에 의해 수행된다. QP(Quantization Parameter)값이 12보다 크거나 같을 때는 식(4)와 같이 역양자화를 수행하며, QP가 12보다 작은 경우에는 식(5)와 같이 역양자화를 수행한다.

$$W_{D(i,j)} = Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)-2} \quad (4)$$

$$W_{D(i,j)} = Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{1-\text{floor}(QP/6)} \gg 2 - \text{floor}(QP/6) \quad (5)$$

2x2 색차 DC 계수의 역양자화는 식(6)와 (7)에 의해 수행된다. QP값이 6보다 크거나 같을 때는 식(6)과 같이 역양자화를 수행하며, QP값이 6보다 작은 경우에는 식(7)과 같이 역양자화를 수행한다.

$$W_{D(i,j)} = Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)-1} \quad (6)$$

$$W_{D(i,j)} = Z_{QD(i,j)} \cdot V_{(0,0)} \gg 1 \quad (7)$$

III. 제안하는 역변환 및 역양자화 구조

제안하는 역변환 및 역양자화 구조는 공통 연산기를 사용한 저면적 역양자화 구조와 수평 DCT 및 수직 DCT 연산기를 갖는 병렬 역변환 구조, 2단 파이프라인 구조를 적용하였다.

3.1 역양자화기

제안하는 역양자화기는 하나의 공통연산기를 사용하여 AC계수 및 DC 계수의 역양자화를 수행한다. 또한 역양자화 과정에서 수행하는 나눗셈 연산을 역양자화 과정과 분리하여 라운딩 과정으로 통합시켜 역양자화 구조를 단순화하였다. 공통연산기를 사용하기 위해 기존 역양자화 수식인 (3)~(7)을 동일한 값을 나누는 연산 수식(8)~(12)로 변경하였다. 식(8)은 4x4 AC 계수의 역양자화식이고, 식(9)과 (10)은 4x4 휘도 DC 계수의 역양자화식이며, 식(11)과 (12)은 2x2 색차 DC 계수의 역양자화식이다.

$$\begin{aligned} W_{D(i,j)} &= Z_{QD(i,j)} \cdot V_{(i,j)} \cdot 2^{\text{floor}(QP/6)} \\ &= Z_{QD(i,j)} \cdot V_{(i,j)} \cdot 2^{\text{floor}(QP/6)} \cdot 2^2 \gg 2 \\ &= Z_{QD(i,j)} \cdot V_{(i,j)} \cdot 2^{\text{floor}(QP/6)+2} \gg 2 \end{aligned} \quad (8)$$

$$\begin{aligned}
 W_{D(i,j)} &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)-2} \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)-2} \cdot 2^2 \gg 2 \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)} \gg 2
 \end{aligned} \tag{9}$$

$$\begin{aligned}
 W_{D(i,j)} &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{1-\text{floor}(QP/6)} \gg 2 - \text{floor}(QP/6) \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{1-\text{floor}(QP/6)} \cdot 2^{\text{floor}(QP/6)} \gg 2 \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2 \gg 2 \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2 \gg 2
 \end{aligned} \tag{10}$$

$$\begin{aligned}
 W_{D(i,j)} &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)-1} \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)-1} \cdot 2^2 \gg 2 \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2^{\text{floor}(QP/6)+1} \gg 2
 \end{aligned} \tag{11}$$

$$\begin{aligned}
 W_{D(i,j)} &= Z_{QD(i,j)} \cdot V_{(0,0)} \gg 1 \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2 \gg (1+1) \\
 &= Z_{QD(i,j)} \cdot V_{(0,0)} \cdot 2 \gg 2
 \end{aligned} \tag{12}$$

변경된 수식은 기존 수식의 가변적인 오른쪽 쉬프트 연산을 제거하고 나눗셈 연산과 곱셈 연산을 분리하였다. 그리고 나눗셈 연산을 라운딩 과정에 통합함으로써 곱셈 연산기만을 사용하여 역양자화를 수행할 수 있다. 역양자화 구조에서 나눗셈 연산을 분리함으로써 DC 계수와 AC 계수에 상관없이 동일한 순서로 수행할 수 있기 때문에 제어 로직이 단순화되었다.

그림 1은 역양자화기 구조를 나타낸다. 역양자화기는 QP(Quantization parameter)를 6으로 나누는 나머지와 몫을 계산하는 mod6/div6 블록, 스케일링 계수에 대한 LUT 블록과 몫에 대한 shift 크기를 결정하는 shift length 블록과 곱셈기로 구성된다. mod6/div6 블록은 나눗셈 연산을 사용하지 않고, 52개 QP에 대한 나머지와 몫을 LUT로 저장하고, 곱셈기는 DC/AC계수와 쉬프트 연산된 스케일링 계수를 곱한다.

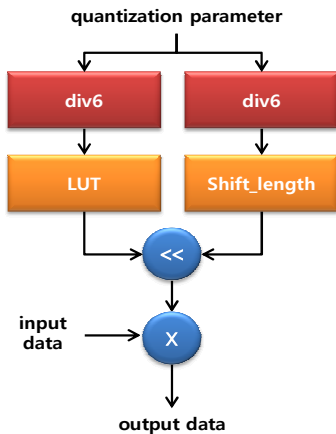


그림 1. 역양자화기 구조

3.2 역변환기

역변환기는 그림 2와 같이 1개의 수평 DCT 연산기와 4개의 수직 DCT 연산기를 갖는 병렬구조이다. 역변환기는 1개의 수평 DCT 연산기를 사용하기 때문에 수평 DCT 연산을 수행하는 데 4사이클이 소요된다. 첫 번째 사이클에서는 세 번째

사이클까지 DCT 연산 결과값은 버퍼에 저장된다. 네 번째 사이클에서는 DCT 연산 결과 값을 버퍼에 저장하지 않고 수직 DCT 연산기로 전달한다. 따라서 수평 DCT 연산의 네 번째 사이클에서 수평 DCT 연산 결과값이 수직 DCT 연산기에 전달되어 수직 DCT 연산을 수행하므로 역변환 연산을 수행하는데 4사이클이 소요된다. DCT 연산기는 그림 3과 같이 DCT 연산과 하다마드 변환을 수행하는 유연한 구조를 갖는다.

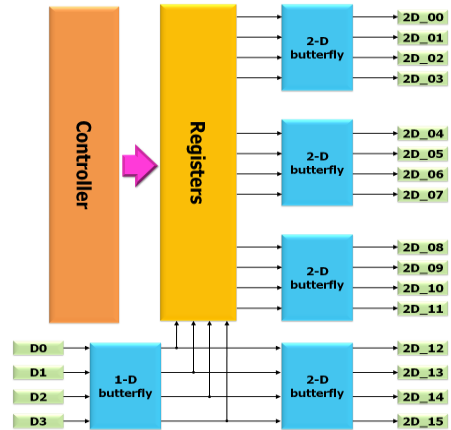


그림 2. 역변환기 구조

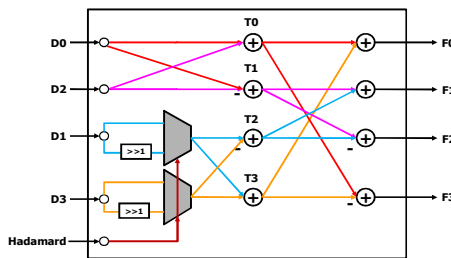


그림 3. DCT 연산기 구조

3.3 파이프라인 구조

제안하는 역변환 및 역양자화 구조는 그림 4와 같이 2단 파이프라인 구조를 채택하였다. 2단 파이프라인 구조는 역양자화 단계 및 역변환/라운딩 단계로 구성된다. 역양자화를 수행한 후 1 사이클 후에 역변환/라운딩을 수행함으로써 한 개의 4x4 블록을 처리하는 데 5 사이클이 소요된다.

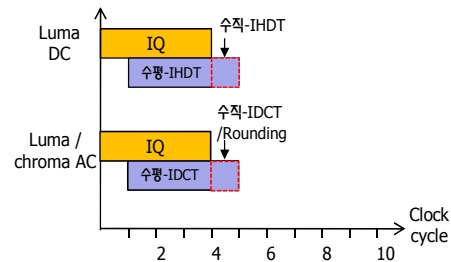


그림 4. 2단 파이프라인 구조

IV. 실험 및 고찰

제안한 역변환 및 역양자화 구조는 Magnachip 0.18um 표준 셀 라이브러리를 사용하여 합성한 결과 게이트 수는 14.3k이다. 그림 5는 제안한 역변환 및 역양자화 구조를 내장한 H.264/AVC 복호기의 레이아웃을 나타낸다.

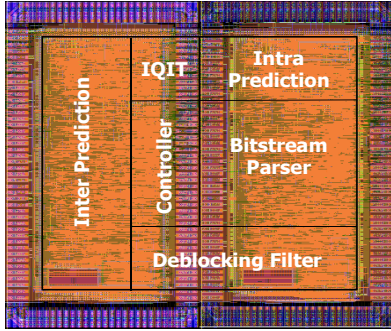


그림 5. 제안한 구조를 내장한 H.264/AVC 복호기 레이아웃

표 1은 제안한 구조와 기존 구조의 게이트 수를 비교한 결과이다. 제안한 구조의 역양자화 및 제어로직의 게이트 수는 기존 구조 대비 각각 39.6%, 17.4% 감소하였고, 역변환 및 총 게이트 수는 각각 407%, 6.6% 증가하였다. 제안한 구조의 역변환 구조는 5개의 DCT 연산기를 사용하고 기존 구조의 역변환 구조는 1개의 DCT 연산기를 사용하기 때문에 게이트 수의 증가율이 높지만 제안한 구조의 제어로직과 역양자화 구조의 게이트 수 감소로 인해 총 게이트 수의 증가율은 역변환 구조의 증가율에 비해 매우 낮다.

표 1. 제안한 역변환 및 역양자화 회로의 비교

	[6]	Proposed	감소율(%)	
공정(um)	0.18	0.18	-	
게이트 수	역변환	883	4,483	-407
	역양자화	2404	1,451	39.6
	제어로직	10,0523	8,295	17.4
	총합	13,340	14,229	-6.6
동작주파수(MHz)	1.5	13	-	

제안한 구조는 H.264/AVC 참조 소프트웨어 JM 9.4[5]에서 추출한 데이터를 이용하여 동작 검증 및 성능을 측정하였다. 표 2는 기존의 구조와 제안한 구조의 수행 사이클 수를 비교한 결과이다. 기존 구조는 Intra 16x16모드로 예측된 4x4 블록을 처리하는데 253 사이클이 소요되었고, 제안한 구조는 129 사이클이 소요되었다. Intra 16x16 모드로 예측되지 않은 블록을 처리하는 경우, 기존 구조는 244 사이클이 소요되었고, 제안한 구조는 124 사이클이 소요되므로 16x16 매크로블록을 처리하는 평균 수행 사이클을 기준으로 제안한 구조는 기존 구조 대비 성능이 약 49% 향상되었다.

표 2. 16x16 매크로블록당 수행 사이클 수

예측 모드	수행 사이클 수			감소율 (%)
	[6]	without pipeline	Proposed	
Intra 16x16 모드	253	253	129	49.01
그 밖의 모드	244	244	124	49.18
평균	248.5	248.5	126.5	49.09

V. 결 론

본 논문에서는 H.264/AVC 복호기의 역변환 및 역양자화를 효율적으로 수행하기 위하여 병렬 역변환 구조와 공통연산기를 사용한 역양자화 구조를 제안한다. 병렬 역변환 구조는 1개의 수평 DCT 연산기와 4개의 수직 DCT 연산기를 사용하여 역변환 수행 사이클 수를 4 사이클로 감소시켰고, 역양자화기는 공통연산기를 사용하여 하드웨어 면적을 감소시켰다. 또한 계수에 상관없이 동일한 순서로 수행되어 제어로직을 단순화하였다. 역변환 및 역양자화 구조에 2단 파이프라인 구조를 적용하여 1개의 4x4 블록을 처리하는데 5 사이클이 소요된다. 제안한 구조를 ASIC 칩으로 설계한 결과 13MHz 동작 주파수에서 게이트 수는 14.3K이고 제안한 역양자화 구조의 면적은 기존 구조 대비 39.6% 감소하였고, JM 9.4에서 추출한 데이터를 이용하여 수행 사이클 수를 측정할 결과 제안한 구조는 기존 구조 대비 49.09% 향상되었다.

참고문헌

- [1] J.V. Team, "Advanced Video coding for generic audiovisual services," ITU-T Recommendation H.264 and ISO/IEC 14496-10 AVC, May. 2005
- [2] 박기현, 이론과 실무의 조화 코덱의 세계로 초대, 홍릉과학출판사, 2007년
- [3] 임성창, 허재호, 한기훈, 이영렬, "1-D 정수 변환과 양자화를 이용한 새로운 수직/수평 화면내 예측 방법", 19회 신호처리합동학술대회 논문집, 제 16권, 제1호, pp.1-4, 2006
- [4] Lain E.G. Richardson, H.264 and MPEG-4 Video Compression, John Wiley & Sons Inc. 2003
- [5] Joint Video Team(JVT) Reference Software JM 9.4
- [6] Ke Xu and Chiu-Sing Choy, "Low-Power Bitstream-Residual Decoder for H.264/AVC Baseline Profile Decoding", EURASIP Journal on Embedded Systems, vol. 2009, pp.1-17, July 2009