

Si-SiO₂ 계면에서의 산화물 고정 전하의 위치에 따른 전계효과 트랜지스터의 전기적 특성

진 준¹, 장상현², 유주형², 김태환^{1,2}

¹한양대학교 전자컴퓨터통신공학과, ²한양대학교 나노반도체공학과

실리콘 산화막 (SiO₂)의 성장 과정에서 발생하는 SiO₂ 층에 포획된 전자-정공, Si-SiO₂ 계면 영역의 산화물 고정 전하와 Si-SiO₂ 계면의 표면 준위에 포획된 전하와 같은 SiO₂의 결점에 의해 전계효과 트랜지스터 소자의 전기적 특성을 저하하여 신뢰성을 높이는데 한계점이 발생한다. SiO₂의 결점에 의한 전계효과 트랜지스터 소자의 전기적 특성 변화에 대한 연구는 활발히 진행되었으나, 전계효과 트랜지스터 소자에서 셀 사이즈가 감소함에 따라 전기적 특성에 대한 연구는 많이 진행되지 않았다. 본 연구에서는 산화나 산화 후 열처리 과정 동안에 생기는 Si-SiO₂ 계면에서의 산화물 고정 전하의 위치에 따른 전계효과 트랜지스터 소자의 전기적 특성 변화를 TCAD 시뮬레이션 툴인 Sentaurus를 사용하여 관찰하였다. Si-SiO₂ 계면 근처의 실리콘 산화물 내에 위치시킨 양전하를 산화물 고정 전하로 가정하여 시뮬레이션 하였다. 또한 40 nm의 전계효과 트랜지스터 소자에서 산화물 고정 전하의 위치를 실리콘 산화 막의 가장자리부터 중심으로 10 nm씩 각각 차이를 두고 비교해 본 결과, SiO₂의 가장 자리보다 SiO₂의 한 가운데에 산화물 고정 전하가 고정되었을 때 전류-전압 특성 곡선에서 문턱전압의 변화가 더 뚜렷함을 알 수 있었다. 산화물 고정 전하를 Si-SiO₂ 계면으로부터 1~5 nm 에 각각 위치시켜 계산한 결과 산화물 고정 전하에 의해 문턱 전압이 전류-전압 특성 곡선에서 낮은 전압쪽으로 이동하였고, 산화물 고정 전하가 Si-SiO₂ 계면에 가까울수록 문턱 전압의 변화가 커졌다. 이는 전계효과 트랜지스터 소자에서 Si-SiO₂ 계면의 산화물 고정 전하에 의해 실리콘의 전위가 영향을 받기 때문이며, 양의 계면전하는 반도체의 표면에서의 에너지 밴드를 아래로 휘게 만들어 문턱전압을 감소하였다.

The authors would like to thank Hynix Semiconductor Inc., Icheon, Korea, for their financial support of this research.