

# 위상 천이 풀 브릿지 컨버터를 위한 디지털 예측 최대 전류 모드 제어

조세형, 박기범, 박진식, 문건우, 윤명중

## Digital predictive peak current mode control for phase shift full bridge converter

Je-Hyung Cho, Ki-Bum Park, Jin-Sik Park, Gun-Woo Moon, and Myung-Joong Youn  
KAIST

### ABSTRACT

풀 브릿지 컨버터는 1차 측과 2차 측이 트랜스포머를 통하여 절연되어 있으며, 이 트랜스포머에 교번으로 전압을 걸어주어 1주기에 2번의 전력을 전달한다. 이러한 전력 전달 과정에서 트랜스포머에 흐르는 자화 전류에 오프셋이 발생할 수 있으며, 이는 효율 감소 및 소자의 파괴를 야기할 수 있으므로 제거하는 것이 바람직하다. 디지털 개발 환경에서 트랜스포머의 자화 전류 오프셋을 줄이고 동특성의 개선을 위하여 예측 제어 방식을 사용한 최대 전류 제어 방식을 제안하고 실험을 통하여 동작을 검증한다.

### 1. 서론

집적회로 기술의 발전으로 인한 MCU 및 FPGA의 연산 속도의 증가와 가격의 하락에 힘입어 점차적으로 파워서플라이에 디지털 제어 기술을 적용하는 사례가 많아지고 있다. 특히, 유지/보수 등을 위하여 호스트와 통신이 필요한 서버용 전원장치 등의 응용분야에서는 통신 및 모니터링을 위한 MICOM을 사용하고 있기 때문에, 이를 포함하면서 제어 기능을 추가하는 형태의 기술을 통하여 가격 경쟁력을 가질 수 있다.

서버용 파워서플라이의 DC-DC 컨버터로는 그림 1의 위상 천이 풀 브릿지 컨버터<sup>[1]</sup>가 많이 활용되고 있다. 풀 브릿지 컨버터는 1차 측과 2차 측이 트랜스포머로 절연되어 있으며, 1차 측의 스위칭으로 생성된 교류 전압이 트랜스포머에 인가되어 2차 측으로 전달된 후, LC필터를 통해서 정류되어 출력전압을 생성한다. 2차 측에 흐르는 전류는 1차 측에 흐르는 전류와 자화 전류의 차이가 트랜스포머의 턴비로 투영되어 흐르게 되며, 이 과정에서 트랜스포머 자화 인덕터의 voltage-second 평형이 이루어지지 않으면 그림 2와 같이 자화 전류에 오프셋이 발생할 수 있다. 자화 전류에 오프셋이 발생할 경우, ZVS 특성이 저하되며, 전류의 RMS 값 증가로 도통 손실이 증가하여 효율의 감소를 가져오고, 더 나아가서는 소자의 파괴 등 신뢰성에 영향을 줄 수 있으므로 억제하는 것이 바람직하다.

DC-DC컨버터에서 전류 모드 제어를 설계하는 경우, 전류 루프의 대역폭을 전압 루프의 대역폭에 비하여 높게 설계하는 것이 일반적이다. 풀 브릿지 구조에서는 한주기에 2번의 전력 전달이 일어나고 스위칭 주파수가 100kHz 정도로 높기 때문에, 디지털 제어를 사용하는 경우 반주기에 한번을 초과하는 샘플링 및 제어루틴 수행은 용이하지 않다. 이에 더하여 디지털 제어에서는 샘플링 및 연산 시간에 의하여 위상 지연이 일어나기 때문에 기존 방식과 같이 극점 및 영점의 삽입을 통해 보상하는 방식으로는 수~10kHz정도의 전압 루프 대역폭을 유지하면서 전류 루프를 수십~100kHz 정도의 대역폭을 가지도록 설

계하는 것에 어려움이 따른다. 디지털 제어에서는 deadbeat 특성을 가지는 제어를 설계하여 동특성을 개선할 수 있다.

MCU를 사용한 디지털 개발 환경에서 예측 제어 방식을 사용하여 최대 전류 모드 제어를 구현하고 자화 전류 오프셋을 제거하며 deadbeat 특성을 가지는 전류제어를 수행한다.

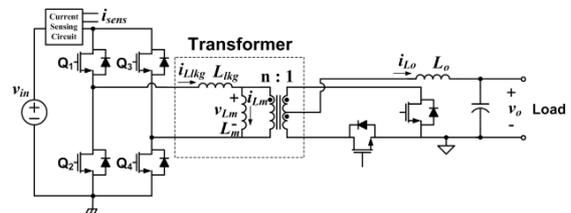


그림 1 위상 천이 풀 브릿지 컨버터

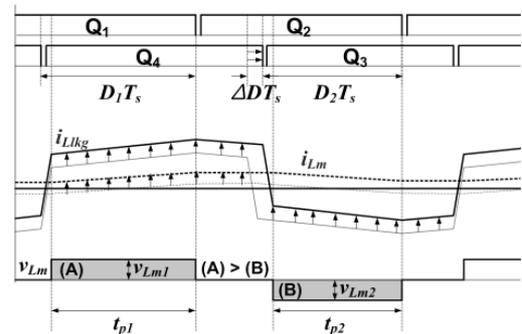


그림 2 자화 전류 오프셋 발생

### 2. 예측 최대 전류 모드 제어

#### 2.1 최대 전류 모드 제어

최대 전류 모드 제어는 인덕터 전류를 센싱하여 전류 지령과 비교하고, 인덕터 전류가 전류 지령보다 커지게 되면 스위치를 꺼줌으로써 전류의 최대치를 제어하는 방식이다. 이 제어 방식은 아날로그 비교기를 사용하여 구현할 수 있으며, 직관적이고 동특성이 우수하기 때문에 널리 사용되고 있다. 최대 전류 모드 제어를 2차 측에서 사용하면, 1차 측 자화 전류에 대한 정보가 없기 때문에 오프셋 문제가 발생할 수 있다. 그러므로 1차 측 전류를 사용하여 최대 전류 모드 제어를 수행함으로써 이 문제를 해결한다. 이 경우, 전류 제어를 수행함과 동시에 자화 전류의 오프셋 문제를 해결할 수 있다는 장점을 가지지만 이 방식은 아날로그 비교기를 사용하여 구현되기 때문에 MCU를 사용하는 디지털 제어에서는 구현이 용이하지 않다. 본 논문에서는 아날로그 비교기를 사용하는 대신 예측 제어 방식을 사용하여 디지털 환경에서 최대 전류 모드 제어를 구현한다.

## 2.2 제어식 유도

위상 천이 풀 브릿지 컨버터의 예측 최대 전류 모드 제어식을 유도하기 위한 가정은 아래와 같다.

- 위상 천이 풀 브릿지 컨버터에서 발생하는 시비율 손실의 효과는 동작 시비율의 약 5%이하이므로 무시한다.
- PWM의 변조 방식은 매 주기의 시작이 off-time(1-D)이고 on-time(D)이 그 뒤에 이어지는 trailing edge modulation을 사용한다. 이 변조 방식을 사용하여 예측 최대 전류 모드 제어를 구현할 경우, sub-harmonic oscillation 문제가 발생하지 않는 장점이 있다<sup>[2]</sup>.

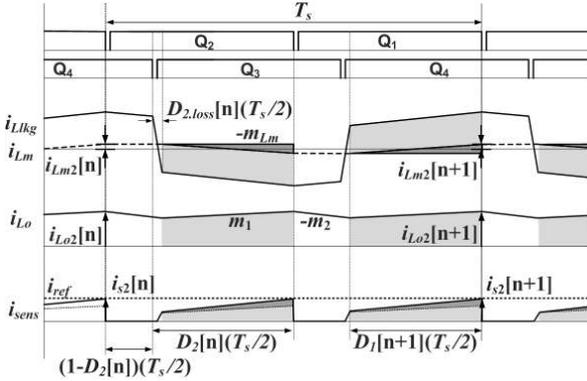


그림 3 위상 천이 풀 브릿지 컨버터의 주요 동작 파형

위상 천이 풀 브릿지 컨버터의 동작과형은 그림 3과 같다. 1차 측 전류  $i_{Lkg}$ 는 자화전류  $i_{Lm}$ 과 2차 측  $i_{Lo}$ 의 투영된 전류의 합으로 나타난다. 전력 전달이 일어나는 기간 동안 자화전류와 출력 인덕터의 전류는 증가하고, 전력 전달이 없는 기간 동안 출력 인덕터의 전류는 출력 전압에 의하여 감소하고 자화전류는 변동없이 일정하게 유지된다. 이러한 동작을 수식으로 나타내면 아래와 같다. 아래 수식에서  $D_1$ 은 첫 반주기 동안의 시비율을 나타내며,  $D_2$ 는 나머지 반주기 동안의 시비율을 나타낸다. 참고로, 아래 수식에서는 편의를 위하여 오프셋 값을 포함시키지 않았으며, 이를 포함하여도 같은 제어식을 얻을 수 있다.

$$i_{Lo2}[n+1] = i_{Lo2}[n] - m_2(1-D_2[n])(T_s/2) + m_1D_2[n](T_s/2) - m_2(1-D_1[n+1])(T_s/2) + m_1D_1[n+1](T_s/2)$$

(1)

$$i_{Lm2}[n+1] = i_{Lm2}[n] - m_{Lm}D_2[n](T_s/2) + m_{Lm}D_1[n+1](T_s/2)$$

(2)

$$i_{s2}[n+1] = i_{ref} = i_{Lo2}[n+1]/n + i_{Lm2}[n+1]$$

(3)

$$\text{위 수식에서 } m_1 = \frac{v_{in}/n - v_o}{L_o}, \quad m_2 = \frac{v_o}{L_o}, \quad m_{Lm} = \frac{v_{in}}{L_m}$$

수식 (1)~(3)을 정리하면 제어식을 얻을 수 있다. 이 때, 나머지 반주기에 대하여서도 위의 유도과정과 동일하게 유도할 수 있으며, 반주기 마다 제어가 이루어지므로,  $D_1$ 과  $D_2$ 를 통합하여  $D$ 로 나타내면 수식(4)를 얻을 수 있다.

$$D[n+1] = \frac{\left(-\left(\frac{1}{n^2L_o} - \frac{1}{L_m}\right)D[n] + \frac{2}{T_s v_m} [i_{ref} - i_s[n]] + \frac{2}{nL_o v_m} v_o\right)}{(1/L_m + 1/n^2L_o)}$$

(4)

식 (4)에서  $L_m$ 이 매우 크다고 가정하면, buck 컨버터에 대한 수식<sup>[2]</sup>과 같은 형태로 정리되는 것을 확인할 수 있다.

## 2.3 실험 결과

앞서 유도된 예측 최대 전류 모드 제어 방식의 동작의 검증 위하여 1.2kW급 서버용 파워 서플라이용 위상 천이 풀 브릿지 컨버터를 사용하여 실험을 수행하였다. 입력 전압 400V, 출력 전압 12V, 최대 출력 전류 100A의 스펙이며, 50% load 전류 변화에서 5% 이내의 출력 전압 변동을 만족해야 한다.

그림 4, 5의 실험결과에서 확인할 수 있듯이 트랜스포머의 전류 offset이 제거되었으며, 출력 50% load 변동에도 500mV 이내로 출력 전압 변동을 제어되었다.



그림 4 동작 파형

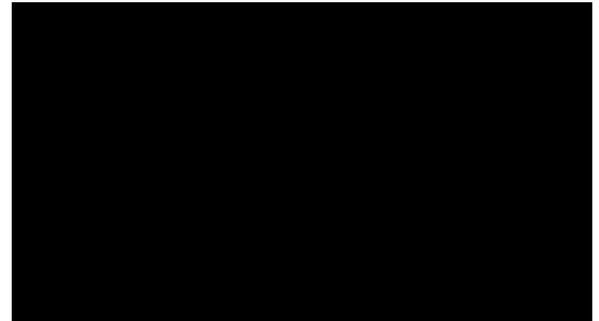


그림 5 부하 변동 실험 파형

## 3. 결론

서버용 파워서플라이에 사용되는 위상 천이 풀 브릿지 컨버터에 디지털 제어를 적용하고 자화 전류 오프셋을 억제하기 위하여 예측 최대 전류 모드 제어를 구현하였다. 1차 측 전류를 센싱하여 사용하므로 자화 전류 및 출력 인덕터 전류에 대한 정보를 모두 사용하여 deadbeat특성을 나타낼 수 있도록 제어식을 구성하였다. 1.2kW 서버용 파워서플라이에 대하여 실험을 진행하였으며, 자화 전류 오프셋 제거와 부하 변동 실험 결과를 통해 제어기의 성능을 확인하였다.

## 참고 문헌

- [1] J.A. Sabate, V Vlatkovic, R.B. Ridely, F.C. Lee, and B.H. Cho, "Design considerations for high-voltage high-power full-bridge zero-voltage-switched PWM converter", APEC '90, pp. 275-284, 1990, March..
- [2] J. Chen, A. Prodic, R. W. Erickson, and D. Maksimovic, "Predictive current programmed control," IEEE Trans. Power Electron. Vol. 18, No. 1, pp. 411-419, Jan. 2003.