

트랜스포머 및 필터 사이즈를 줄일 수 있는 영전압 스위칭 3-레벨 컨버터

임유리, 이일운, 문건우

한국과학기술원

Abstract

본 논문에서는 새로운 3-레벨 컨버터가 제안되어 진다. 제안된 컨버터에서 트랜스포머에 인가되는 신호의 주파수가 스위칭 주파수의 2배가 되기 때문에 출력 인덕터의 사이즈와 트랜스포머의 사이즈를 줄일 수 있다. 또한, 제안된 컨버터의 일차측 주 스위치들에 걸리는 전압 스트레스가 입력전압의 반이 되어 낮은 정격 전압을 갖는 스위치 사용이 가능하다. 제안된 컨버터의 동작은 비대칭 하프 브리지에서 사용하는 상보적 스위칭 방법을 이용하기 때문에 일차측 주 스위치들은 모두 스위칭 손실 없이 영전압 스위칭 된다. 본 논문에서는 제안된 컨버터에 대한 이론적 분석이 수행되며, 400V 입력, 48V 출력, 480W의 프로토타입을 통해, 그 동작이 검증된다.

1. 서론

전력 분산 시스템에서의 하모닉 성분 규제에 대한 기준인 IEC 61000-3-2을 만족시키기 위해 DC/DC단 앞에 역률 보상 회로를 사용한다[1]. 역률 보상 회로에서 입력 전류의 하모닉 성분을 줄이기 위해서는 DC/DC단의 입력인 역률 보상 회로 출력전압이 증가하게 되는데, 이러한 높은 입력 전압을 갖는 응용에서 기존의 풀브릿지 컨버터를 사용하게 되면 스위치 정격전압이 높아져서 전도손실이 높아질 우려가 있다. 이에 대한 방안의 일환으로 스위치의 정격전압이 입력전압의 절반인 3-레벨 컨버터가 제안되어 왔다 [2]-[5].

보다 높은 효율을 위해서, 제안되는 3-레벨 컨버터는 모두 영전압 스위칭 [2]-[4] 또는 영전류 스위칭[5]을 한다. 그러나 일차측 스위치들 간의 전압 밸런싱을 맞추기 위해, 추가적인 클램핑 다이오드나 커패시터가 필요하고 [2]-[5], 클램핑 다이오드를 추가해도 바깥쪽 스위치만 제대로 클램핑 되는 문제점이 있다 [1].

본 논문에서는 추가적인 소자 없이 상보적 스위칭 제어 방식을 통해 1차 측 스위치들의 전압 밸런싱과 영전압 스위칭을 보장하고, 트랜스포머를 통해 스위칭 주파수의 두배인 신호를 넘겨 트랜스포머와 출력 인덕터의 크기를 저감시킬 수 있는 3-레벨 컨버터를 제안한다.

2. 본론

2.1 제안된 회로

그림 1은 상보적 스위칭 제어 방식을 이용한 제안된 3-레벨 컨버터이다. 영전압 스위칭을 위해 Q1과 Q2, Q4와 Q3가 비대칭 PWM 방식으로 동작한다. 이 때, Q1과 Q4가 같은 듀티(D)로 동작하고, Q4는 Q1보다 반 주기 만큼 위상 천이 되어 동작한다. 그림1에서 볼 수 있듯이 기존의 비대칭 하프 브리지에 스위치 두 개만 추가한 형태이다.

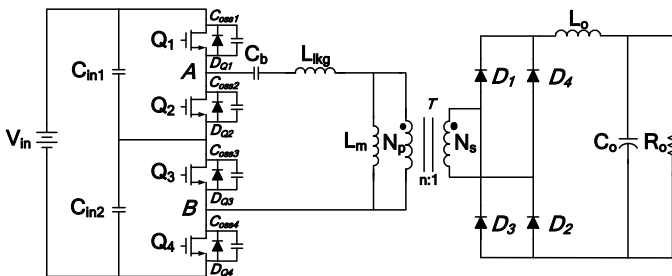


그림 1 제안하는 ZVS 3-레벨 컨버터

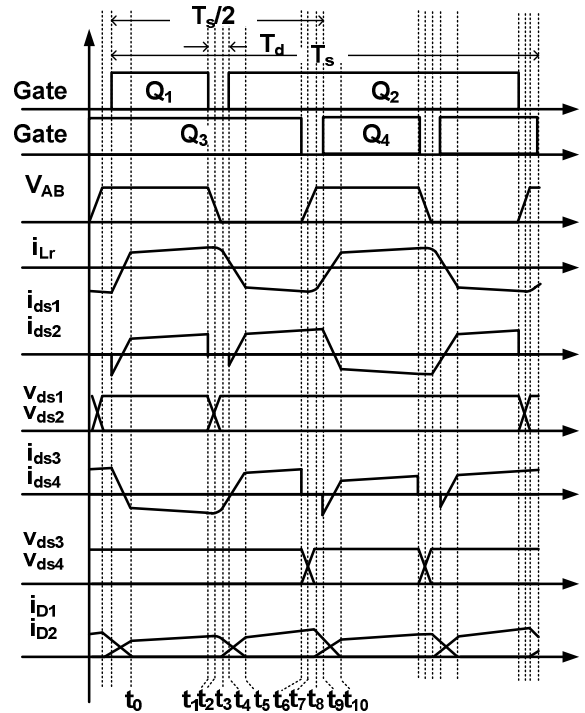


그림 2 제안된 회로의 주요 동작 파형

2.2 동작 모드

동작 모드 해석을 하기 전에 몇 가지 가정을 하면 다음과 같다.

- 1) 모든 소자는 이상적이다.
- 2) Cb, Cin1, Cin2, Co는 충분히 크기 때문에 각각의 커패시터에는 정전압이 걸린다.
- 3) 출력 인덕터 Lo는 충분히 크기 때문에 출력 인덕터 전류는 정전류이다.

동작모드는 크게 10개로 구분되며, 트랜스포머 턴 비는 $Np:Ns = n:1$ 로 가정한다. 각 모드의 동작은 다음과 같다.

모드 1 ($t_0 \sim t_1$): D1과 D2의 커뮤테이션이 종료되면서 시작된다. Q1, Q3가 켜지고, 2차 측 D1을 통해 에너지가 전달된다.

모드 2 ($t_1 \sim t_2$): Q1이 꺼진 후, Q1의 Coss1은 충전되고 Q2의 Coss2는 방전된다.

모드 3 ($t_2 \sim t_3$): Q2의 양단전압이 DVin가 되면 트랜스포머에 걸리는 전압이 0이 되어 Llk, Coss1, Coss2간에 공진이 시작된다.

모드 4 ($t_3 \sim t_4$): Coss2의 에너지가 완전히 방전되어 Q2의 영전압 스위칭 턴온이 이뤄진다.

모드 5 ($t_4 \sim t_5$): D1과 D2의 커뮤테이션으로 인해 Llk에 Cb에 해당하는 전압이 걸려 1차 측 전류가 감소한다.

모드 6 ($t_5 \sim t_6$): Q2, Q3와, 2차 측 D2를 통해 에너지가 전달된다.

모드 7 ($t_6 \sim t_7$): Q3가 꺼진 후, Q3의 Coss3은 충전되고 Q4의 Coss4는 방전된다.

모드 8 ($t_7 \sim t_8$): Q3의 양단전압이 DVin가 되면 트랜스포머에 걸리는 전압이 0이 되어 Llk, Coss3, Coss4간에 공진이 시작된다.

모드 9 ($t_8 \sim t_9$): C_{oss4} 의 에너지가 완전히 방전되어 Q4의 영전압 스위칭 턴온이 이뤄진다.

모드 10 ($t_9 \sim t_{10}$): D1과 D2의 커뮤테이션으로 인해 L_{lk} 에 Cb에 해당하는 전압이 걸려 1차 측 전류가 감소한다

2.3 입출력 관계식

출력 인덕터에서의 voltage-second balance 조건에 의해 다음과 같은 식이 성립한다.

$$\frac{V_o}{V_{in}} = \frac{2}{n} D(1-2D)$$

2.4 영전압 스위칭 조건

영전압 스위칭을 위해서는 누설 인덕터에 흐르는 전류의 에너지가 스위치의 기생 커패시터를 완전히 방전시킬 만큼 충분해야 하며, 스위치를 턴온시키기 전 스위치의 다이오드를 ON시키는 방향으로 전류가 흐르고 있어야 한다. 이런 조건을 생각할 때, Q1, Q4 스위치가 영전압 스위칭 하는 조건은 다음과 같다.

$$L_r \geq \frac{C_{oss} V_{in}^2}{4(I_{Lm_max} + \frac{I_{o_max}}{n})^2}$$

$$i_{Lr} \leq I_{Lm_min} + \frac{1}{n} i_{Lo}(t_9) \quad (3)$$

이 때, $C_{oss} = C_{oss1} = C_{oss2} = C_{oss3} = C_{oss4}$ 이고, I_{Lm_max} 는 자화 인덕터스에 흐르는 전류의 최대값, I_{o_max} 는 출력 전류의 최대값을 뜻한다.

2.5 출력 필터 인덕턴스

출력 인덕터에 걸리는 전류 리플과 DC전류 값의 비율을 r_i 라고 하면 다음과 같은 식이 만족된다.

$$\Delta i_{Lo} = \frac{1}{L_o} \left(\frac{V_{in}}{2} - V_{Cb} \right) - V_o \quad DT \quad (4)$$

2.6 실험 결과

제안한 회로의 동작을 검증하기 위해 입력 400V, 출력 48V/10A, 스위칭 주파수 50kHz인 스펙을 이용해 프로토타입을 제작하였다. Q1과 Q4의 시비율은 0.24로 하였다. 그 외 제안된 컨버터를 구성하는 각 소자의 값은 그림3에 도시화된 것과 같다. Q1~Q4는 IRF644NPBF-ND를 사용하였으며, D1~D4는 STPS41H100CT를 사용하였다. 트랜스포머는 EER3934를 사용하였다.

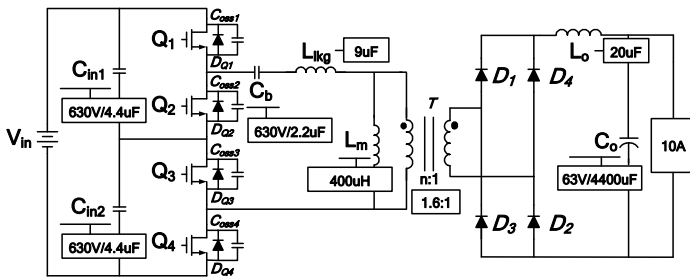
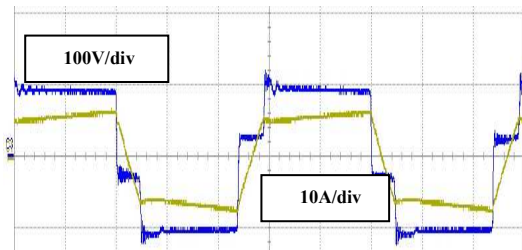
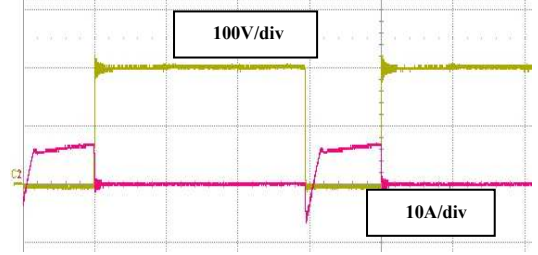


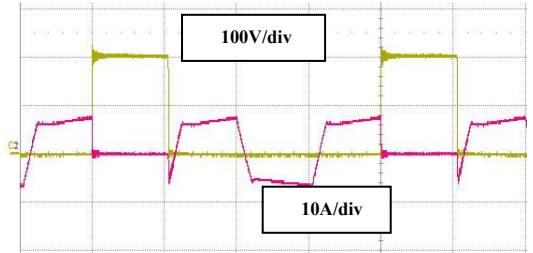
그림 3 프로토타입



(a) 변압기 일차측 전압, 전류 파형



(b) Outer 스위치의 ZVS 동작



(c) Inner 스위치의 ZVS 동작

그림 4 제안 회로의 실험 파형

그림4는 제안된 회로의 실험 파형을 보여준다. 그림 4의 (a)는 트랜스포머 일차측의 전압과 전류의 동작을 보여준다. Q1 혹은 Q4가 온 되었을 때, 트랜스포머의 일차측에 $0.5V_{in} - V_{Cb}$ 의 전압이 걸려, 일차측 전류가 증가 하는 것을 볼 수 있다. 그림 4 (b)와 (c)는 각각 Outer 스위치(Q1, Q4)와 Inner 스위치(Q2, Q3)의 영전압 스위칭을 보여 준다. 그림에서 볼 수 있듯이 각 스위치가 스위칭을 하는 시점에 음(-)의 방향으로 전류가 흘러 스위치 커패시터에 남아 있는 전압을 방전시키기 때문에 Inner 스위치와 Outer 스위치 모두 스위칭 손실 없이 영전압 스위칭이 됨을 알 수 있다. 또한, 각 스위치의 전압 스트레스가 입력전압의 반임을 확인할 수 있다.

3. 결론

비대칭 하프 브리지의 원리를 이용한 새로운 3-레벨 컨버터를 제안하였다. 제안된 회로는 추가적 소자 없이 스위칭 간의 전압 밸런싱을 맞추고 영전압 스위칭을 할 뿐 아니라, 기존의 컨버터와는 달리 트랜스포머를 통해 스위칭 주파수의 2배 주파수의 신호를 넘김으로써 출력 인덕터와 트랜스포머 크기를 줄일 수 있었다. 또한, 1차 측 스위치에 입력 전압의 반이 걸리므로 높은 입력 전압을 가지는 응용에 적합함을 알 수 있었다.

Acknowledgment

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No. 20100009888)

Reference

- [1] J. Y. Lee, G. W. Moon, and M.J Youn, "Design of a power-factor-correction converter based on half-bridge topology," IEEE Trans. Ind. Electron, vol.46, pp.710-723, Aug.1999
- [2] J. R. Pinheiro and I. Barbi, "Three-level ZVS-PWM DC-to-DC converter," IEEE Trans. Power Electron, vol.8, pp.486-492, Oct.1993
- [3] F. Canales, P. M. Barbosa, J. M. Burdio, and F. C. Lee, "A Zero-voltage-switching three-level dc/dc converter," in Proc. CPES Conf. , 2000, pp.366-371.
- [4] E. Deschamps and I. Barbi, "Flying-capacitor ZVS PWM 1.5kW DC-to-DC converter with half of the input voltage across the switches," IEEE Trans. Power Electron, vol. 15, pp.855-860, Sept. 2000
- [5] X.Ruan, L. Zhou, and Y. Yan, "Soft-switching PWM three-level converters," IEEE Trans. Power Electron., vol. 16. pp. 612-622, Sept. 2001.