

컴퓨터 생성 홀로그래프를 위한 새로운 연산 알고리즘 및 하드웨어 구조

*서영호, **최현준, *유지상, *김동욱

*광운대학교, **안양대학교

*yhseo@kw.ac.kr

A New Arithmetic Algorithm and Hardware Architecture for Computer Generated Hologram

*Young-Ho Seo, **Hyun-Jun Choi, *Ji-Sang Yoo, *Dong-Wook Kim

*Kwangwoon University, **Anyang University

요약

본 논문에서는 고속으로 홀로그래프를 생성하기 위해 새로운 컴퓨터 생성 홀로그래프(computer-generated hologram, CGH) 수식을 제안하고, 셀 기반의 VLSI(very large scale integrated circuit) 구조를 제안하였다. 기본 CGH 수식에서 가로 또는 세로 방향의 연산 규칙을 찾아낸 후 가로 또는 세로 방향의 홀로그래프 회로를 병렬적으로 구할 수 있는 수식을 유도하였다. 제안한 수식을 바탕으로 초기 파라미터 연산기(initial parameter calculator)와 업데이트-위상 연산기(update-phase calculator)로 구성된 CGH 셀의 구조를 제안하고 하드웨어로 구현하였다. 수식의 변형을 통해서 하드웨어를 간략화 시킬 수 있었고, CGH의 확장을 통해 가로 방향으로 병렬화시킬 수 있는 하드웨어 구조도 보였다. 실험에서는 하드웨어에 사용된 자원을 분석하였다. CGH 커널과 프로세서의 구조는 이전 연구에서 사용된 플랫폼을 그대로 사용하였다.

1. 서론

홀로그래피는 1948년 Gabor에 의해 최초로 제안된 이래 3차원 정보를 기록할 수 있다는 특징 때문에 많은 연구자들의 관심을 끌었다. 기존의 홀로그래피는 홀로그래프 필름에 3차원 정보를 기록하고, 현상된 필름을 사용하여 3차원 물체를 복원하는 방식을 사용함으로써 그 응용이 크게 제한되었다. 이러한 단점을 극복하기 위한 새로운 접근방법으로 1966년 이후 많은 연구자들이 컴퓨터에 의한 홀로그래프(computer-generated hologram, CGH)의 제작을 연구해 오고 있다 [1]. 이 기술은 물체파(object wave)와 기준파(reference wave)의 간섭에 의해 생성되는 간섭항을 계산함으로써 현실에서는 불가능한 이상적인 특성을 가진 부품을 제작하거나 특성시험 등을 위해 개발되었다 [2][3]. 본 연구팀은 이전 연구[4]에서 제안된 것보다 더욱 우수한 성능을 가질 수 있게 하기 위하여 확장이 용이한 변형된 CGH 연산 기법을 제안한다. 또한 이를 바탕으로 고성능의 하드웨어 구조를 새롭게 제안하고자 한다.

2. CGH의 원리

홀로그래프는 광학계를 이용하여도 취득할 수 있지만 광학계 자체를 수학적으로 모델링한 연산에 의해서 구할 수도 있다. 이러한 수학적 연산을 통해 얻어진 홀로그래프를 컴퓨터 생성 홀로그래프(computer-generated hologram, CGH)이라고 한다.

CGH는 식 (1)과 같이 정의되는데 홀로그래프의 위상으로부터 홀로그래프의 강도(I_α)를 얻는 방법이다. 여기서 N 은 3차원 객체의 광원수를 뜻한다. k 는 참조파의 파수로 $2\pi/\lambda$ 로 정의되고 λ 는 사용된 파의 파

장을 나타낸다. x_α 와 y_α 는 홀로그래프내의 위치를 뜻하고 x_j , y_j , 및 z_j 는 3차원 객체의 위치를 나타낸다. p 는 픽셀의 크기를 나타낸다.

$$I_\alpha = \sum_j^N A_j \cos(k\sqrt{(px_\alpha - px_j)^2 + (py_\alpha - py_j)^2 + z_j^2} + \phi_\alpha + \phi_j) \quad (1)$$

2. 제안한 수식 및 하드웨어 구조

수정된 CGH 알고리즘은 하나의 가로줄 단위로 연산이 이루어진다. 먼저, 가로줄의 첫 번째 홀로그래프 위치($d=0$)에 대해 연산을 수행하고 그 이후의 위치($d>0$)에 대해서는 가로줄이 끝날 때 까지 이전 위치에서 연산된 결과(Γ_{d-1})에 일부 값($\Gamma_1 + (d-1)$)을 보정하여 해당 위치에서의 홀로그래프 값(I_α)을 구한다. 가로줄의 첫 번째 위치에서 연산되어야 하는 과정은 식 (2)과 같다.

$$I_\alpha = \sum_j^N A_j \cos\left(2\pi\left(\frac{z_j}{\lambda} + \frac{p^2}{2\lambda z_j}(x_{\alpha j}^2 + y_{\alpha j}^2)\right) + \phi_\alpha + \phi_j\right) \quad (d=0) \quad (2)$$

($d=1$)의 위치부터 사용되는 연산식은 식 (3)과 같다. 식 (3)에서 Γ_d 는 식 (4)와 같다.

$$I_\alpha = \sum_j^N A_j \cos\left(2\pi\left(\frac{z_j}{\lambda} + \frac{p^2}{2\lambda z_j}(x_{\alpha j}^2 + y_{\alpha j}^2) + \Gamma_d\right) + \phi_\alpha + \phi_j\right) \quad (d \geq 1) \quad (3)$$

$$\Gamma_d = d\left\{\Gamma_1 + \frac{1}{2}(d-1)\Delta\right\} \quad (4)$$

제안한 식 (4)는 초기값이 주어진 이후에는 임의의 위치에서 홀로

그림 계수 생성이 가능하다는 장점을 갖는다. 이러한 장점은 하드웨어 구현 시 병렬화를 가능하게 해줄 수 있다.

CGH 셀의 내부 단위 연산시간을 바탕으로 그림 1과 같이 CGH 셀을 파이프라이징하여 제안한다. CGH셀의 업데이트-위상 연산기는 총 6 단계의 파이프라인 단계를 가지므로 6 클록의 대기지연시간 이후에 한 클록 당 하나의 결과를 출력할 수 있다. 그림 1에서 R이 파이프라인 레지스터에 해당한다.

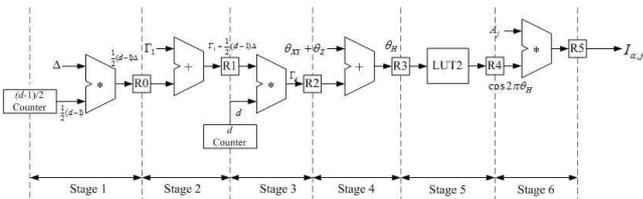


그림 1. 제안한 파이프라이징 업데이트-위상 연산기의 구조

본 논문에서 제안된 CGH 셀의 구조를 확장하여 CGH 커널로 구현된다. 또한 CGH 커널과 함께 Input Interface, Output Interface, Main Controller, SDRAM Controller, DMA 등으로 CGH 프로세서가 구성된다. 본 논문에서 사용된 CGH 커널 구조와 CGH 프로세서의 구조는 [4]에서 사용한 구조를 그대로 사용한다[4]. 그림 2에는 그림 1의 CGH셀 2개를 이용하여 하드웨어를 확장한 경우를 보여주고 있다.

3. 구현된 하드웨어

제안한 하드웨어는 VHDL을 이용하고 Altera사의 FPGA 환경을 이용하였다. VHDL의 설계는 Quartus II 10.0을 이용하였고, 시뮬레이션은 Modelsim 6.5e를 사용하였다. 표 1에 이전 연구[4]와 새롭게 제안한 CGH 셀의 하드웨어 자원을 비교하였다.

10K개의 광원을 갖는 객체에 대해서 1920×1080(HD)크기의 홀로그램 1장을 생성하는 데에는 63ms가 소요된다. 가로 방향으로 2개의 홀로그램 화소를 병렬로 연산하는 구조를 적용한다면 31.5ms가 소요되고, 3개에 대해서는 21ms가 소요된다.

표 1. 구현 결과의 비교

Item	FPGA			
	[4]	Proposed		
Object Point	10,000	10,000		
Hologram Size	1,408×1,050	1,920×1,080	1,408×1,050	
Frequency (MHz)	166MHz	166MHz		
$\frac{Time(s)}{CGH}$	0.0159	0.065	0.016	0.021
$\frac{Hologram}{Time(s)}$	62.90	15.37	61.48	47.16
Parallel Unit Cells	5,632	1,920	7,680	5,632

표 1에서 제안한 하드웨어가 [4]에 비해서 대기지연 시간이 짧아 성능이 더욱 우수할 수 있다. 제안한 하드웨어가 더 큰 홀로그램을 더 빠른 시간에 생성할 수 있다. 그러나 이것이 제안한 회로의 가장 큰 특징은 아니다. 가장 큰 장점은 [4]의 방식에 비해서 병렬화가 훨씬 용이

하다는 것이다.

4. 결론

본 논문에서는 새로운 CGH 수식을 유도하였고, 이 수식을 바탕으로 하여 고성능의 CGH 생성 하드웨어 구조를 제안하였다. 제안한 CGH 수식은 가로 방향으로 병렬 연산이 가능한 특성을 갖는다. 기존 연구와 비교할 때 더욱 작은 하드웨어 자원을 사용하면서도 더 높은 성능을 보였고, 가로 방향의 병렬화가 가능하여 성능을 선형적으로 증가시킬 수 있는 장점도 갖는다. 본 연구는 실사 및 컴퓨터 그래픽을 이용한 CGH 응용 분야에 다양한 가이드라인과 정보를 제공할 수 있을 것으로 예상된다.

감사의 글

본 연구는 지식경제부, 방송통신위원회 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그램 통합서비스 시스템의 구현을 위한 신초처리 요소 기술 및 SoC 개발]

참고 문헌

- [1] T. Motoki, H. Isono, and I. Yuyama, "Present Status of Three-Dimensional Television Research," Proc. IEEE 83(7): 1009-1021(July 1995).
- [2] J. K. Chung and M. H. Tsai, Three-Dimensional Holographic Imaging, John Wiley & Sons, Inc., 2002.
- [3] P. Hariharan, Basics of Holography, Cambridge University Press, May 2002.
- [4] Y.-H. Seo, H.-J. Choi, J.-S. Yoo, and D.-W. Kim, "An architecture of a high-speed digital hologram generator based on FPGA", Journal of Systems Architecture, Vol. 56. pp. 27-37, Dec. 2009.

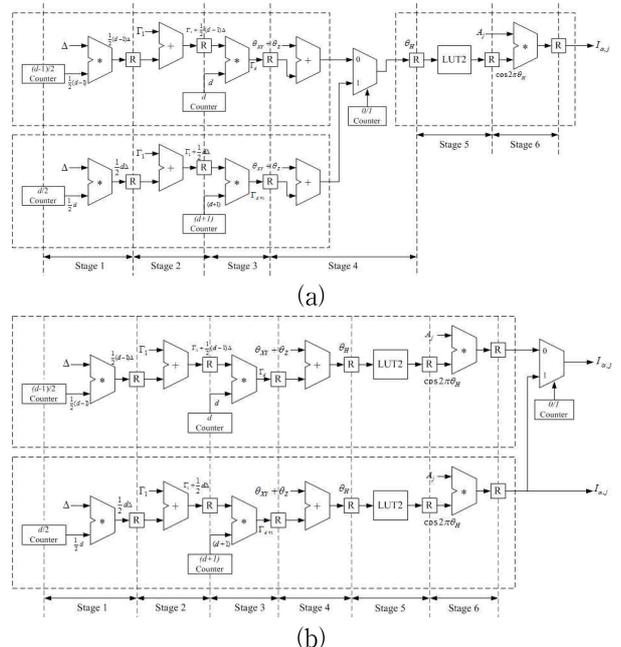


그림 2. 화소 단위의 병렬화를 위한 업데이트-위상 연산기의 확장