

이온주입 시 주입율에 따른 PMOS 트랜지스터의 특성 연구

Study of characteristic of surface channel PMOS transistor with dose rate of ion implantation

*이종근¹, #양지철², 이영호³, 석종규³

*J. K. Lee¹, #J. C. Yang(jichul.yang@samsung.com)², Y. H. Lee³, J. K. Seok³

¹ 삼성전자공과대학교 반도체공학과, ² 삼성전자공과대학교, ³ 삼성전자

Key words : dose rate, surface channel PMOS, contact resistance, plug effect

1. 서론

고집적화 소자의 형성에 있어 source/drain의 shallow junction과 전류 구동력을 크게 하기 위해 source/drain과 direct contact의 contact resistance 감소와 ohmic contact을 형성하는 것에 대한 중요성이 부각되고 있다.[1] 일반적으로 doping 농도가 증가하면 면 저항이 감소하지만, shallow junction이 요구되는 고집적화 DRAM 소자에서는 doping 농도의 증가가 제한된다. 최근 PMOS transistor의 plug 이온주입에 사용되는 boron의 경우는 열처리 후, transient enhanced diffusion(TED) 현상으로 PMOS transistor의 p+/n의 shallow junction을 형성하기 어렵다는 것을 확인하였다. Boron의 TED 현상은 wafer cooling temperature와 dose rate에 의해 차이가 나타나기 때문에 후속 공정 barrier metal deposition에서 TiSi2의 성장에 영향을 준다.[2~5] 본 연구에서는 dose rate에 따라 silicon damage를 열처리 전/후로 확인하였다. 뿐만 아니라 dose rate 변화가 contact resistance, DC-GP length에 따른 threshold voltage 변화를 ET를 통해 확인하였다.

2. 실험

1. 실험방법 및 내용

실험의 이온주입 공정 조건은 동일하며 low dose rate(A), high dose rate(B)으로 각각 실험을 한다.

- 1.1 Bare wafer 면 저항 측정
- 1.2 Bare wafer TW 측정
- 1.3 Pattern wafer ET 측정

2. 실험 결과

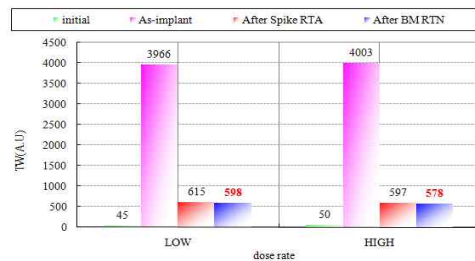
- 2.1 Bare wafer 면 저항 측정 결과

Bare n-type wafer에 boron 이온주입 후 N2, 1000°C, 30sec로 열처리를 하고 VR-120/SD 장비로 면 저항을 측정하였다. 면 저항은 A 조건에서 158.05ohm/sq, B 조건에서 158.45ohm/sq로 두 조건에서 유사한 결과를 통해 이온의 도핑농도와 깊이가 동일하다는 결과를 얻었다.

2.2 Bare wafer TW 측정 결과

Bare p-type wafer에 이온주입 전과 boron 이온주입 후, 1차와 2차 열처리 후 TP-603 장비로 thermal wave(TW)를 통해 silicon damage를 측정하였다. 이온주입 전(initial) TW(A.U)는 유사한 결과를 얻었다. 이온주입 후(As-implant) TW는 B > A의 결과를 얻었다. 결과를 통해 B 조건에서 damage를 상대적으로 많이 받았음을 확인하였다. N2, 1020°C, 1sec의 1차 열처리 후(After Spike RTA)의 TW는 A > B의 결과를 얻었다. 결과를 통해 B 조건에서 damage 회복이 많이 됨을 확인하였다. N2/NH3, 830°C, 60sec 열처리 후(After BM RTN)의 TW는 A > B의 결과를 얻었다. 결과를 통해 이온주입 후 B 조건에서 damage를 많이 받았으나 열처리 과정 동안 damage가 A 조건보다 많이 회복되어 TW가 낮음을 확인하였다. 실험 결과는 Fig.1과 같다.

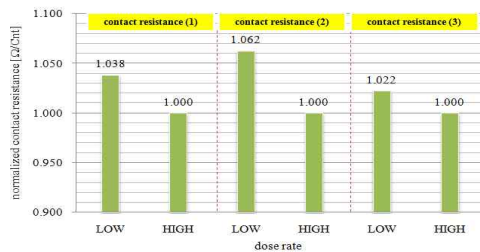
Fig.1 Result of TW at p-type bare wafer.



2.3 Pattern wafer ET 측정 결과

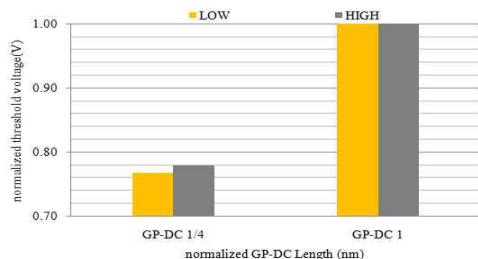
Pattern wafer에서의 ET 측정 항목은 contact 저항, GP-DC 길이에 따른 threshold voltage(V_{th})를 측정하였다. Contact 저항은 3가지 항목을 측정하였으며, 3가지 항목 측정 결과가 A > B로 A 조건에서 높은 결과를 얻었다. Contact 저항 차이는 dose rate에 따른 이온주입 및 열처리 후에 silicon damage 차이가 나타남에 따라 후속 공정에서의 $TiSi_2$ 의 성장에 영향을 주는 것으로 사료된다. 실험 결과는 Fig.2와 같다.

Fig.2 Result of PMOS contact resistance at pattern wafer.



GP-DC 길이에 따른 threshold voltage(V_{th}) 측정은 short과 long GP-DC의 Test Element Group(TEG)에서 측정하였다. 실험 결과 long GP-DC에서는 V_{th} 가 동일한 결과를 얻었다. Short GP-DC에서의 V_{th} 는 A < B로 dose rate에 따라 차이가 있음을 확인하였다. GP-DC간의 길이 변화에 따라 V_{th} 가 변화는 plug 이온주입 및 열처리 후의 과정에서 boron의 channel쪽으로 확산하여 source/drain 영역이 확장됨에 따라 gate에 의해 조절되는 channel 영역 내의 전하가 감소하는 SCE(short channel effect)에 의해 나타나는 것으로 사료된다. 실험 결과는 Fig.3과 같다.

Fig.3 Result of long and short GP-DC PMOS threshold voltage.



3. 결론

본 논문은 이온주입 시 dose rate에 따른 surface

channel PMOS transistor 특성에 관한 연구이다. High dose rate에서 contact 저항이 낮고, short DC-GP length에서 PMOS threshold voltage가 상대적으로 높은 결과를 확인하였다. Low dose rate에서 contact 저항이 높아지고 short DC-GP length에서 threshold voltage가 낮아짐을 확인하였다. 본 연구에서는 이온주입 후 격자 손상을 측정하여 이온주입에 의한 비정질 두께를 간접적으로 확인할 수 있었으며 열처리 후의 격자 손상을 측정함으로써 격자 손상 제거 정도를 확인할 수 있었다. 열처리 후의 격자 손상은 2차 defect으로 남아 direct contact 형성을 다르게 하고 열처리에 후에 plug dopant의 확산 정도를 다르게 되어 PMOS의 threshold를 변화시키는 plug 효과가 나타나는 것으로 사료된다. Scale-down이 지속될수록 dose rate를 높게 할수록 contact 저항은 감소하고 plug 이온주입에 인한 threshold voltage 감소는 적게 될 것이다. 반면 dose rate를 낮게 할수록 contact 저항은 증가, plug 이온주입으로 threshold voltage가 감소하는 현상으로 transistor 특성 변화가 예상된다. 따라서, dose rate에 의해서 대한 지속적인 연구가 필요할 것으로 사료된다.

참고 문헌

- Semiconductor Physics and Device : Basic Principles, Third Edition, Donald A. Neamen, Page. 528~532
- 이준하, 이흥주, “Nano-Scale MOSFET 소자의 Contact Resistance 에 대한 연구,” 한국 산학 기술 학회 논문지, 5, 13-15, 2004
- Tae-Hoon Huh, Byung-Jae Kang, “A Study of Implanted BF2 as a Function of Wafer Temperature During Implant,” AIP Conference Proceedings, 1066, 87-90, 2008
- Nathalie Cagnat, “Defect Behavior in BF2 Implants For S/D Applications as a Function of Ion Beam Characteristics,” AIP Conference Proceedings, 866, 133-136, 2006
- Kil-Ho Lee, Jong-Choul Kim, “Formation of ultra-shallow p⁺-n junction through the control of ion implantation-induced defects in silicon substrate,” Journal of The Korean Vacuum Society, 6, 326-36, 20