

STI 구조를 갖는 소자의 leakage path 발생 과정에 대한 모델링 연구 Investigation of modeling is leakage path at the shallow trench isolation device

*서대만¹, #박연식², 상재호², 최수옥²

*D.M. Seo¹, # Y.S.Park(ysok.park@samsung.com)², J.H. Sang², S. O. Choi²
¹ 삼성전자공과대학교(SSIT) 반도체공학과, ² 삼성전자 S.LSI 사업부

Key words : Shallow Trench Isolation , Leakage path , STI , liner film , HDP process , Breakdown voltage

1. 서론 1-1 연구목적

Shallow trench isolation (STI) 구조를 갖는 소자는 높은 절연 특성을 가지고 있어 제품 Complementary metal-oxide semiconductor (CMOS) 기본 구조에 광범위하게 적용이 되고 사용이 되어 지고 있다. 그러나 이런 우수한 절연 특성을 갖기 위해서는 STI 부분에 정확한 절연막질이 채워져야 하는 것이 우선적으로 기본이 되어야 한다. 그러나 STI 부분의 절연막질을 채우는 과정에서 우리가 예상하지 못한 문제점이 발생할 경우 정확한 절연기능을 하지 못하고 소자의 구동 전압이 인가가 되지 못한 경우 또는 자연 상태에서도 Leakage path 가 발생하며 많은 공정적인 문제가 발생이 되며 이는 소자의 특성을 정확히 발휘하지 못하게 되는 문제로 이어지게 된다.

추가적으로 전통적인 STI 구조는 SiO₂ 와 SiN_x 막질의 복합적인 구조를 가지고 있고 이러한 막질은 높은 절연효과를 내고 있음이 여러 논문에서 이미 많은 부분 소개가 되어져 있다. 그러나 지금의 반도체소자는 점점 더 선평의 미세화가 되고 있고 빠른 동작 속도를 요구하고 있다. 여기에 일부 소자에서는 높은 전압을 사용하고 있어 더욱 더 전통적인 STI 구조를 적용하기가 힘들어 지고 있어 이에 대한 모델링을 파악하여 그 원인에 대한 문제를 제거함에 있어 지금 보다 높은 신뢰도를 갖는 STI 구조의 절연특성을 얻는데 연구 목적이 있다고 할 수 있다.

1-2 CVD gap-fill 동향 및 기술

반도체 제품과 기술의 발달로 인하여 선평의 미세화가 가속화됨에 따라서 기존 Chemical Vapor Deposition(CVD), Inter Layer Dielectrics(ILD) 및 Inter Metal Dielectrics(IMD)에 주로 적용되어 왔던 Boro-Phosphor Silicate Glass(BPSG) , Tetra Tetraethyl Orthosilicate(TEOS) 및 Undeoped Silicate Glass(USG)와 같은 방식들은 gap-fill 능력의 한계에 따라 100nm 급 이하 제품에서는 불량 가능성이 높아져 gap-fill 용으로는 적용하는데 많은 문제점이 발생되고 있다.. 또한, Shallow Trench Isolation(STI) 기술의 발달로 인하여 High Density Plasma(HDP) 방식이 등장함으로 100nm 급 이하의 미세선평에서 gap-fill 마진을 확보하여 현재 많은 제품에 위 방식으로 제품에 적용되고 있다. 그러나 60nm 급 이하 제품에서는 단일 공법의 HDP 및 기타 plasma deposition 방식으로는 STI , ILD 및 IMD layer 에서 gap-fill 마진이 부족한 실정이다. 이로 인하여 차세대 gap-fill 방식이 활발히 연구되고 있고 Spin On Glass(SOG) 등의 방식이 대표적이라 할 수 있겠다.

이 논문에서는 STI 구조 gap-fill 에 대해 효율적으로 사용하는데 아직까지 널리 사용되고 있는 전통적인 방법인 High Density Plasma(HDP) 의 Low Pressure CVD(LPCVD)방식에서 갖는 Leakage path 발생원인을 Modeling 하여 방향을 제시하고자 한다.

2. STI 구조의 Leakage path 발생 Modeling 및 실험 2-1 STI 구조의 Damage 측면

우리는 STI 구조를 제작하는 과정으로 Dry-Wet-Dry(DWD) 방식의 gap-fill 공정 순서를 이용 했는데 이는 처음에는 1st HDP PROCESS 후 Wet etch 후 2nd HDP PROCESS 를 진행하게 된다. 그러나 이러한 과정을 진행함에 따라서 gate 가 올라갈 자리인 Active 영역의 절연 막질 중 하나인 SiN_x Liner Film 의 상단 부위가 구조적으로 Heavy Ion 의 Damage 에 취약하게 되고 공정 진행 중에 Plasma 상태의 정체가 심하거나 SiN_x 막질의 두께가 부족한 경우엔 SiN_x Liner film 의 상단 부위가 얇아지거나 심한 경우 사라지는 현상이 발생되고 있어 이후 진행되는 Wet 공정에 의해 Side-Wall Oxide(SWOX)부분까지 열리며 이 부분을 통해 Leakage path 로 이어 지는 현상이 발생되고 있다. Fig.1 을 보면 정상적인 STI gap-fill 이 이루어진 구조의 Cross-sectional Transmission Election Microscope (TEM) 사진과 상단부의 SiN_x Liner film 이 사라진 TEM 사진을 비교하면 쉽게 확인을 할 수가 있다. 이러한 현상의 결과로 Fig.2 의 Time-dependent dielectric breakdown (TDDB)를 보면 정상적인 제품과 비정상적인 제품간의 차이를 더욱 확연히 볼 수 있다. 제품의 신뢰도를 올리기 위해서는 Fig.3 와 같이 공정 조건을 변경하여 Active 영역에서 SWOX 영역의 두께의 비율을 최적화 해줄 필요성이 매우 필요해지고 있다고 할 수 있다.

2-2 불순물 혼합 측면

또한 전통적인 SiO₂ + SiN_x 혼합구조인 Oxide-Nitride-Oxide(ONO)에서 SiN_x 막질은 높은 막질 Density 와 Oxide 막과 합쳐지며 생기는 band-gap 의 복합적인 기능으로 질 좋은 절연막질로 사용이 되고 있으나 SiN_x 막질의 성장 과정에서 불순물의 오염이 발생했을 때 불순물이 있는 부분의 막질이 빠르거나 늦게 형성되며 막질이 채워져 있어야 하는 부분에 Void 현상을 유발하게 되거나 SiN_x 막질의 자체가 N+의 불순물이 많은 특성이 있는데 여기에 오염의 원인으로 인해 N+ 불순물의 농도가 더욱 높아지면서 전자를 가두게 되는 기능을 갖게 되는 Trap site 가 관리 기준에 벗어나도록 수가 증가하게 되면 이렇게 발생된 Trap site 에 전자들이 Trap 이 되는 현상이 필연적으로 발생되어지므로 저 전압의 상태에서도 절연 장벽의 Potential 이 낮아지게 되는 결정적인 원인으로 작용을 하게 되며 이는 전자 이동 로의 징검다리 역할을 함으로써 저 전압에 의해서도 Leakage path 가 발생되는 현상이 Fig.4 과 Fig.5 의 그림과 같이 형성이 되고 있다고 Modeling 을 할 수 있다. 이러한 Modeling 을 확인하고자 SiN_x 막질을 제거하여 STI 구조를 형성했을 때 Fig.6 와 같이 Leakage path 영역이 발생하는 현상이 없어지는 결과를 확인하여 이를 더욱 뒷받침 할 수 있게 되었다.

3. 결론

본 연구에서 전통적인 STI 제작 구조인 ONO 형식의 LPCVD 방식과 HDP process 를 이용한 gap-fill 구조를 갖는 방법은 매일 다양해 지고 많은 동작 특성을 보여주어야 하는 제품의 출현으로 기존에 제작 방식에서 탈피를 하지 못하면 제품의 효율적인 특성을 얻는 것 자체가 어려워 지고 있으며 동일한 제품이라고 선포의 미세화로 길이가 좁아짐에 따라서 동일한 제품의 특성을 얻기 위해서는 전통적인 방법을 벗어나서 많은 방법으로 많은 실험을 통해 특성 검사를 하며 결과를 얻어봐야 효율적이며 제품의 제작비용에 효과적인 공정 방법을 찾아 낼 수 있다는 것을 확인해 준 결과라고 할 수 있겠다.

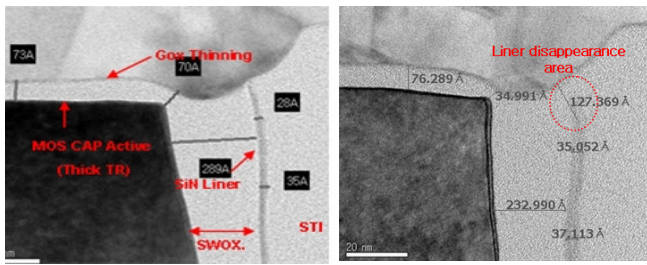


Fig. 1 (Left) Schematic view of normal STI. And (Right) Schematic view of disappearance of top corner edge SiN liner

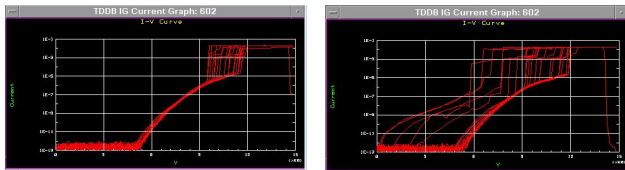


Fig. 2 (Left) TDDb data of reference sample and (Right) abnormal sample

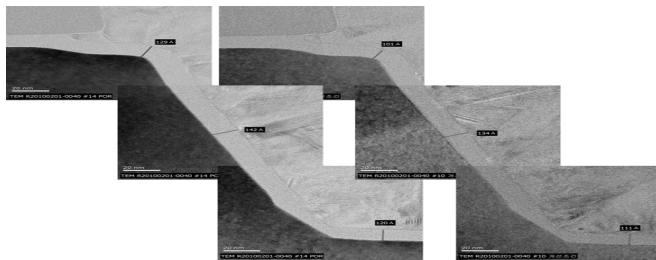


Fig. 3 (Left) Schematic view of normal STI. And (Right) Schematic view of change the process recipe

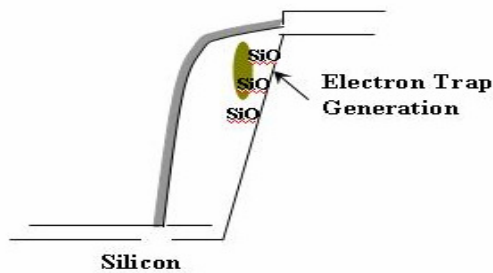


Fig. 4 Electron trap is generation when high temperature anneal process

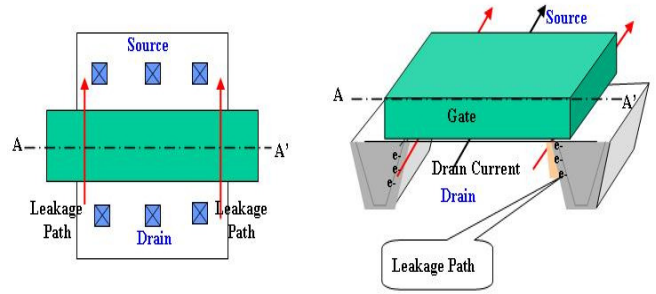


Fig.5 Schematic of the 2-D (left) and 3-D(right) transistor structure of leakage path

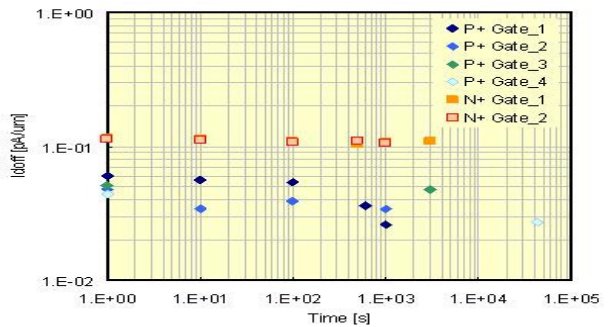


Fig. 6 Idoff was reduced by SiN film thickness decreasing not only PMOS but NMOS

후기

논문을 연구를 하는데 있어 열성적인 도움을 주신 부서 팀원들과 직접적인 조언을 아끼지 않으신 지도 교수 박연식 책임께 깊은 감사 드리며 바쁜 업무 속에서도 항상 잊지 않고 많은 격려와 조언을 해주신 상재호 팀장님과 최수옥 수석님.마지막으로 실질적인 학문과 기술의 터전을 마련해준 학과 교수님들과 교학처 분들에게 진심으로 감사 드립니다.

참고문헌

1. T J.tee, D Pa#, Y.H.Roh*, B.S.Kim D.H.Ahn'-, E.H.Kim, C.H.Jcon, Y.W.Kim, S.C.Lce.C SChoi, K.P.Suh SOC Tech Team -t DRAM PA Team. ** Semiconductor R&D Center, A Novel Shallow Trench Isolation Technology Using LPCVD MTO/SiN Liner in SO1 Wafer 2001 IEEE International SO1 Conference, IO/OI
2. T.Hori Gate Dielectrics and MOS ULSLs p234-247,p280-281 p299-300,p304-308.
3. Dae-Man. SEO,Jae-Kyung. LEE,Jae-Ho. SANG,Yoon-Sei. Park,Soo-Ok. Choi, Investigation of improved Idoff current by SiN liner skip at Shallow Trench Isolation Process ,Scientific Secretariat for ISPlasma2010, AbstractID10032,
4. Dae-Man SEO,Jae-Kyung LEE,Jae-Ho SANG, Yoon-Sei Park ,Soo-Ok Choi,and Min-Sung KIM, Investigation of Breakdown Voltage drop caused by SiN liner disappearance AEPSE2009 International Conference on Plasma Surface Engineering, 2009, Paper ID : 2009-070
5. Byung-Chul. CHOI^{1 2}, Jin-Sung CHUNG², Euhn-Gi LEE², Jong-San PARK², Tae-Jung KIM², Rak-Ki LEE² and Dong-Hwan KIM¹, Investigation of Si3N4 liner disappearance caused by high density plasma at shallow trench isolation process, The 3th International Conference on Plasma-Nano Technology & Science , IC-PLANTS 2010.