

3D Package 를 위한 액상솔더 TSV filling 과 저온솔더 본딩 TSV filling with molten solder and low temperature bonding for 3D package

*고영기, 한민규, 유세훈, #이창우

*Y. K. Ko, M. K. Han, Sehoon Yoo, # C. W. Lee(cwlee@kitech.re.kr)

한국생산기술연구원 용접접합기술지원센터

Key words : TSV, 3D Packaging, Via filling, Sn-Bi, Solder

1. 서론

전자부품의 소형화, 다기능, 고성능, 높은 신뢰성 등을 충족시키기 위하여 3D Packaging 기술이 대두되고 있다. 3D 패키징의 연결방법은 와이어본딩 및 플립칩을 사용한 기존의 방법에서 TSV(Through Silicon Via)를 이용한 적층방법이 주목 받고 있다. 이러한 TSV 는 기존의 와이어 본딩과 비교하여 고집적도, 고성능, 빠른 신호전달, 낮은 전력소비 등의 장점을 가지고 있어 여러 분야에서 많은 연구가 진행되고 있다.¹⁻² 일반적인 TSV 공정의 세부공정은 Thinning, 핸들링 등의 웨이퍼 기술과 비아(Via)형성, 절연층 형성, 씨앗층 증착, 금속 충전/도금등의 비아 마킹 기술, 칩 접합(Bonding)으로 나눌 수 있다.³ 하지만 기존의 반도체공정과 달리 TSV 는 비아홀 사이즈가 극미세화 되어 높은 증황비를 가짐에 따라 비아 형성 및 충전에 기술적 어려움이 있다. 특히 TSV 충전 방법 중 Cu 를 전기도금 방식으로 충전하는 기술이 많이 이용되고 있으나 이 경우 기공형성 및 충전시간이 길다는 단점을 가지고 있다. 따라서 기공이 없고 충전시간이 짧은 기술의 개발이 요구 되고 있다. 또한 TSV 기술의 접합에 있어서 범프형성 및 본딩 기술은 피치(pitch)간격이 작아지고 고신뢰성을 요구함에 따라 접합재료와 본딩조건을 제어하는 공정이 요구되고 있다.

따라서 본 연구에서는 TSV 공정 중 비아필링과 미세범프 접합에 대하여 연구를 실시하였다. 웨이퍼의 양단에 압력과 시간에 따른 용융솔더의 충진을 관찰하였다. 또한 Cu 필러 범프위에 Sn-58Bi 캡 범프를 형성하여 플립칩 본딩을 이용해 접합을 실시하였다. 시효처리 시간에 따른 Sn-Bi 캡 범프와 Cu 패드 계면 사이에서의 작용과 최적 공정 등을 SEM, EDS 을 이용하여 관찰하였다.

2. 실험 방법

TSV 웨이퍼의 초기 두께는 300 um 이었으며 DRIE 를 이용하여 TSV 를 형성하였다. 형성된 TSV 직경은 30 um 이며 스퍼터링을 통하여 TSV 의 상부 및 비아벽에 Ti/Cu 를 증착하여 젖음층(wetting layer)를 형성하였다. 그 후 웨이퍼를 100um 두께로 thinning 하였다. Fig.1(a)는 필링 실험의 모식도이다. 상부와 하부 사이에 웨이퍼를 올린 후 그 위에 Sn3.5Ag0.7Cu 솔더페이스트를 도포하였다. 그리고 도포된 솔더페이스트는 상부챔버내의 열원에 의하여 250℃ 이상 온도를 가해 용융상태가 되도록 하였다. 그 후, 하부챔버에 0.02~0.08Mpa 의 진공을 주어, 상부챔버의 용융솔더가 관통비아로 빨려 들어가게 하였다. Fig.1(b)은 웨이브 솔더링을 응용한 필링방법으로 노즐을 통해 유동하는 용융솔더 위에 TSV 가 형성된 웨이퍼가 놓여지고 웨이퍼 위쪽에 진공을 형성하여 필링하는 방법이다.

Fig.2 은 Cu-솔더-Cu 본딩의 모식도이다. 산화층이 증착된 웨이퍼 위에 각각 Ti 0.03um, Cu 0.3um 을 스퍼터링 한 후 포토레지스트리(PR)를 40um 높이로 도포하였다. 포토공정을 통하여 직경 25um 의 hole 을 형성한 후 전해도금을 실시하여 10um 높이의 Cu 필러 범프를 형성하였다. 그 위에 Sn-Bi 캡 범프를 형성하여 칩을 제작 하였다. 플립칩 공정은 170℃, 5N 으로 Cu 패턴이 새겨져 있는 패드 위에 본딩을 실시하였다. Aging 조건은 100℃에서 0h,

200h, 400h 을 실시하였다. Sn-Bi 캡 범프와 Cu 패드 사이의 단면을 SEM 과 EDS 을 이용하여 관찰하였다.

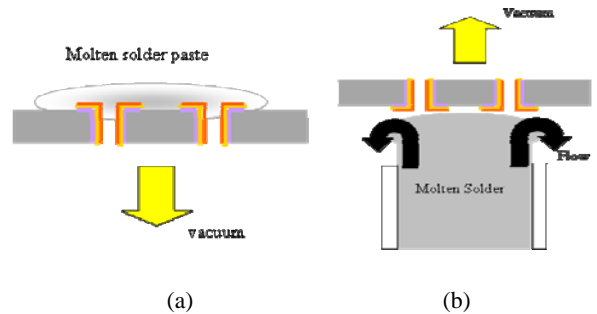


Fig. 1 Schematic of molten solder via filling technique

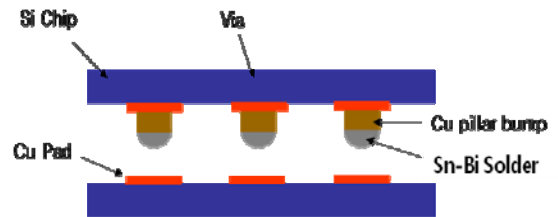


Fig.2 Schematics of Cu-Solder-Cu bonding

3. 실험 결과

Fig.3 은 Fig.1(a)의 필링방법으로 실시한 것으로 각 압력조건에 따른 Via filling 결과이다. 0.04Mpa 이상에서 모든 via hole 이 충전되었음을 관찰하였다. 하지만 필링된 부분의 EDS 측정 결과 각 부분의 Sn 함량이 다른 것을 관찰하였다. 이것은 솔더페이스트를 사용함에 따른 플럭스성분이 함께 충전된 것으로 판단된다. 따라서 플럭스성분을 사용하지 않는 새로운 충전 방법을 모색하였으며 그 방법이 Fig.1(b)이다. Fig.4 는 이러한 필링방법을 실시할 수 있는 장비의 모식도이다. 본 방법은 웨이브 솔더링 방식을 응용한 방법으로서 솔더바를 250℃ 이상 가열하여 솔더를 용융시킨다. 용융된 솔더는 노즐 아래쪽에 위치하고 있는 임펠러가 노즐을 통해 위쪽으로 유동시켜준다. 임펠러의 속도를 조절하여 용탕의 유동속도를 쉽게 조절 가능하다. 유동되는 용융 솔더의 산화를 방지하기 위해 유동솔더가 대기와 접촉되는 부분에 N₂ 가스를 주입할 수 있도록 하였다. 노즐 위쪽에는 웨이퍼를 장착할 수 있는 지그가 설치되어 있으며 이 지그는 상하좌우로 이동이 가능하여 원하는 부분에 용융 솔더가 접촉될수 있도록 하였다. 장착된 웨이퍼 위쪽에는 진공을 형성 할 수 있도록 챔버와 노즐이 설치되어 있다. 진공노즐이 아래로 이동하여 웨이퍼 모서리 부분을 오링에 의해 접촉하게 되고 접촉된 부분은 공기의 흐름을 차단하게 되어 내부에 진공이 형성 될 수 있도록 하였다. 원하는 진공압을 설정하게 되면 진공챔버에 설정된 진공압이 로터리 펌프에 의해 유지되며 밸브의 개폐에 의해 진공노즐에 진공이 형성된다. 진공 시간 또한 원하는 시간을 설정해 주면 그 시간만큼 진공이 형성된 후 자동으로 대기압으로 돌아가게 된다. 이 방법은 in-line

system 이 가능하며 높은 생산성과 압력 및 시간의 제어가 용이한 장점을 가지고 있다. 웨이브 솔더링 방식의 필링방법에 의해 관통홀에 충전된 솔더의 단면을 관찰한 결과 기공이 발견되지 않는 완벽한 비아필링이 3 초 이내에 이루어진 것을 알 수 있었다. Fig.5(a)은 전해도금을 통해 형성한 Cu Pillar bump 위에 Sn-Bi Cap bump 를 형성한 이미지이며, 제작된 칩은 플립칩 본더를 이용하여 Cu 패턴이 새겨져 있는 패드 위에 본딩하였다.(Fig.5(b)) 이 때 본딩 압력은 5N, 본딩온도는 170°C이었다. 이와 같이 접합한 시편은 Cu 와 Sn-Bi 사이 계면 반응을 보기 위하여 150°C 에서 aging 을 실시하였다.(Fig.6) Aging 시간이 증가함에 따라 Cu₃Sn 층의 두께가 증가하는 것을 관찰하였고 400h 이상에서는 Cu₃Sn 과 Cu₆Sn₅ 사이 계면에 Kirkendall void 가 관찰되었다. 또한 이 void 가 연결되어 크랙으로 성장하는 것을 관찰하였다. 400h 이상에서는 Bi 가 접합부에서 분리되는 현상을 관찰하였으며 이것이 향후 신뢰성에 어떤 영향을 미치는지는 추후 계속 논의가 될 것이다.

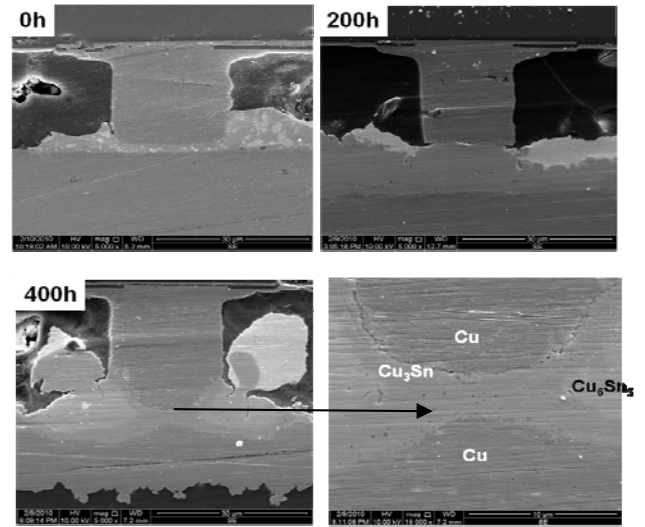


Fig.6 Aging after Flip chip bonding

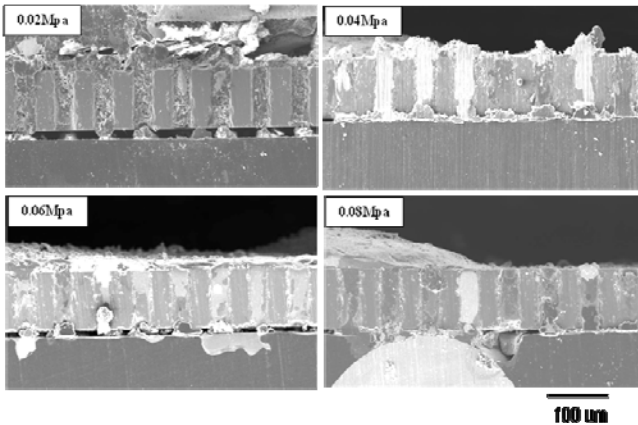


Fig. 3 Cross-section image of wafer with TSV

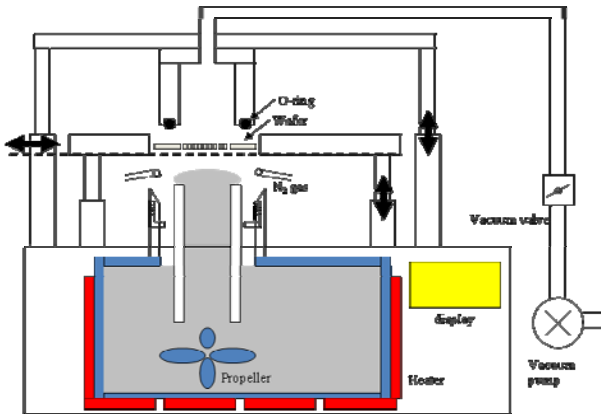


Fig.4 Schematics of wave soldering filling equipment

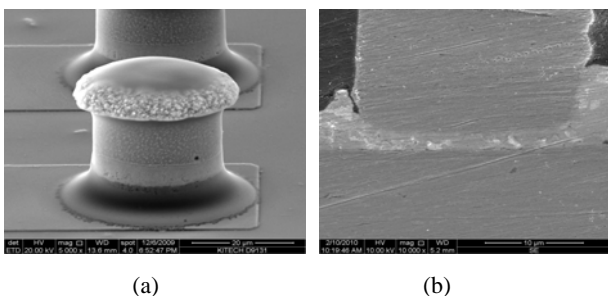


Fig.5(a) SEM micrograph of Sn-58Bi solder capped Cu pillar bump.
Fig.5(b) SEM micrograph of Cu-Solder-Cu bonding area

4. 결론

1. TSV 가 형성된 웨이퍼의 양단에 0.04Mpa 이상의 압력 차에 의하여 TSV 내에 Molten solder 의 filling 을 관찰하였다.
2. 웨이브 솔더 필링방식을 사용하여 원하는 부분에 완벽한 필링이 가능하였으며 시편 교체시간 및 필링시간이 수초로 크게 줄어들어 생산성을 크게 높일 수 있었다.
3. High aspect ratio 를 갖는 Cu pillar bump 에 저온계 솔더인 Sn58Bi cap bump 를 형성 시켜 미세 피치를 위한 저온 접합부를 형성 하였다.
4. Sn-Bi cap bump 와 Cu 패드 사이에서 Aging 시간이 증가함에 따라 Cu₃Sn 층의 두께가 증가하는 것을 관찰하였고 400h 이상에서는 Cu₃Sn 과 Cu₆Sn₅ 사이 계면에 Kirkendall void 가 관찰되었다.

후기

본 연구는 지식경제부가 지원하는 협동연구사업 “ 차세대 반도체 MCP 핵심기술개발 ” 의 지원을 받아 수행되었습니다.

참고문헌

1. Jiang, T., Luo, S., “3D Integration-Present and Future,” Proceedings of 10th Electronics Packaging Technology Conferences, pp. 373-378, 2008.
2. Curran, B., Ndip, I., Guttofski, S. and Reichl, H., “Managing Losses in Through Silicon vias with Different Return Current Path Configurations,” Proceedings of 10th Electronics Packaging Technology Conferences, pp. 206-211, 2008.
3. Li-Cheng Shen, Chien-Wei Chien, Hsien-Chie Cheng, Chia-Te Lin, “Development of three-dimensional chip stacking technology using a clamped through-silicon via interconnection” Microelectronics Reliability 50(2010) pp.489-497