

Trench Gate 구조를 가진 Power MOSFET의 Etch 공정은 저항 특성 Rds(on) Properties of Power MOSFET of Trench Gate in Etch Process

김권제¹, 양창현¹, 권영수², 신훈규^{3*}
Gwon Je Kim¹, Chang-Heon Yang¹, Young-Soo Kwon², Hoon-Kyu Shin^{3,*}

¹동아대학교 나노공학과, ²동아대학교 전기공학과, ³포항공과대학교

¹Dept. of Nano Engineering, Dong-A University, ²Dept. of Electrical Engineering, Dong-A University

³National Center for Nanomaterials Technology(NCNT), Pohang University of Science and Technology

Abstract : In this paper, an investigation of the benefits of gate oxide for 8" the manufacturing of Trench MOSFETs and its impact on device performance is presented. Layout dimensions of trench power MOSFETs have been continuously reduced in order to decrease the specific on-resistance, maintaining equal vertical dimensions. We discuss experimental results for devices with a pitch size down fabricated with an unconventional gate trench topology and a simplified manufacturing scheme. The fabricated Trench MOSFETs are observed the trench gate oxidation by SEM

Key Words : Trench MOSFETs, gate oxide, on-resistance, SEM

1. 서 론

바이폴라 트랜지스터를 기본으로 발달해온 전력 반도체의 기술은 1970년 중반 이후 상용화된 DMOSFET이후 사용되는 전력-전압, 적용 전력 전자 시스템에 따라 발달 되어 왔다 [1].

또한, 최근에 전력반도체기술은 고속 스위칭 및 전력손실 최소화, 작은칩 크기, 발열처리 등에 관한 전력반도체 연구개발로 중소형 디스플레이/LED 드라이브 IC, 휴대형 기기, 가전기기, 신재생/대체 에너지, 자동차 등에 활용되어 각종 시스템/부품의 성능을 향상시키는 동시에 절전기능을 강화하여 비용절감이 가능한 친환경 절전형 기술로 변화 하고 있다 [2].

2. 결과 및 토의

8인치 Trench MOSFET제조 공정의 온 저항 특성을 개선하기 위하여 Trench MOSFET의 처리 조건과 공정 최적화를 실시하였으며, 제작된 device를 SEM(Scanning Electron Microscope :JEOL JEM-2100F)을 통하여 관찰 하고 결과를 평가 하였다. 필드 산화막의 두께는 10,000Å, 노광 70 sec, Develop 130℃, Trench Etch 15,000Å, Gate Oxide 1000Å, Poly Etch 900Å등의 최적화된 공정을 이용하여 device를 제작하였다 [3]. 이런 일련의 공정을 통하여 기판 상에 산화층과 마스크층을 차례로 형성하고, 상기 마스크층 상에 트렌치를 형성하기 위한 제 1개방영역을 형성하고, 상기 마스크 층의 하부에 형성된 산화층에 제 2개방영역을 등방성 식각으로 언더커팅하여 상기 제 1개방영역의 길이와 폭보다 크게 형성하고, 상기 제 1개방영역과 제 2개방영역으로 트렌치를 식각으로 형성하고, 상기 마스크 층과 산화막 층을 제거하고, 상기 트렌치의 벽에 게이트 옥사이드층을 산화 공정으로 형성하는 것을 특징으로 하는 반도체 소자용 트렌치 MOSFET을 제작 하였다. 또한 제작된 Device를 SEM을 이용하여 관찰하였다.

참고 문헌

- [1] P. ROSSEL, H. TRANDUC and G. CHARITAT, Microelectron. Reliab Vol. 37, p. 1375, 1955
- [2] J. Roig, I. Cortes, D. Jimenez, D. Flores, B. Iniguez, S. Hidalgo, J. Rebollo, Solid-State Electronics. Vol. 49, p. 965, 2005
- [3] Pierre Goarin, Rob van Dalen, Gerhard Koops, Christelle Le Cam, Solid-State Electronics. Vol. 51, p. 1589, 2007

* 교신저자) 신훈규, e-mail: shinhk@postech.ac.kr, Tel:011-597-6750
주소: 포항시 남구 효자동 산31, 포항공과대학교 나노기술집적센터