Ni로 유도된 Large-grain TFT의 전기적 특성

Electrical characteristics of Large-grain TFT induced with Ni

이진혁, 이원백, 이준신†
Jin Hyuk Lee, Wonbaek Lee, Junsin Yi†

성균관대학교 정보통신공학부
Sungkyunkwan University School of Information and Communication Engeering

Abstract : Electrical characteristics of Large-grain silicon with Ni-induced crystallization which gate insulator is made of 80 nm SiO_2 and 20 nm SiNx was fabricated and measured with different channel widths, channel length fixed 10㎛. Focusing on the changes of channel widths from 4㎛ to 40㎛. Field-effect mobility decreased from 111.30 to 94.10 cm^2/V_s when the channel widths increased. Still threshold voltage was almost similar with -1.06V.

Key Words : Thin Film Transistor(이하 TFT), Large-grain Silicon

1. 서 론

AMOLED(Active Matrix Organic Light Emitting Diode)는 넓은 시야각, 빠른 응답속도 등 여러 가지 장점으로 인해 현재 각광받고 있다. 하지만 큰 문제점인 대형화의 불가능이라는 점을 미루어보아 기존의 ELA 공정방식이나 SPC 공정방식은 다른 방법으로 대체하여야 한다. 저온처리에 ELA 방식과 거의 비슷한 성능을 보이며 대형화가 가능한 Large-grain TFT의 공정과정 및 전기적 특성을 살펴본다.

2. 결과 및 토의

Large-grain TFT는 기존의 MIC방식에 cap layer가 한겹 더 더해진다. a-Si 위에 cap layer를 증착시켜 Ni를 확산시키는 동안 하나의 필터와 같은 역할을 해준다. 이때 a-Si으로 들어가는 Ni의 양은 극히 일부분에 속하게 된다. 그 후에 a-Si과 Ni가 반응하여 $NiSi_2$를 형성시키고 그것을 성장시켜 grain이 형성되었으며 그 결과 200 nm의 Large grain을 가진 TFT를 얻게 되었다. Gate insulator는 두께가 80 nm인 SiO_2와 20 nm인 SiNx의 복층 multi-stack 구조로 제작하였다. Channel widths가 각각 4㎛, 10㎛, 40㎛인 소자를 제작하여, 소자 성능을 알아보는 기본 척도인 이동도와 문턱전압을 측정하여 비교해 보았다.

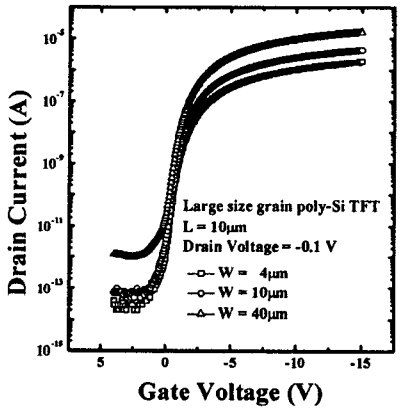

그림 1. channel widths에 따른 Large-grain TFT의 V_G-I_D 특성

가장 먼저 알아본 것은 이동도에 관한 것이었다. Channel widths가 4㎛, 10㎛ 그리고 40㎛일 때 이동도는 각각 111.30, 104.18, 94.10cm^2/V_s로 widths가 넓어짐에 따라서 이동도가 떨어지는 점을 알 수 있다. 이것은 widths가 넓어질수록 더욱 많은 grain을 포함하게 되고, 그 결과로 많은 grain boundary를 접하게 되기 때문이다. 따라서 이동도를 증가시키기 위해서 grain boundary의 두께를 줄이는 효과를 얻기 위한 passivation 작업을 해 준다. 하지만 channel widths가 얇을수록 passivation 효과가 제대로 나타난다[1]. 따라서 channel 영역에서 높은 이동도를 얻기 위해서는 grain boundary의 수도 줄여야 하고, passivation 효과가 제대로 나타날 수 있게 widths도 줄여야 한다.

문턱전압은 기존의 MIC나 SPC 방식으로 제작한 p-channel TFT보다 낮은 값을 보여주었다. 문턱전압을 구하는 식은 다음과 같다[2].

$$V_{th} = V_{fbo} + \frac{\Psi_0}{\frac{2\varepsilon_{Si}K}{N_A^D q^2}\sinh\left(\frac{KL_g}{2}\right) + \cosh\left(\frac{KL_g}{2}\right) - 1} \quad (1)$$

식 (1)을 보면 Lg 즉 grain의 크기가 충분히 크다면 뒤의 식의 분모가 무한대로 가게 되어 결국 0으로 도달하기에 무시할 수 있게 된다. 이러한 이유 때문에 문턱전압 값이 타 방식으로 제작한 것보다 낮아지게 되는 것이다.

참고 문헌

[1] W. Jackson, N. Johnson, C. Tsai, L. Wu, A. Chiang, and D. Smith, Appl. Phys. Lett. 61,1670 (1992)

[2] W. Wu, R. Yao, and X. Zheng, Solid-State Electronics 53, 607 (2009)

[3] M. Kim and G. Jin, J.Appl. Phys., 105, 074507 (2009)

† 교신저자) 이준신, e-mail: yi@yurim.skku.ac.kr , Tel: 031-290-7174
주소: 수원시 장안구 천천동 300 성균관 대학교