

## Electrical Characteristics of Staggered Capacitor ( $\text{Si}_3\text{N}_4$ / $\text{HfAlO}$ ) for High Performance of Non-volatile Memory

이세원, 조원주

Se-Won Lee and Won-Ju Cho

광운대학교

Kwangwoon University

**Abstract :** To improve the programming/erasing speed and leakage current of multiple dielectric stack tunnel barrier engineering (TBE) Non-volatile memory, We propose a new concept called staggered structure of TBE memory. In this study, We fabricated staggered structure capacitor on  $\text{Si}_3\text{N}_4$  stacked  $\text{HfAlO}$  and measured C-V curve that can observe tunneling characteristic of this device as various annealing temperature compared with that of single layer  $\text{SiO}_2$  capacitor.

**Key Word :** High-k material, staggered capacitor,  $\text{Si}_3\text{N}_4$ ,  $\text{HfAlO}$

### 1. 서 론

비휘발성 메모리의 tunnel oxide가 축소됨에 따라, 단층 구조의 tunnel layer의 direct tunneling 효과가 지배적이 된다. 다중 적층된 high-k 물질을 tunnel layer로 이용한 TBE 메모리는 tunneling에 의한 leakage current를 효과적으로 줄임에 따라 신뢰할 수 있는 10년의 정보 보존 특성 능력과 쓰기/지우기 속도를 향상시킨다. 이러한 메모리 소자의 쓰기 속도를 더욱 향상시키기 위해서 staggered 구조를 갖는 TBE 메모리가 제안되었다. Staggered 구조의 가장 큰 특징은  $\text{Hf}_x\text{Al}_y\text{O}$  와 같이 tunnel layer로 쓰는 물질의 원자 함량비를 변화시켜 conduction band와 valence band의 bandgap을 임의로 조절할 수 있다. 이에 따라  $\text{Si}_3\text{N}_4$ 와 같은 두 번째 적층된 물질과의 bandgap engineered를 통해 쓰기/지우기시 electron과 hole이 동시에 tunneling 됨으로 인해서 메모리의 속도 향상을 기대할 수 있다.

### 2. 결과 및 토의

Low pressure chemical vapor deposition (LPCVD)을 이용하여 n-type Si (100) 기판 위에  $\text{Si}_3\text{N}_4$ 를 각각 1.5 nm, 3.0 nm 씩 증착하였고,  $\text{Si}_3\text{N}_4$ 위에  $\text{HfAlO}$ 를 각각 3.0 nm씩 atomic layer deposition (ALD)을 이용하여 증착하였다. Metal 전극은 e-beam evaporation을 이용하여 Al을 150 nm 증착하여 staggered capacitor를 제작하였다. 후속 열처리로 furnace를 이용하여  $\text{N}_2$ ,  $\text{H}_2$  분위기에서 각각 300°C, 450°C씩 30분간 열처리를 하였고, Tunneling 특성을 비교하기 위해 단층 6 nm thermal oxide capacitor를 staggered capacitor와 tunneling 및 C-V curve 특성을 비교하였다.  $\text{Si}_3\text{N}_4$ 가 1.5 nm 두께로 적층된 staggered capacitor보다 3.0 nm 두께로 적층된 staggered capacitor가 보다 더 열에 강한 특성을 보였다. 또한 as-deposition 상태와 300°C로 열처리한 capacitor는 tunneling 특성과 capacitance 값이 유사하게 나왔고, 300°C로 열처리한 상태가 Si 기판과 high-k 유전체 사이의 계면 상태가 좋아지는 것을 확인하였다. 450°C로 열처리한 capacitor는 낮은 leakage current와 높은 Fowler-Nordheim tunneling (FN tunneling) current, Si 기판과 high-k 유전체 사이의 계면상태가 매우 좋게 나왔다. 이는 계면 사이의 불안정한 트랩층이 열처리에 의해서 줄어들 것으로 해석된다. 또한  $\text{SiO}_2$  capacitor와 비교했을 때도 staggered 구조가 TBE 메모리의 tunnel layer로써 적합하다는 결론이 나왔다.

### 감사의 글

본 연구는 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

### 참고 문헌

- [1] J. W. Jung, W. J. Cho, Journal of semiconductor technology and science, Vol. 8, No. 1, 2008.
- [2] G. H. park, W. J. Cho, Appl. Phys. Lett. Vol. 96, 043503, 2010.

† 교신저자) 조원주, e-mail: chowji@kw.ac.kr, Tel: 02-940-5163  
주소: 서울시 노원구 월계1동 광운대학교 전자재료공학과