Electrical characteristics of Schottky source/drain p-MOSFET on SPC-TFT substrate

오준석, 조원주
Jun-Seok Oh, Won-Ju Cho
광운대학교
Kwangwoon University

Abstract : 본 논문에서는 소스와 드레인의 형성에 있어서 implantation 이 아닌 silicide 를 형성시켜서 최고온도 500°C 가 넘지 않는 저온공정을 실현하였고, silicon-on-insulator (SOI) 기판이 아닌 solid phase crystallization (SPC) 결정화 방법을 이용하여 결정화 시킨 SPC-TFT 기판을 사용하였다. Silicide 의 형성은 pt를 증착하여 furnace에서 열처리를 실시하여 형성하였다.

Key Words : SPC, SB-MOSFET, silicide, TFT

1. 서 론

최근에 소자의 고속화 및 고집적화가 진행되면서 물리적인 게이트 길이가 100 nm 이하로 감소하게 되었다. 게이트 길이가 축소됨에 따라서 단채널효과와 같은 문제점들이 일어나게 된다. 이러한 문제점들을 해결하기 위해서 많은 연구가 진행되고 있고, 그 중 유력한 후보인 소스와 드레인의 형성에 있어서 기존의 implantation 이 아닌 금속을 이용하여 silicide를 형성시키는 Schottky barrier를 이용한 SB-MOSFETs 가 대두되고 있다. SB-MOSFETs 은 낮은 면저항과 저온공정을 실현할 수 있고 high-k 물질 및 메탈게이트의 사용을 용이하게 한다. 또한 간단한 공정으로 인한 비용적인 측면에서도 저비용을 실현할 수 있다는 많은 장점을 가지고 있다. 본 논문에서는 기존의 self-alinged silicide (salicide) 를 이용한 공정이 아닌 새로운 구조를 적용하였으며 상부 실리콘 층이 다결정 실리콘으로 이루어진 TFT 기판에 SB-MOSFETs 를 제작하고 전기적인 특성을 평가하였다.

2. 결과 및 토의

본 연구에서는 p-type silicon-on-insulator (SOI) 기판을 이용하여 pt-silicide 소스/드레인을 제작하고 전기적인 특성을 분석하였다. 또한, 본 연구에서 사용된 공정방법은 기존의 sidewall을 사용하지 않는 새로운 구조를 사용하였기 때문에 메탈 게이트의 사용을 용이하게 하였고 게이트 절연막으로써 스퍼터를 이용하여 실리콘 옥사이드를 증착시켰기 때문에 공정온도가 500°C를 넘지 않는 저온공정을 성공적으로 수행할 수 있었다. 상부 실리콘 층과 매몰 산화막 층의 두께는 각각 100 nm 와 150 nm 이다. Pt-silicide의 형성은 약 70 nm 의 두께로 증착된 샘플을 N2 분위기에서 500°C 에서 열처리를 하여 silicide를 형성하였다. 게이트 산화막은 스퍼터링을 이용하여 약 10 nm 의 두께로 증착하였다. 게이트 전극의 형성을 위하여 E-beam evaporator을 이용하여 약 150 nm 두께의 알루미늄을 증착하고 노광공정을 통하여 게이트 영역을 형성시킨후 에 450°C, H_2/N_2 분위기에서 약 30분 동안 forming gas annealing (FGA)을 실시하였다.

감사의 글

본 실험은 중소기업청의 "산합협력실 지원사업을 통해 개발된 결과물임.

참고 문헌

[1] John M. Larson and John P. Snyder. IEEE TED. VOL. 53, No. 5, MAY 2006
[2] T. Sadoh, Y. Ohyama, A. kenjo, K. Ikeda, Y. Yamashita and M. Miyao JJAP. VOL. 45, No. 5B, 2006, pp. 4370-4373
[3] C.F. Huang and B.Y. Tsui, IEEE EDL VOL. 27, No. 1, January 2006

교신저자) 조원주, e-amil: Chowj@kw.ac.kr, Tel: 02-940-5163
주소: 서울시 노원구 월계1동 광운대학교 전자재료공학과