

SiO₂/HfO₂/Al₂O₃ (OHA) 터널 장벽의 열처리 조건에 따른 전기적 특성

Electrical characteristic of SiO₂/HfO₂/Al₂O₃ (OHA) as engineered tunnel barrier with various heat treatment condition

손정우, 조원주*

Jung Woo Son, and Won Ju Cho*

광운대학교

Kwangwoon University

Abstract : A capacitor with engineered tunnel barrier composed of High-k materials has been fabricated. Variable oxide thickness (VARIOT) barrier consisting of thin SiO₂/HfO₂/Al₂O₃ (2/1/3 nm) dielectric layers were used as engineered tunneling barrier. We studied the electrical characteristics of multi stacked tunnel layers for various RTA (Rapid Thermal Anneal) and FGA (Forming Gas Anneal) temperature.

Key Words : engineered tunnel barrier, high-k material

1. 서 론

전하 트랩형 비휘발성 메모리는 10년 이상의 데이터 보존 능력과 빠른 쓰기/지우기 속도가 요구 된다. 그러나 두 가지 특성은 터널 산화막의 두께에 따라 서로 trade off 관계를 갖는다. 이것의 해결책으로 터널 산화막층을 유전율이 다른 물질을 적층시킨 Tunnel Barrier engineered Memory (TBM) 가 활발하게 연구되고 있다.[1][2] 이러한 적층된 터널 산화막층에서는 밴드갭과 유전율이 다른 물질을 적층했을 때 전계에 따라 터널 장벽의 변화가 민감하여 전자의 장벽 투과율이 매우 빠르게 변화하는 특징을 갖는다. 결국 전계에 민감도 향상으로 쓰기/지우기 속도가 향상되며 적층된 유전막의 물리적 두께의 증가로 인해 데이터 보존 특성 또한 향상되는 장점을 갖는다. 본 연구에서는 SiO₂/HfO₂/Al₂O₃ (2/1/3 nm)의 터널 산화막층을 증착 후에 Al을 금속 전극으로 하는 캐패시터를 제작한 후 Rapid Thermal Process를 600℃에서 1000℃까지 진행하였으며, 또한 Forming Gas Anneal 공정을 N₂/H₂ (98:2%) 가스 분위기에서 200, 300, 450℃로 진행하여 각각의 온도에서의 터널장벽의 전기적 특성을 평가하여 가장 우수한 터널 산화막의 열처리 조건을 구하는 실험을 하였다.

2. 결과 및 토의

RTA 공정에 의한 전기적 특성은 800℃에서 누설전류의 감소와 C-V 특성에서 계면 상태가 가장 안정된 특성을 나타내는 것을 확인할 수 있었다. 또한 FGA 공정 온도에 따른 특성은 300℃에서 current-voltage, capacitance-voltage 특성을 비교 분석한 결과 우수한 터널 산화막층의 특성을 보이는 것을 확인하였다. 또한 RTA 공정을 진행한 소자를 300℃에서 PRA(Post Rapid thermal Annealing) 공정을 진행한 결과 앞선 실험결과와 마찬가지로 800℃에서 급속 열처리 공정을 한 소자가 가장 안정된 터널 산화막의 특성을 갖는 것을 확인할 수 있었다.

감사의 글

본 연구는 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

참고 문헌

- [1] K. K. Likharev, "Layered tunnel barriers for nonvolatile memory devices" Appl. Phys. Lett., vol. 73, no. 15, pp. 2137-2139, Oct. 1998
- [2] B.Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT: a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices" IEEE Electron Device Lett., vol. 24, no. 2, pp. 99-101, Feb. 2003.

* 교신저자) 조원주, e-mail: chowj@kw.ac.kr, Tel: 02-940-5163
주소: 서울시 노원구 월계동 광운대학교 전자재료공학과