

부품 내장형 고집적 패키징 및 Drop 신뢰성에 관한 연구

The Study on embedded components high integrated packaging and drop reliability

정연경*, 박세훈, 하상옥*, 전병섭, 차정민, 박종철, 강남기, 정승부*

Yeon-Kyung Chung*, Se-Hoon Park, Sang-Ok Ha*, Byung-Sub Jun, Jung-Min Cha, Jong-Chul Park,

Nam-Kee Kang, Seung-Boo Jung*

*성균관대학교, 전자부품연구원 시스템 패키징 연구센터

*Sungkyunkwan Univ, Korea Electronics Technology Institute, System Packaging Research Center

Abstract : 휴대용 전자 기기는 얇고 가벼우면서 빠른 대응량을 처리하는 속도와 다기능이 필요한 추세로 가고 있다. 기기 크기가 작아짐에 따라서 내장 되는 칩 또한 소형화, 고집적화, 고성능화가 요구되므로 이에 상응하는 발전된 패키징 기술이 필요하게 되었고, 이에 대응하기위해서 embedded components device 패키징 기술이 필요로 하게 되었다. 본 연구에서는 21 Ω 의 저항 값을 갖는 1005 수동 소자를 prepreg를 이용하여 PCB기판에 내장 한 후 micro via를 이용하여 무전해 구리 도금으로 전기적인 연결을 하여 기판을 제작하였다. 제작되어진 기판으로 Reflow, Aging 테스트 후 칩과 계면간의 금속화합물 반응을 관찰하였다. 또한 Reflow와 시효처리를 끝마친 기판을 사용하여 drop test를 실시한 후 fail 발생 시 저항 값의 변화와 접합부의 미세조직을 관찰하였다.

Key Words : Packaging, Embedded components, Drop reliability

1. 서 론

최근 전자기업체는 고성능, 다기능화 및 소형경량화라는 시대적 요구에 대응할 수 있게 다양한 기능을 구현하기 위해 필요한 부품을 작은 공간에 집적시키려는 노력을 기울이고 있으며, PCB의 제한된 공간에 다양한 기능을 갖는 칩들을 패키징 하여 내장하는 연구가 활발히 진행되고 있다. 또한 휴대폰, PDA, PMP와 같은 휴대기기 제품들은 사용자의 부주의에 의해 아주 순간적인 외부 충격이나 기판의 휨에 의한 고장이 빈번히 발생하기 때문에 낙하 충격시험에 의한 신뢰성 연구가 쟁점으로 떠오르고 있다.

2. 결과 및 토의

1005 수동 소자를 내장하여 무전해 구리 도금으로 전기적인 연결을 하여 제작되어진 기판은 총 4 zone 으로 구성된 IR reflow machine에서 reflow를 실시하였다. Reflow는 260 $^{\circ}$ C에서 60초 동안 1, 3, 5회 실시하였으며, 저항 값의 변화는 크게 변하지 않았다. Reflow를 실시한 후 100h, 300h, 500h 으로 JEDEC (JECD-22-A103C) 조건의 하나인 130 $^{\circ}$ C에서 시효처리를 한 후 저항 값의 변화를 관찰한 결과 100h에서는 저항 값의 변화가 거의 없었으나 300h, 500h에서는 10개의 chip 중 2-3개가 저항 값이 비정상적으로 상승한 것을 관찰하였다. 이는 시효시간이 증가 할수록 부품단자의 주석이 구리비아와 주석하부의 니켈과 동시에 반응하여 조대화되고 소모되어 저항 값에 영향을 미쳤다고 짐작해 볼 수 있다. 시효처리를 완료한 기판으로 JEDEC standard B 조건으로 충격 낙하 실험을 실시하였다. Fail 기준은 JESD22-B11에 의거하여 100 Ω 이상으로 설정하였으며 시효처리를 각 0시간, 100시간, 300시간, 500시간으로 하였을 때 fail 발생률은 0%, 10%, 40%로 점차 증가하였고 이는 via 계면에 (Cu,Ni) $_6$ Sn $_5$, Cu $_3$ Sn 과 Ni $_3$ Sn $_4$ 와 같은 화합물이 많이 석출되어 이 금속화합물간의 석출경화 효과로 전단 강도 값은 커지며 충격 신뢰성은 낮아지는 것이라 볼 수 있다. 그러나 chip 내장형 기판은 SMT 구조에 대비 낙하 충격 신뢰성이 우수함을 알 수 있었다.

감사의 글

본 연구는 지식경제부의 연구비 지원에 의한 것입니다.

참고 문헌

- [1] J.Y. Kim. "Trend of the semiconductor package technology". KETI. 2007.
- [2] Chi TC, Sharon Quek, Hnin WY, Wong EH, Julian Chia, Wag YY, Tan YM, Lim CT, "Board level drop test reliability of IC packages", 55th ECTC, pp.630-636(2005)