

# ESD 보호를 위한 SOI 구조에서의 SCR의 제작 및 그 전기적 특성 분석

## Design and Analysis of SCR on the SOI structure for ESD Protection

배영석, 천대환, 권오성, 성만영<sup>†</sup>

Young-seok Bae, Dae Hwan Chun, Ohsung Kwon, and Man Young Sung<sup>†</sup>

고려대학교,  
Korea University

**Abstract :** ESD (Electrostatic Discharge) phenomenon occurs in everywhere and especially it damages to semiconductor devices. For ESD protection, there are some devices such as diode, GGNMOS (Gate-Grounded NMOS), SCR (Silicon-Controlled Rectifier), etc. Among them, diode and GGNMOS are usually chosen because of their small size, even though SCR has greater current capability than GGNMOS. In this paper, a novel SCR is proposed on the SOI (Silicon-On-Insulator) structure which has  $1\mu m$  film thickness. In order to design and confirm the proposed SCR, TSUPREM4 and MEDICI simulators are used, respectively. According to the simulation result, although the proposed SCR has more compact size, its electrical performance is better than electrical characteristics of conventional GGNMOS.

**Key Words :** Silicon-on Insulator, SCR, ESD protection device, GGNMOS

### 1. 서 론

반도체 공정 기술의 발전으로 인해 소자의 크기도 매우 급격하게 감소하였다. 하지만 소자의 크기가 점점 작아질수록 누설 전류의 증가와 기생 캐패시턴스 성분으로 인한 주파수 특성의 저해, 기생 디바이스의 턴-온으로 인한 래치-업 현상 등 많은 문제점이 대두되어서 최근에는 SOI 구조를 이용하여 소자를 제작한다. 하지만 이러한 SOI 구조는 선천적으로 래치-업이 일어나지 않는 구조이므로 서지 전압이 인가되었을 때 래치-업 현상을 이용해서 핵심 회로 및 소자를 보호하는 ESD 보호용 소자를 구현하기에 부적절하다. ESD 보호를 위한 소자로는 Diode, GGNMOS, SCR이 대표적이며 이 중 ESD 보호 특성은 SCR이 가장 우수하지만 면적을 크게 차지하는 문제로 인해 IC에서는 일반적으로 Diode, GGNMOS를 주로 사용한다. 하지만 소자가 점점 소형화될수록 ESD 보호 소자에 요구되는 특성은 보다 까다로워짐에 따라서 SOI 구조에서의 SCR 제작은 반드시 필요하다고 할 수 있다.

### 2. 결과 및 토의

SOI 구조에서 SCR 구조를 형성하기 위해서 이중 확산 구조를 적용하였다. n-well 과 p-well 내부에 각각 p+ pillar 층과 n+ 영역, n+ pillar 층과 p+ 영역을 가진다. pillar 층과 고농도로 불순물이 주입된 영역은 같은 전위가 되도록 같은 전극을 공유한다. 이러한 구조를 형성함에 있어서 가장 중요한 것은 내부에서 래치-업 구조가 턴-온 될 수 있도록 적절한 불순물 도핑 농도를 결정하는 것이다.

여러 차례의 시뮬레이션을 통해서 n+ 영역의 경우  $5e20\text{ cm}^{-3}$ , p+ pillar 층의 경우  $5.7e19\text{ cm}^{-3}$ , n-well 의 경우  $3e14\text{ cm}^{-3}$ , p-well의 경우  $1.5e14\text{ cm}^{-3}$ , p+ 영역의 경우  $9e19\text{ cm}^{-3}$ , n+ pillar 층의 경우  $1.4e20\text{ cm}^{-3}$  인 것을 확인할 수 있었고 이때의 전기적 특성은 7.6 V 에서 SCR이 턴-온되며 6.8 V 에서 안정 조건을 가지게 된다. 이때 1 mA 의 ESD 전류를 흘려줄 때 SCR 양단의 전압은 약 12.8 V 로서 기존 GGNMOS, SCR 의 높은 트리거 전압을 조금 낮췄으면서도 그와 비슷하거나 더욱 좋은 전류 특성을 보여준다. 또한 제안한 SCR의 크기는 두께  $1\mu m$ 의 film 위에 전체 너비가  $4\mu m$  를 가지는 구조이므로 기존 ESD 보호 소자가 큰 면적을 차지하는 단점을 없앨 수 있었다.

### 참고 문헌

- [1] Chin-Yao Huang J. of Solid State Electronic Vol. 49 p. 1925-1932
- [2] D. Sima. Principles of Semiconductor Devices, p. 422-423

<sup>†</sup> 교신저자) 성만영, e-mail: semicad@korea.ac.kr, Tel: 02-3290-3221  
주소: 서울시 성북구 안암동5가 1 고려대학교 전기공학과