

Dual-Band CMOS 전력 증폭기 설계

Design of Dual-Band CMOS Power Amplifier

손혁수*, 김기영**, 김우영**, 박철순***

*: 한국과학기술원 지능형RF연구센터, 석사과정

** : 한국과학기술원 지능형RF연구센터, 박사과정

***: 한국과학기술원 지능형RF연구센터, 소장

Key Words : 전력 증폭기, WCDMA, WiMAX, Transformer

목 차

1. 서론
2. 전력 증폭기 구조
3. 전력 증폭기 설계
4. 결론

1. 서론

RF전력 증폭기는 이동 송신 단에서 가장 중요한 역할을 하는 블록으로 안테나를 통해 송신 될 때, 충분한 전력을 가진 신호를 내보낼 수 있도록 전력을 증폭하는 역할을 한다. 전력 증폭기의 중요한 요소로는 출력 전력, 효율, 선형성 등이 있을 수 있다. 무선통신 서비스는 빠른 발전을 거듭하여 초기 CDMA에서부터 WCDMA를 거쳐 WiMAX로 발전하고 있다. 앞으로 차세대 무선통신은 하나의 단말로 멀티모드와 멀티밴드를 지원해야한다. 특히 송신기에서 전력증폭기의 설계가 가장 중요하다. 현재 멀티모드와 멀티밴드는 여러개의 송신기를 병렬로 연결하여 각 모드에서 각 송신기를 사용함으로써 구현하고 있다. 하지만 이런 방법은 크기와 비용에서 비효율적이다. 그러므로 하나의 전력증폭기가 멀티밴드와 멀티모드를 모두 지원하는 것이 차세대 무선통신의 핵심 기술이 될 것이다. 전력증폭기의 멀티밴드/멀티모드는 여러 그룹에서 연구가 많이 되어 왔다[1]~[4].

전력증폭기는 일반적으로 화합물 반도체를 이용하여 설계되어 시스템에서 개별/단일 블록으로 동작한다. CMOS공정의 발전으로 송신기의 모든 블록을 하나의 칩으로 설계하면 대량생산을 통해서 비용을 크게 줄일 수 있다. 하지만 CMOS의 낮은 항복전압 때문에 최대출력이 제한된다.

본 논문은 0.18- μm CMOS 공정을 이용하여 Dual-Band CMOS 전력증폭기를 설계 하였다. 1.9-GHz WCDMA대역과 2.6-GHz WiMAX 대역에서 동작하도록 설계하였다. System on a chip (SOC)를 위해 input balun과 output transformer를

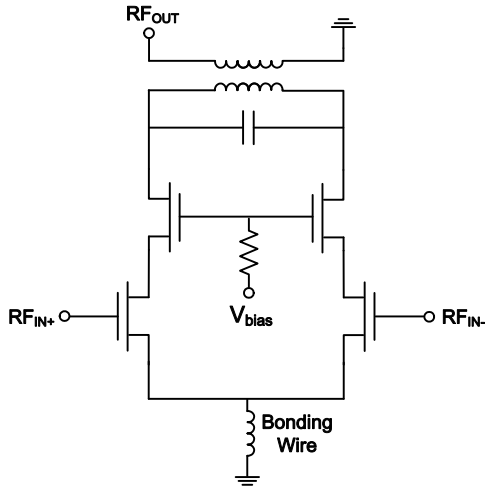
on-chip으로 설계하였다. On-chip 제작으로 인하여 기존의 전력증폭기에 비해 크기를 줄였다. WCDMA는 모바일과 자동차간의 텔레매틱스 서비스 등을 이용할 수 있고, WiMAX는 차세대 전자자동차를 위한 지능형 충전시스템 등에 사용될 수 있다. WCDMA와 WiMAX를 이용한 산업은 계속 발전 중이며, 이를 적용한 Dual-Band 전력증폭기는 ITS산업에 많은 도움을 줄 수 있을 것이다.

2. 전력 증폭기 구조

1. Differential Cascode 구조

CMOS공정은 항복전압(Breakdown Voltage)이 낮아 최대출력이 제한된다[5]. 하지만 differential cascode구조를 이용하여 출력전압을 증가시킬 수 있다. 그림1은 differential cascode 구조를 보여준다.

Differential cascode 구조는 여러 장점을 가질 수 있다. 첫째, single-ended일 때 보다 differential일 때 전압 스윙의 증가와 항복전압(Breakdown Voltage)을 증가시킬 수 있다는 것이다. 둘째, CMOS 공정에서는 via 접지가 불가능하기 때문에 보통의 경우 wire-bonding을 이용하여 접지를 만들게 된다. 그러나 differential 구조에서는 트랜지스터의 소스단에 가상의 AC 접지가 있기 때문에 wire-bonding으로 인한 인덕터(Inductor) 효과를 줄일 수 있다. 셋째, 대칭 구조 때문에 짝수 고조파(even harmonic)가 없어서 single-ended일 때 보다 고조파 성분을 더 줄일 수 있다.

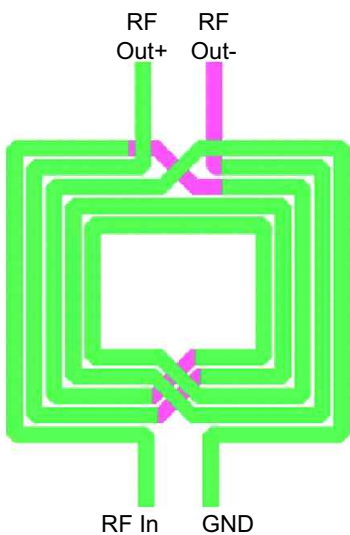


<그림 1> Differential Cascode 구조

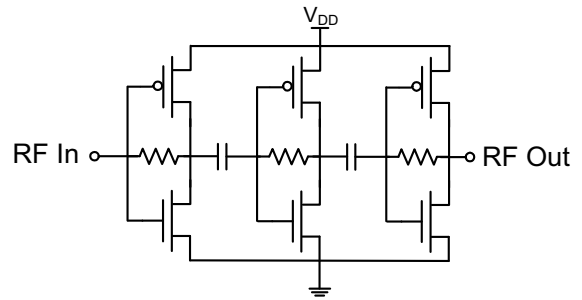
2. Input Balun transformer

단일 입력으로 차동 신호를 만들기 위해 스파이럴 형태의 입력 transformer를 이용하였다. 그림2는 3:2의 비를 가지는 입력 트랜스포머를 보여준다.

병렬 capacitance로 입력 트랜스포머의 공진점을 조정하였고, 입력 포트는 높은 임피던스를 가지고 출력포트는 낮은 임피던스를 가지게 하였다. 출력포트는 drive 증폭기의 입력과 연결이 되는데, 낮은 임피던스의 출력포트로 인하여 drive 증폭기는 높은 전압 이득을 가지도록 할 수 있었다.



<그림 2> Input Balun Transformer



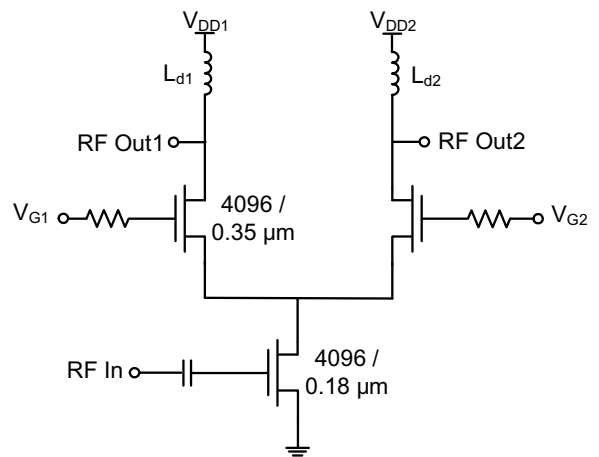
<그림 3> 인버터 체인 형태의 drive amplifier

3. Class-D driver 증폭기

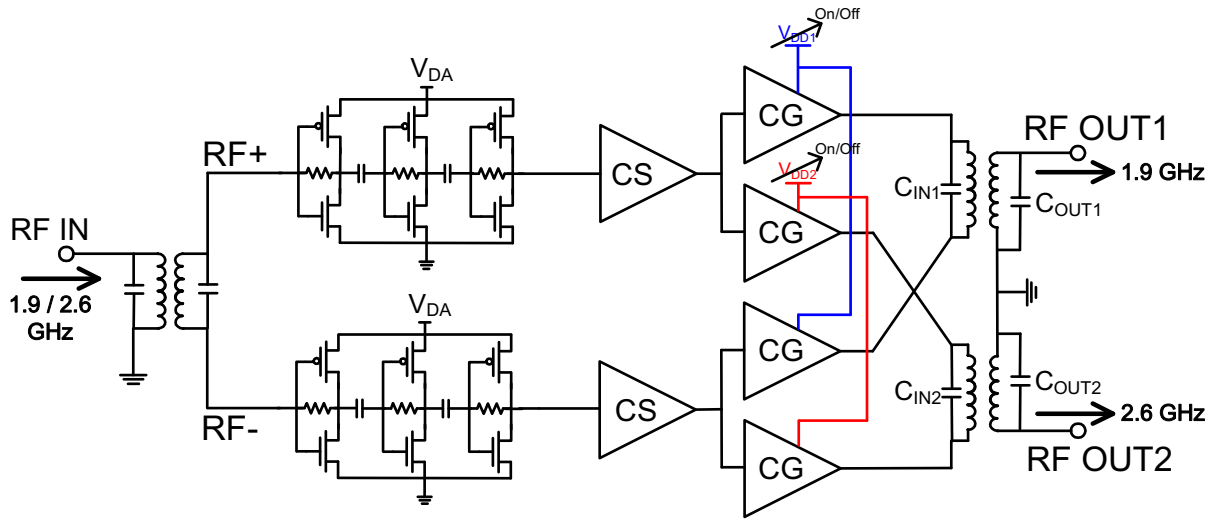
최종단의 Class-E 전력 증폭기를 구동하기 위해 class-D 구조의 driver 증폭기를 설계하였다. class-E를 포화모드에서 동작시키기 위해 3단으로 driver 증폭기를 구성하였다[6]. 출력과 입력단의 바이어스 전압을 일치시키기 위해 피드백 저항을 사용하여 바이어스를 안정화 시켰다. 멀티 밴드를 구현하기 위해서는 광대역 특성이 필요하다. 사각파 형태의 driver stage의 출력은 광대역 특성을 만족한다.

4. Switchable 전력 증폭단

그림4는 제안된 switchable 전력 증폭단을 보여준다. 두 공동 게이트 트랜지스터는 하나의 공동소스 트랜지스터에 연결된다. 제안된 구조에서 공동게이트 트랜지스터의 게이트와 드레인 바이어스를 이용하여 멀티 밴드를 구현하였다.



<그림 4> Switchable 전력 증폭단

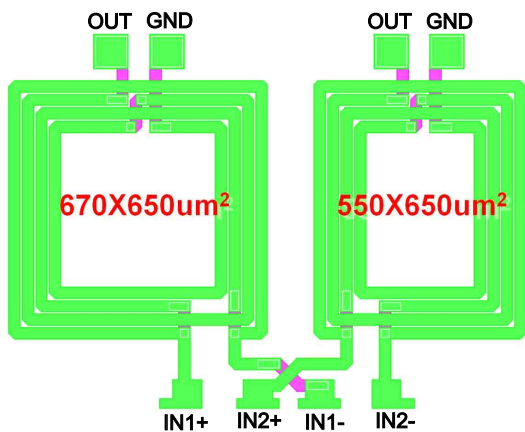


<그림 5> 제안된 전력 증폭기 전체 구조

공동소스 트랜지스터의 게이트 길이는 높은 이득과 낮은 입력 capacitance를 위해 0.18- μm 를 이용하였고, 공동게이트 트랜지스터의 게이트 길이는 항복전압(Breakdown Voltage) 문제를 막기 위해 0.35- μm 를 이용하였다. 두 트랜지스터의 게이트 넓이는 고효율 달성을 위해서 4096 μm 를 사용하였다.

5. On-chip output transformer

그림6의 output transformer는 분산형 액티브 트랜스포머 (DAT : Distributed Active transformer)이다.[7]. 트랜스포머의 커플링을 증가시키기 위해 두 개의 입력 라인이 두 개의 출력 라인 사이에 있도록 하고, 1:2의 비를 가지도록 하였다. 그 결과, 트랜스미션 라인의 effective resistance가 줄어들어 전력 증폭기의 출력 파워 레벨과 효율이 증가하였다. 트랜스포머의 사이즈는 1.9-GHz 밴드용은 670 μm ×650 μm , 2.6-GHz 밴드용은 550 μm ×650 μm 이다.

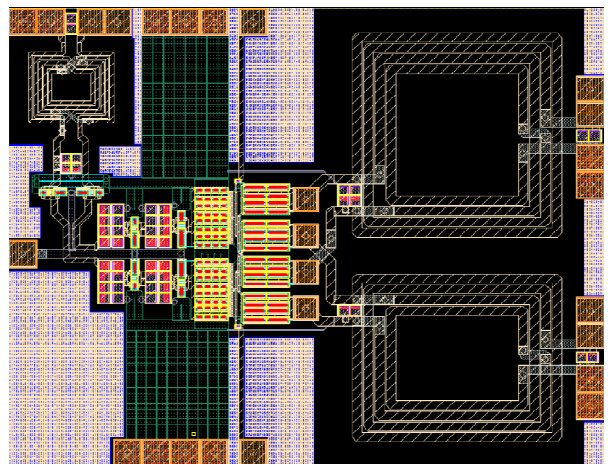


<그림 6> output transformer

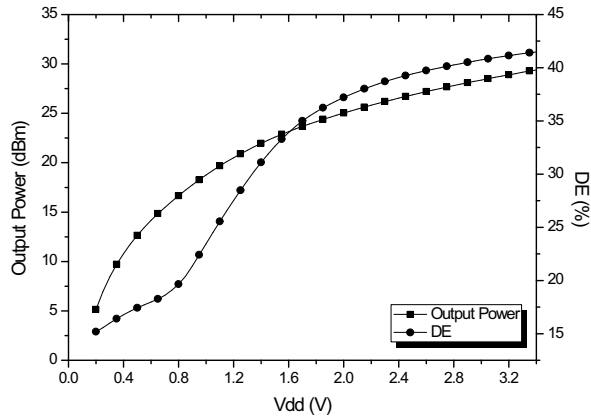
3. 전력 증폭기 설계

그림5는 Dual-band 전력 증폭기의 전체 구조를 나타낸다. 입력의 형태는 single-ended 구조이다. 하나의 RF 입력을 가지는 input Balun은 differential 입력신호를 만들고 drive 증폭기와 전력 증폭기를 거쳐 differential 신호가 증폭된다. 이 증폭된 differential 신호는 output transformer를 통하여 하나의 출력신호가 나오도록 설계한 구조이다.

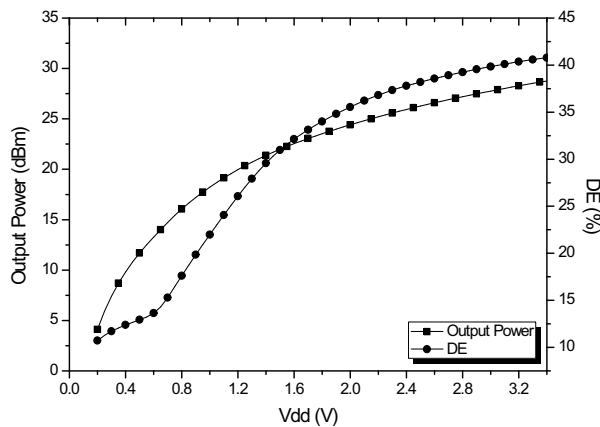
Dual-band 전력 증폭기는 멀티밴드를 지원하며, input balun과 drive 증폭기, 공동소스단을 같이 사용함에 따라 chip 면적을 줄일 수 있게 되었다. 그림7은 설계된 Dual-Band 전력 증폭기를 보여준다. 설계된 전력 증폭기의 칩 크기는 1500 μm × 1850 μm 이다.



<그림 7> 설계된 전력 증폭기 layout



(a) 1.9-GHz



(b) 2.6-GHz

<그림 8> 입력 전압에 따른 출력전력과 DE

그림8은 각 주파수의 입력 전압에 대한 출력 전력과 Drain Efficiency (DE)를 나타낸 것이다. 1.9GHz에서의 포화된 최대 출력 전력은 29.4-dBm이고, DE는 최대 41.5%의 결과를 보였다. 그리고 2.6-GHz에서의 포화된 최대 출력 전력은 28.8-dBm이고, DE는 최대 40.8%의 결과를 보였다.

4. 결론

차세대 무선 통신용 dual-band 전력증폭기를 CMOS공정을 이용하여 설계하였다. 1.9-GHz(WCDMA)에서 최대 전력 29.4-dBm, 최대 효율 41.5% 그리고 2.6GHz(WiMAX)에서 최대 출력 28.8-dBm, 최대 효율 40.8%를 얻을 수 있었다. 제안된 회로를 input balun과 PA 그리고 output transformer를 single chip으로 설계 하여 면적과 비용면에서 매우 효율적이

며 system on a chip (SOC)에 기여할 수 있다. 이로 인해 차세대 지능형 교통 시스템에 멀티모드 멀티밴드를 지원할 수 있음을 보였다.

감사의 글

본 연구는 과학기술부/한국과학재단의 우수연구센터사업으로 선정된 지능형 RF 연구센터(No. R11-2005-029-05001-0)의 지원을 받아 수행된 연구임.

참고문헌

1. Yamamoto, K., Asada, T., Suzuki, S., Miura, T., Inoue, A., Miyakuni, S., Otsuji, J., Hattori, R., Miyazaki, Y., Shimura, T., "A GSM/EDGE dual-mode, 900/1800/1900MHz triple-band HBT MMIC power amplifier module," IEEE RFIC Symp., pp. 245-248, 2002.
2. Fukuda, A., Okazaki, H., Hirota, T., Yamao, Y., "Novel 900 MHz/1.9 GHz dual-mode power amplifier employing MEMS switches for optimum matching," IEEE Microwave and Wireless Components Letters, vol.14, pp. 121-123, Mar 2004.
3. Bakalski, W., Sogl, B., Zannoth, M., Asam, M., Kapfelsperger, B., Berkner, J., Eisener, B., Thomann, W., Marcon, S., Osterreicher, W., Napieralska, E., Rampf, E., Scholtz, A.L., Klepser, B.-U., "A Quad-Band GSM/EDGE-Compliant SiGe-Bipolar Power Amplifier," IEEE Journal of Solid State circuit, vol.43, pp. 1920 - 1930, Sep 2008.
4. Afsahi, A., Behzad, A., Magoon, V., Larson, L.E., "Fully integrated dual-band power amplifiers with on-chip baluns in 65nm CMOS for an 802.11n MIMO WLAN SoC," IEEE RFIC Symp., pp. 365-368, 2009.
5. Ramakrishna Sekhar Narayanaswami, "RF CMOS Class C Power Amplifier for Wireless Communications," Ph.Dthesis, University of California, Berkeley, 2001.

6. J. Jang, H. Lee, C. Park, S. Hong, "A class-E CMOS RF power amplifier with cascaded class-D driver amplifier," *Microwave and Optical Technology Letters*, vol.50, pp. 470 - 473, Feb 2008.

7. S. Shim, C. Park, S. Hong, "A 1-W, 800-MHz, switch-mode CMOS RF power amplifier using an on-chip transformer with double primary sides," *IEEE RFIC Symp.*, pp. 538-541, 2009

8. K. Y. Kim, J. H. Kim, S. M. Park and C. S. Park, "Parasitic Capacitance Optimization of GaAs HBT Class E Power Amplifier for High Efficiency CDMA EER Transmitter", *IEEE RFIC Symposium*, pp.733-736, 2007

9. H. S. Kim, K. Y. Kim, W. Y. Kim, Y. S. Noh, I. B. Yom, C. S. Park, "An SiGe MMIC power amplifier with on-chip linearizer for X-band applications," *IET Electronics Letters*, vol.45, pp. 1036-1037, 2009

10. H. Lee, C. Park, S. Hong, "A Quasi-Four-Pair Class-E CMOS RF Power Amplifier With an Integrated Passive Device Transformer," *IEEE TMTT*, Vol.57, No.4, pp. 752-759, April 2009