

SFP+ 트랜시버 데이터 전송에 관한 저전력 알고리즘에 관한 연구

박노석*, 김철현*, 김인수*, 민형복*
 *성균관대학교 정보통신공학부

pns01@naver.com
 littlekch@hotmail.com
 iskim@ece.skku.ac.kr
 e-mail:min@ece.skku.ac.kr

A Study on Low power Algorithm for SFP+ Transceiver data Transmission

Noh Seok Park*, Chul Hyun Kim*, Insoo Kim*, Hyoung Bok Min*
 *Information & Communication Engineering, Sungkyunkwan University

요 약

본 논문에서는 SFP+ 트랜시버 모듈의 저전력 데이터 전송을 위해 전송 알고리즘인 5B6B의 병렬연산 알고리즘을 설계하였다. SFP+의 기본 전송 알고리즘인 5B6B는 소형화된 SFP+의 전력소모를 줄이기 위해 제안하였으며, 본 논문에서 제안한 코드는 종래의 전송 알고리즘 대비 전력소모가 10% 감소되는 것을 확인 할 수 있었다.

1. 서론

본 논문에서 기술하는 SFP+ 광 트랜시버는 80km 전송을 위한 20pin SFI 규격 전기적 인터페이스를 갖고 10Gbps 80Km 전송을 위해 개발되고 있는 광 트랜시버로서 점차 소형화되어 전력소모에 관하여 많은 문제점이 대두되고 있다. 이러한 문제점을 해결하기 위해 본 논문에서는 저전력 5B6B 알고리즘을 제안하여 저전력소모 알고리즘을 구현하여 시뮬레이션을 하였다.

2. SFP+ 트랜시버 시스템

본 논문에서 기술하는 80km SFP+ 광트랜시버는 80km 전송을 위한 10 Gb/s 광송신 인터페이스, 10 Gb/s 광수신 인터페이스, 20pin SFI 규격 전기적 인터페이스를 갖는 광트랜시버이다[1]-[3].

80km SFP+ 광트랜시버의 기능 구성은 그림 2와 같이 나타내며 10 Gb/s 전기신호 입력을 재생과정을 거치지 않고 직접 EML Driver 에 받아 증폭한 후 EML TOSA에서 변조하여 광신호를 생성하는 광송신부와 10 Gb/s 광신호 입력을 전기신호로 변환하고 증폭 및 재생하는 광수신부로 구성된다. 광송신부와 광수신부는 마이크로 컨트롤러를 이용하여 감시, 제어하며 이를 I2C 인터페이스를 이용하여 외부 프로세서와 통신할 수 있도록 설계하였다. 그림3은 SFP+의 동작을 하기 위한 기본 기능 구성도이다[4][5].

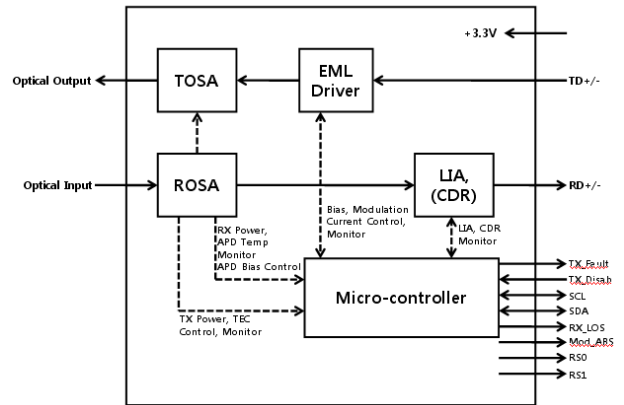


그림 1 SFP+ 기능구성

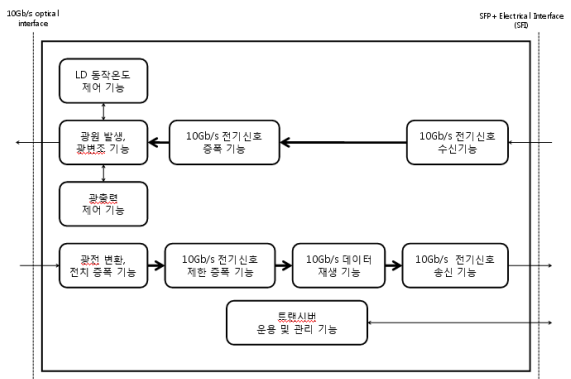


그림 2 SFP+ 기능구성

3. 5b6b encoding

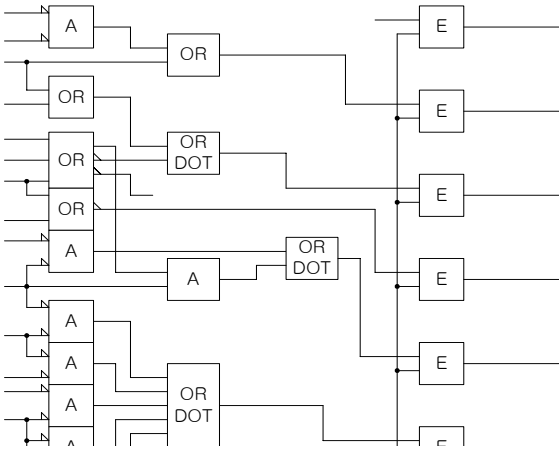


그림 3 5B6B encoding 구성도

인코딩 방법은 Running disparity를 이용하여 running disparity의 이전 값이 (+) 혹은 (-)인가에 따라 5비트의 데이터를 6비트의 일련의 값으로 인코딩한다[6]-[8]. 알고리즘은 많은 비교연산을 통해서 인코딩을 하여 본 논문에서 제안한 방식은 병렬연산[9]을 이용하여 저전력화 하였다.

4. 시뮬레이션 및 실험결과

본 논문에서 제안한 SFP+ 트랜시버의 전송에 있어서 전송 알고리즘인 5B6B는 기존에 제시된 알고리즘에 비해 저전력 소모를 하기 위해 분할알고리즘 연산을 이용하여 본 논문에서 제시한 알고리즘을 구현하였다. 그림 4는 본 논문에서 제시한 알고리즘의 블록도이다. 이를 기반으로 합성을 통해 합성을 하여 그림 5와 같은 결과를 얻었다.

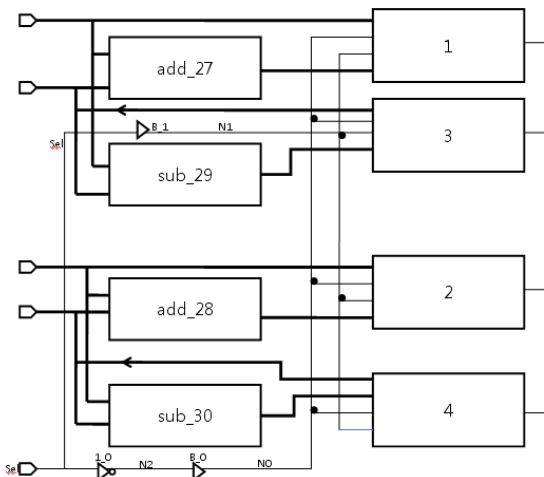


그림 4 encoding 병렬연산 블록도

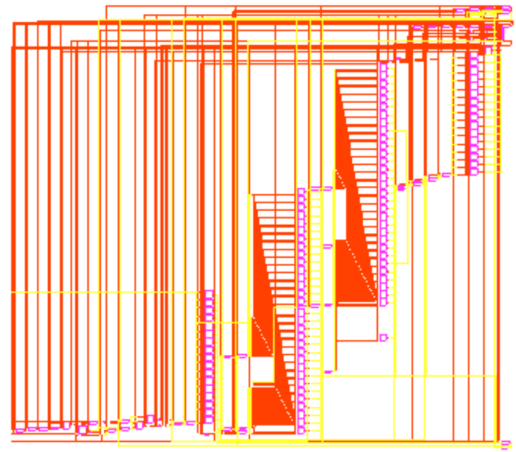


그림 5 병렬연산 알고리즘 layout

5. 결론

본 논문에서는 병렬연산 알고리즘을 이용하여 기존의 RS 코드의 전력소모대비 10%로 감소되는 것을 보였다. 따라서 본 논문에서 제안한 병렬연산을 통한 알고리즘은 저전력화로 인해 쉽게 적용할 수 있다는 장점을 가지고 종래의 기술의 데이터 전송 알고리즘기술대비 개선된 결과를 나타냈으며, 병렬연산을 통해 전력소모와 속도면에서 성능이 향상된 것을 확인하였다.

참고문헌

- [1] T원천기술개발사업 연구개발과제 수행계획서 2008-F017-01, "100Gbps급 이더넷 및 광전송 기술 개발", 2008.
- [2] 이정찬 외, "40Gbps 이더넷 및 광 트랜시버 요구사항 정의서 V2.0", 문서번호 0050-2008-0529, 관리번호 TM200808288, ETRI 기술문서, 2008.
- [3] 이준기 외, "80km SFP+ 광트랜시버 요구사항 정의서", 문서번호 2310-2009-0002, 관리번호 TM200900149, ETRI 기술문서, 2009.
- [4] ETRI, "10Gbps급 이더넷 접속 칩셋 개발," 2000.
- [5] R. SEifert, Gigabit Ethernet, Addison-Wesley, 1998.
- [6] IEEE Draft P802.3ae/D1.0, "Media Access Control(MAC) Parameters, Physical Layer, and Management for 10Gb/s Operation." September 2002.
- [7] H. Toyoda, "100-Gb.s Physical-Layer Architecture for NEXT-Generation Ethernet," IEICE TRANS.COM., vol.E89, no.3. pp.696-703, March 2006.
- [8] S. Chew, "Implementation, Verification and Synthesis of the Gigabit Ethernet 1000BASE-T Physical Coding Sublayer," Circuit and Systems, proceedings of the 2001 IEEE Midwest Symposium, 2001. vol.2, pp.14-17, August 2001.
- [9] Cadence, 10Gbase-R Physical coding Sublayer(PCSR), Technical Data Sheet, December 2006.