

Heat treatment effect of high-k HfO₂ for tunnel barrier memory application

황영현, 유희욱, 김민수, 이영희, 조원주

광운대학교 전자재료공학과

기존의 비휘발성 메모리 소자는 터널 절연막으로 SiO₂ 단일 절연막을 이용하였다. 그러나 소자의 축소화와 함께 비휘발성 메모리 소자의 동작 전압을 낮추기 위해서 SiO₂ 단일 절연막의 두께도 감소 시켜야만 하였다. 하지만 SiO₂ 단일 절연막의 두께 감소에 따라, 메모리의 동작 횟수와 데이터 보존 시간의 감소등의 문제점들로 인해 기술적인 한계점에 이르렀다. 이러한 문제점들을 해결하기 위한 연구가 활발히 진행되고 있는 가운데, 최근 high-k 물질을 기반으로 하는 Tunnel Barrier Engineered (TEB) 기술이 주목 받고 있다. TBE 기술이란, 터널 절연막을 위해 서로 다른 유전율을 갖는 유전체를 적층함으로써 쓰기/지우기 속도의 향상과 함께, 물리적인 두께 증가로 인한 데이터 보존 시간을 향상 시킬 수 있는 기술이다. 따라서, 본 연구에서는 적층된 터널 절연막에 이용되는 HfO₂를 FGA (Forming Gas Annealing)와 RTA (Rapid Thermal Annealing) 공정에 의한 열처리 효과를 알아보기 위해, 온도에 따른 전기적인 특성을 MIS-Capacitor 제작을 통하여 분석하였다. 이를 위해 먼저 Si 기판 위에 SiO₂를 약 3 nm 성장 시킨 후, HfO₂를 Atomic Layer Deposition (ALD) 방법으로 약 8 nm를 증착 하였고, Aluminum을 약 150 nm 증착 하여 게이트 전극으로 이용하였다. 이를 C-V와 I-V 특성을 이용하여 분석함으로써, 열처리 공정을 통한 HfO₂의 터널 절연막 특성이 향상됨을 확인 하였다. 특히, 450°C H₂/N₂ (98%/2%) 분위기에서 진행한 FGA 공정은 HfO₂의 전하 트랩핑 현상을 줄일 뿐 만 아니라, 낮은 전계에서는 낮은 누설 전류를, 높은 전계에서는 높은 터널링 전류가 흐르는 것을 확인 하였다. 이와 같은 전압에 대한 터널링 전류의 민감도의 향상은 비휘발성 메모리 소자의 쓰기/지우기 특성을 개선할 수 있음을 의미한다. 반면 N₂ 분위기에서 실시한 RTA 공정에서는, 전하 트랩핑 현상은 감소 하였지만 FGA 공정 후 보다는 전하 트랩핑 현상이 더 크게 나타났다. 따라서, 적층된 터널 절연막은 적절한 열처리 공정을 통하여 비휘발성 메모리 소자의 성능을 향상 시킬 수 있음이 기대된다.