

## 두께가 다른 2개의 게이트 산화막과 질화막 층을 포함한 FinFET구조를 가진 2-비트 낸드플래시 기억소자의 전기적 성질

김현우<sup>1</sup>, 유주형<sup>2</sup>, 김태환<sup>2</sup>

<sup>1</sup>한양대학교 나노반도체공학과, <sup>2</sup>한양대학교 전자통신컴퓨터공학과

단위면적 당 메모리 집적도를 높이기 위해 플래시 기억소자의 크기를 줄일 때, 절연층 두께 감소에 의한 누설 전류의 발생, 단채널 효과 및 협폭 효과와 같은 문제 때문에 소자 크기의 축소가 한계에 도달하고 있다. 이러한 문제점들을 개선하기 위해 본 연구에서는 FinFET구조 위에 Oxide-Nitride-Oxide (ONO) 층을 적층하여 2-비트 특성을 갖는 플래시 메모리 소자를 제안하였다. 소자의 작동전압을 크게 줄일 수 있으며 소자의 크기가 작아질 때 일어나는 단채널 효과의 문제점을 해결할 수 있는 FinFET 구조를 가진 기억소자에서 제어게이트를 제어게이트1과 제어게이트2로 나누어 독립적으로 쓰기 및 소거 동작하도록 하였다. 2-비트 동작을 위해 제어게이트1의 게이트 절연막의 두께를 제어게이트2의 게이트 절연막의 두께보다 더 얇게 함으로써 두 제어게이트 사이의 coupling ratio를 다르게 하였다. 제어게이트1의 트랩층의 두께를 제어게이트2의 트랩층의 두께보다 크게 하여 제어게이트1의 트랩층에 더 많은 양의 전하가 포획될 수 있도록 하였다. 제안한 기억소자가 2-비트 동작하는 것을 확인 하기위하여 2차원 시뮬레이션 툴인 MEDICI를 사용하여 제시한 FinFET 구조를 가진 기억소자의 전기적 특성을 시뮬레이션 하였다. 시뮬레이션을 통해 얻은 2-비트에 대한 각 상태에서 각 전하 포획 층에 포획된 전하량의 비교를 통해서 coupling ratio 차이와 전하 포획층의 두께 차이로 인해 포획되는 전하량이 달라졌다. 각 상태에서 제어게이트에 읽기 전압을 인가하여 전류-전압 특성 곡선을 얻었으며, 각 상태에서 문턱전압들이 잘 구분됨을 확인함으로써 제안한 FinFET 구조를 가진 플래시 메모리 소자가 셀 당 2-비트 동작됨을 알 수 있었다.

This work was supported by the Korea Science and Engineering Foundation (KOSEF) grant funded by the Korea government (MEST) (No. R0A-2007-000-20044-0).