

# Top-Silicon thickness effect of Silicon-On-Insulator substrate on capacitorless dynamic random access memory cell application

정승민, 김민수, 조원주

광운대학교 전자재료공학과

반도체 소자의 크기가 수십 나노미터 영역으로 줄어들면서, 메모리 소자 또한 미세화를 위해 새로운 기술을 요구하고 있다. 1T DRAM은 하나의 트랜지스터와 하나의 캐패시터 구조를 가진 기존의 DRAM과 달리, 캐패시터 영역을 없애고 하나의 트랜지스터만으로 동작하기 때문에 복잡한 공정과정을 줄일 수 있으며 소자집적화에도 용이하다. 또한 SOI (Silicon-On-Insulator) 기판을 사용함으로써 단채널효과와 누설전류를 감소시키고, 소비전력이 적다는 이점을 가지고 있다.

1T DRAM은 floating body effect에 의해 상부실리콘의 중성영역에 축적된 정공을 이용하여 정보를 저장하게 된다. floating body effect를 발생시키기 위해 본 연구에서는 SOI 기판을 사용한 MOSFET을 사용하였는데, SOI 기판은 불순물 도핑농도에 따라 상부실리콘의 공핍층 두께가 결정된다. 실제로 불순물을  $10^{15}\text{cm}^{-3}$  정도 도핑을 하게 되면 완전공핍된 SOI 구조가 된다. 이는 subthreshold swing값이 작고 저전압, 저전력용 회로에 적합한 특성을 보이기 때문에 부분공핍된 SOI 구조보다 우수한 특성을 가진다. 하지만, 상부실리콘의 중성영역이 완전히 공핍되어 정공이 축적될 공간이 존재하지 않게 된다. 이를 해결하기 위해 기판에 전압을 인가 후 kink effect를 확인하여, 메모리 소자로서의 구동 가능성을 알아보았다.

본 연구에서는 상부실리콘의 두께가 감소함에 따라 1T DRAM의 메모리 특성변화를 관찰하고자, TMAH (Tetramethy Ammonium Hydroxide) 용액을 이용한 습식식각을 통해 상부실리콘의 두께가 각기 다른 소자를 제작하였다. 제작된 소자는 66 mv/dec의 우수한 subthreshold swing 값을 나타내며 빠른 스위칭 특성을 보였다. 또한 kink effect가 발생하는 최적의 조건을 찾고, 상부실리콘의 두께가 메모리 소자의 쓰기/소거 동작의 경향성에 미치는 영향을 평가하였다.