

---

# DGMOSFET의 채널두께에 따른 문턱전압이하영역에서의 전송특성분석

한지형, 정학기, 이종인, 정동수, 권오신  
군산대학교 전자공학과

## Analysis of subthreshold region transport characteristics according to channel thickness for DGMOSFET

Jihyung Han, Hakkee Jung, Jongin Lee, Dongsoo Jeong, Ohshin Kwon  
School of Electronic and Information Eng., Kunsan National University

### 요 약

본 연구에서는 MicroTec4.0을 이용하여 더블게이트 MOSFET의 문턱전압이하특성을 채널두께의 변화에 따라 분석하였다. 소자의 고집적을 위한 특성분석 기술은 빠른 변화를 보이고 있다. 이에 따라 고집적 소자의 특성을 시뮬레이션을 통하여 이해하고 이에 맞게 제작하는 기술은 매우 중요한 과제 중의 하나가 되었다. 더블게이트 MOSFET에서 산화막 두께와 채널 두께는 문턱전압의 크기를 결정하며  $S_s$ (Subthreshold swing)에 커다란 영향을 미친다. 본 연구에서는 채널의 두께를 1nm에서 3nm까지 변화시켜 채널 두께에 따른 문턱전압과  $S_s$ (Subthreshold swing)를 조사하였다.

### Abstract

In this paper, the subthreshold characteristics have been analyzed using MicroTec4.0 for double gate MOSFET(DGMOSFET). The technology for characteristic analysis of device for high integration is changing rapidly. Therefore to understand characteristics of high-integrated device by computer simulation and fabricate the device having such characteristics became one of very important subjects. The oxide thickness and channel thickness in DG MOSFET determines threshold voltage and extensively influences on  $S_s$ (Subthreshold swing). We have investigated the threshold voltage and  $S_s$ (Subthreshold swing) characteristics according to variation of channel thickness from 1nm to 3nm in this study.

### 키워드

DGMOSFET, MicroTec, 문턱전압, 문턱전압이하 특성,  $S_s$ (Subthreshold swing)  
가 점점 축소되어지고, 그에 따른 디바이스가 변

## I. 서 론

반도체 물성 연구에 대해서 많은 세월 동안 연구되어 왔으며, 그에 따른 물성 연구를 위한 시뮬레이터도 오랜 기간동안 개발되어왔다. 소자

화하여, 알맞은 시뮬레이터를 개발해야만 했다. 최근 소자의 집적도가 증가하고, 소자들의 크기

가 스켈링 이론에 의해서 단위면적당 집적도가 높아졌다. 소자의 길이가 줄어들어 따라 집적도에 있어서 우수한 성능을 발휘하지만 이에 따른 여러 가지 문제점 즉, 열 전자효과와 단채널 효과(SCE : short channel effect) 같은 문제점들을 보완해야만 한다. 따라서 이러한 문제들을 해결하기 위해 LDD(low doped drain) 구조를 이용하여 상당한 효과를 얻을 수 있었다. 그러나 gate 길이가 50nm이하의 영역에서는 LDD 구조로도 해결하지 못하게 되었다. 매우 얇은 확장된 source와 drain 접합들이 SCE를 억압시키기 위해 필요하게 되고 낮은 저항을 갖는 이런 매우 얇은 S/D(source / drain) 접합의 형성은 매우 중요한 기술중 하나이다 [1]-[2]. 그러나 일반적인 이온주입이나 고체 상태확산에 의해 얇은 접합들을 형성하는 것은 어렵다. 더욱이 낮은 채널 도핑 레벨은 큰 이동도와 임의의 dopant 영향으로부터 작은 문턱 전압 변화를 위해 필요하다. SCE는 50nm이하의 영역에서 매우 얇은 확장된 S/D와 같은 반전층 사용에 의해 억압시킬수 있다고 발표되어졌다. 그러나, 이런 소자 구조들은 너무 큰 소자의 크기 때문에 실제 LSI에서는 사용되어지지 않는다 [3]. 이런 문제들을 해결하기 위해 본 논문에서는 top gate와 bottom gate를 갖는 수직형 double gate(DG) MOSFET 구조를 조사하였다.본 논문에서는 DG MOSFET의 채널 두께에 따른 문턱전압이하영역에서의 전송특성을 분석할 것이다. 소자의 특성을 조사하기 위해 시뮬레이션 툴인 Micro-Tec을 사용하였다. 2장에서는 시뮬레이션 방법 및 결과를 고찰하고 3장에서 결론을 맺을 것이다.

II. 시뮬레이션 방법 및 결과

그림 1은 DG MOSFET 구조를 나타낸 그림이다. 소스와 드레인, 게이트 부분의 도핑농도는  $10^{20} \text{cm}^{-3}$ 으로 도핑하였다. 채널부분의 도핑농도는  $10^{16} \text{cm}^{-3}$ 이다. 문턱전압은 드레인 전류가  $10^{-6} \text{A}$ 일 때 top 게이트의 전압으로 정의한다. 채널 길이는 5nm에서 100nm, 채널 두께는 2nm에서 20nm로 변화하면서 시뮬레이션하였다. 이때 산화막의 두께는 3nm로 고정하였다.

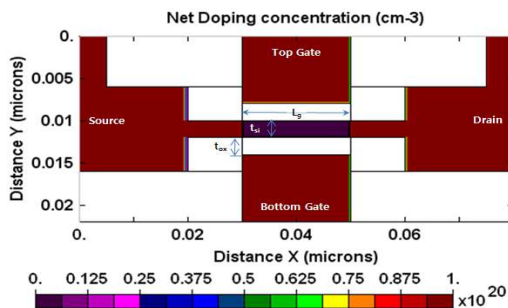


그림 1. DG MOSFET 구조

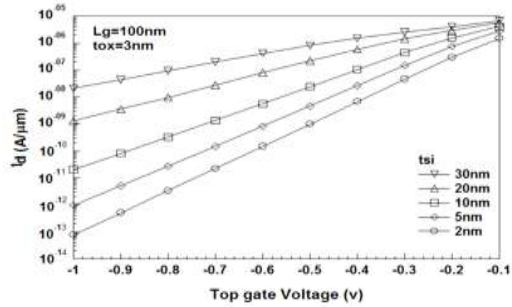


그림 2. 채널두께와 Top 게이트 전압에 따른 전류-전압 특성 곡선

그림 2는 채널 두께에 따른 전류-전압 특성 곡선이다. top 게이트 전압은 -1V에서 -0.1V까지 -0.1V씩 증가하면서 분석하였다. 게이트 전압이 증가하면 드레인 전류가 증가함을 알 수 있다. 채널의 두께가 감소하면 드레인 전류도 감소한다. 따라서 누설 전류를 작게하려면 채널의 두께를 얇게 만들어야 한다. Subthreshold swing (서브문턱스윙)은 문턱전압이하 기울기로서 문턱 전압의 전류값에서 10배로 전류가 감소하는데 필요한 전압량을 뜻한다. 서브문턱스윙은 채널 두께가 감소하면 함께 감소한다. 얇은 채널의 감소는 오프 전류뿐만 아니라 서브문턱스윙의 감소를 가져온다. 하지만 채널의 두께를 얇게 만들면 소자를 정확히 제어하기가 어려워진다. 나노 스케일에서는 채널 길이, 두께, 깊이가 매우 중요한 파라미터로 작용한다 [4].

그림 3은 채널 두께에 따른 서브문턱스윙의 특성 곡선을 나타낸 그림이다. 게이트 길이는 5nm에서 100nm까지 분석하였다. 채널의 두께는 2nm, 5nm, 10nm, 20nm로 변화하면서 비교하였다. 산화막의 두께는 3nm이다. 서브문턱스윙은 게이트 길이가 작아지면 감소하게 되고, 채널의 두께가 감소하면 증가한다. 채널의 두께가 2nm일 때 게이트 길이가 5nm에서 20nm로 커지면서 서브문턱스윙이 매우 급격히 낮아짐을 알 수 있다. 채널길이에 비하여 채널 두께가 작을 때 서브문턱스윙이 향상됨을 알 수 있다.

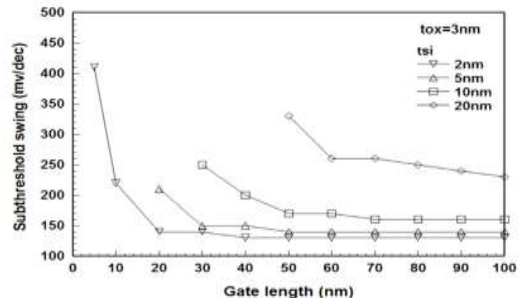


그림 3. 채널두께와 채널 길이에 따른 Subthreshold swing 특성 곡선

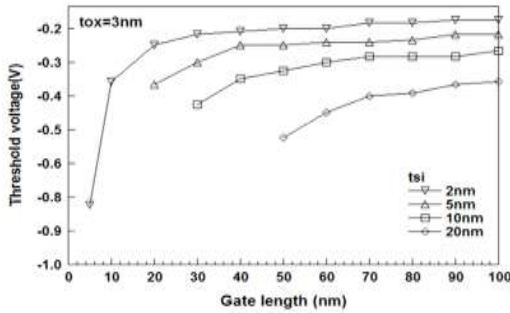


그림 4. 채널두께와 채널길이에 따른 문턱전압 특성 곡선

그림 4는 채널 두께에 따른 문턱전압 특성곡선을 나타낸 그림이다. 그림에서 알 수 있듯이 채널 두께가 증가하면 문턱전압이 감소함을 알 수 있다. 채널두께가 2nm일 때 게이트 길이가 20nm에서 5nm로 작아지면서 문턱전압의 변화 폭이 큰 것을 알 수 있다. 채널길이에 비하여 채널 두께가 작을 때 문턱전압의 변화가 큼을 알 수 있다.

### III. 결 론

본 논문에서는 Micro-Tec 시뮬레이터를 이용하여 DGMOSFET의 채널두께에 따른 문턱전압이하영역에서의 전송특성을 분석하였다. 채널 길이는 5nm에서 100nm, 산화막 두께는 3nm, 채널 두께는 2nm에서 20nm로 변화하면서 시뮬레이션 하였다. 채널 두께에 따른 전류-전압 특성에서 게이트 전압이 증가하면 드레인 전류가 증가하였다. 채널의 두께가 감소하면 드레인 전류도 감소하였다. 채널 두께에 따른 서브문턱스윙의 특성에서 서브문턱스윙은 게이트 길이가 작아지면 감소하게 되고, 채널의 두께가 감소하면 증가하였다. 채널길이에 비하여 채널 두께가 작을 때 서브문턱스윙이 향상되었다. 채널 두께에 따른 문턱전압 특성에서는 채널 두께가 증가하면 문턱전압이 감소하였다. 결과적으로 채널의 두께가 얇아지면 서브문턱스윙은 작아지고, 문턱전압은 증가함을 알 수 있었다.

### 참고문헌

[1] Sangyeon-Han, Sung-il Chang, Jongho Lee, Hyuncheol Shin, "50nm MOSFET with electrically induce source/drain(S/D) extensions", IEEE Trans. Electron Dev, Vol. 48, No. 9, pp.2058-2064, 2001

[2] Byung-yong Choi, Suk-Kang Sung, Byung-gook park, Jong-duk Lee, "70nm NMOSFET fabrication with 12nm n+ -p

junctions using  $As_2^+$  low energy implantations", Jpn. J. Appl. Phys. Vol. 40, No. 4B, pp. 2607-2610, 2001

[3] 김재홍, 고석용, 임규성, 정학기, "Doble Gate MOSFET의 전기적 특성분석 및 연구 동향", 한국해양정보통신학회지, 제 3권 1호, pp. 37-40, June, 2002,

[4]. H. K. Jung and S.Dimitrijev, "Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET," IEEE Trans. Electron Devices, vol. ED-53, pp. 685-691, 2006.