

고주파 시스템-온-칩 응용을 위한 자동 보상 시스템

류지열*·노석호**·김성우*·박승훈*·이정훈*

부경대학교 정보통신공학과*, 안동대학교 전자공학과**

Automatic Compensation System for RF System-On-Chip Applications

Jee-Youl Ryu*·Seok-Ho Noh**·Sung-Woo Kim·Seung-Hun Park*·Jung-Hoon Lee*

Pukyong National University*, Andong National University**

E-mail : ryujy@pknu.ac.kr

요 약

본 논문은 고주파 시스템-온-칩 응용을 위한 자동 보상 시스템을 제안한다. 이러한 시스템은 고주파 회로 칩 제작과정에서 예기치 않게 발생한 미세한 PVT(공정, 전압, 온도) 변동으로 인한 회로 성능 변수들의 미세변동을 검출하여 이를 자동으로 보상한다. 자동으로 보상 가능한 고주파 회로 성능 변수들은 중요한 요소인 입력 임피던스, 전압이득 및 잡음지수를 포함한다. 이러한 시스템은 미세 변동을 자동으로 보상할 수 있도록 고주파 신호를 직류 신호로 변환하는 DFT(Design-for-Testability) 회로를 포함한다.

I. 서 론

휴대용 단말기를 비롯한 각종 무선통신 시스템 시장에 고주파 집적회로를 비롯하여 새로운 특성을 지닌 소자 개발을 위해 많은 연구가 진행되고 있다 [1-4]. 소비자들은 최첨단 무선통신 시스템에서 이러한 고주파 소자들이 고밀도, 고속, 저전력, 저가 및 고신뢰성을 갖도록 요구하고 있다. 이러한 요구에 부응하기 위해 이미 많은 연구가 시스템-온-칩화를 위해 다양한 전략을 진행하고 있다[2-6].

시스템-온-칩화는 한 개의 칩 안에 디지털 회로, 아날로그 회로 및 고주파 회로들을 모두 집적화시키는 것을 말한다. 이러한 경우 한 개의 칩 안에 다양한 회로가 집적되기 때문에 칩 제작과정에서 예기치 않은 미세 변동, 즉 PVT(공정, 전압, 온도) 변동이 필수적으로 수반되고, 이로 인해 회로 성능 변수들이 미세하게 변동하게 되며, 이로 인해 시스템이 오동작할 수 있다. 이러한 문제점을 해결하기 위해 많은 연구가 진행되고 있으나 여전히 해결해야 할 훌륭한 과제로 남아 있다[5-6].

본 논문에서는 고주파 시스템-온-칩 응용을 위한 자동 보상 시스템을 제안한다. 제안된 시스템은 칩 제작과정에서 발생한 PVT(Process, Voltage, Temperature) 미세변동을 자동으로 검출하고 이를 자동으로 보상한다. 전압이득 및 잡음지수와 같은 중요한 고주파 회로 성능 변수들의 미세 변동을 직류 신호로 변화해 주는 DFT(Design-for-Testability) 회로를 이용해서 미세 변동을 검출하고 프로그램 보상 회로(PCC, Programmable Compensation Circuit)를 통해 전체 시스템이 오동작하지 않도록 보상한다.

II. 시스템 구성 및 회로 분석

그림 1은 고주파 시스템을 위한 시스템-온-칩 기반 프로그램 가능 보상 네트워크를 가진 수신기 구성을 나타낸다. 수신기 내에서 PCN(Programmable Compensation Network)은 프로세서에 의해 제어되며, 예기치 않은 미세 온도 변동 또는 공정 변동으로 인해 고주파 시스템이 오동작할 경우 고주파 시스템의 성능을 자동으로 조정하고 보상한다. PCN은 미세변동을 검출하기 위한 BIST 회로와 보상하기 위한 PCC로 구성되어 있다.

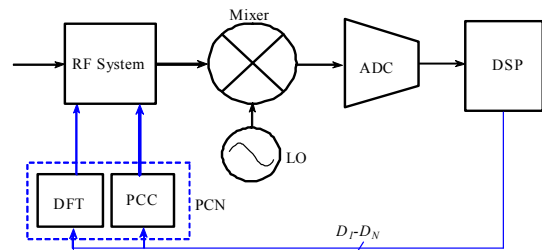
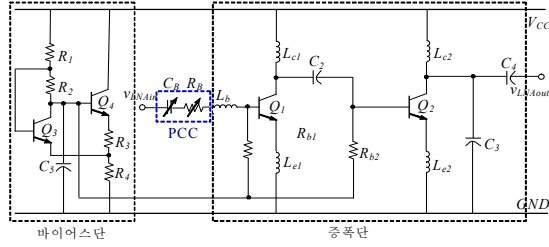


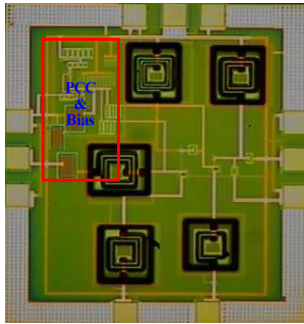
그림 1. 고주파 시스템을 위한 시스템-온-칩 기반 프로그램 가능 보상 네트워크

본 연구에서는 제안된 PCN의 성능을 증명하기 위해 고주파 시스템으로써 고주파 저잡음 증폭기를 제작하였다. 그림 2는 PCC를 가진 고주파 저잡음 증폭기를 나타낸 것이다. 이러한 회로는 IEEE 802.11a 근거리 통신망에 응용하기 위해 설계되었다. 1볼트 전원전압에서 동작하며, 저전압 전원 공급에서도 높은 이득과 낮은 잡음지수를 가지도록 첫째 단과 다음 단간에 교류 결합 특성을 가진 2단 구조의 CE-CE(공통 에미터-공통 에미터) 토폴로지를 이용하였다. 저

전압 및 저소비전력 특성을 제공하기 위해 밴드갭 참조 구조(band-gap reference) 바이어스 회로가 각 단에 바이어스 전류를 공급하기 위해 사용되어 있다. 저잡음 증폭기 칩은 Freescale Semiconductor 사의 0.18 μm BiCMOS SiGe 공정으로 제작되었다. 칩 면적은 대략 1.2 mm^2 를 차지한다.



(a) 회로도



(b) 칩 사진

그림 2. 프로그램 보상 회로를 가진 고주파 저잡음 증폭기

그림 3은 제안하는 N 비트 프로그램 보상 회로도를 나타낸 것이다. 이러한 회로는 고주파 시스템의 성능을 좀 더 정확하게 보상하기 위해 N 비트로 구성되어 있다. 본 연구에서는 전체 칩 면적을 고려하여 8 비트 PCC를 제작하였다. 각 저항 어레이($NR_b/2$)는 DSP 하드웨어로부터 디지털 신호($D_8 \cdots D_2 D_1$)에 의해 제어된다. 입력 데이터 스트림이 ($D_8 \cdots D_2 D_1$)=(0 \cdots 01)일 경우 $R_{B1} + R_{B2} = 8R_b$ 의 값이 출력되고, ($D_8 \cdots D_2 D_1$)=(1 \cdots 11)일 경우 $R_{B1} + R_{B2} = R_b$ 의 값이 출력된다. 따라서 입력 데이터 스트림의 값에 따라 출력 값은 $R_b \sim 8R_b$ 의 범위를 가진다. 여기서, R_b 는 회로 내에 결함이 없는 경우 저항 값을 나타내고, MOS 트랜지스터 $M_1 \sim M_N$ 은 입력 디지털 신호의 값에 따라 온-오프를 스위칭하며, $R_{D1} \sim R_{DN}$ 및 $R_{S1} \sim R_{SN}$ 은 MOS 트랜지스터가 적절한 스위칭 동작을 하도록 직류 바이어스 전압을 공급하는 역할을 한다. 회로는 1.8V 전압에서 동작을 한다.

그림 4는 제안하는 고주파 DFT 회로를 나타낸 것이다. 그림 4(a)에서 DFT 회로는 검사용 증폭기(TA; Test Amplifier), 2개의 피크 검출기(Peak Detector1 및 Peak Detector2), 밴드-갭 회로 (band-gap reference) 및 위상 검출기로 구성되어 있다. 검사용 증폭기는 저잡음 증폭기의 미세 변동을 좀 더 높은 수준으로 증폭시키기 위해 사용하였다. 입력 임피던스, 전압이득 및 잡음지수와 같은 고주파 시스템의 성능은 복소수로

표현되기 때문에 이를 크기와 위상으로 나타낼 수 있다. 따라서 저잡음 증폭기의 미세 변동으로 인한 고주파 시스템의 성능 변동 즉 크기와 위상의 변동을 좀 더 정확하게 검출하기 위해 피크 검출기와 위상 검출기도를 사용하였다. 그림 4(b)에서 피크 검출기 2에 대한 회로만을 표현해 놓았는데 그림 4(a)에 표현된 피크 검출기 1도 같은 구조로 설계되어 있다. 바이어스단은 저잡음 증폭기와 마찬가지로 저전압, 저전력 동작을 위해서 저전압 밴드갭 참조 구조를 가진다. 그림 4(c)에 표현된 DFT 칩은 고주파 증폭기와 마찬가지로 0.18 μm BiCMOS SiGe 공정으로 제작되었다. 칩 면적은 대략 0.28 mm^2 를 차지한다.

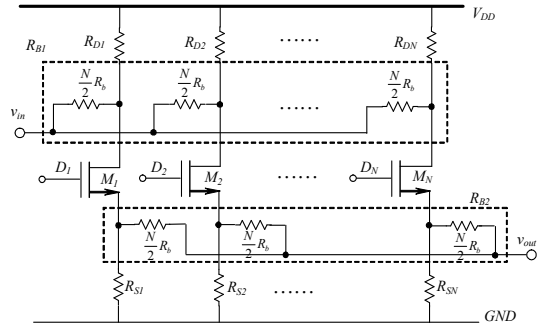
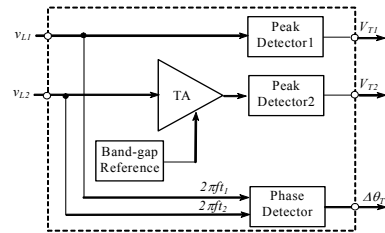
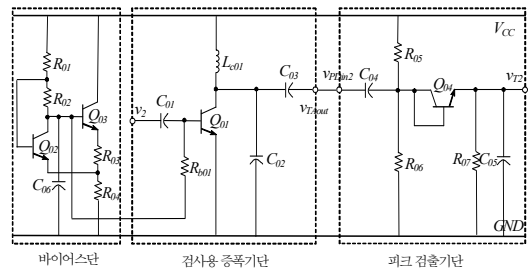


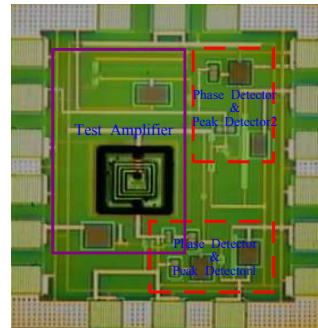
그림 3. N 비트 프로그램 보상 회로도



(a) 블록 다이어그램



(b) 회로도



(c) 칩 사진

그림 4. BIST 회로

III. 알고리즘 및 측정시스템

전통적인 고주파 시스템 및 소자 성능 측정방법은 S 파라미터, 이득, 잡음지수 및 third-order input intercept point(IIP3)등을 측정한다. 이러한 방법은 시간이 많이 걸리고 다양한 종류의 고가 검사 장비의 사용을 필요로 한다. 그러나 본 연구에서 제안하는 고주파 DFT 회로를 이용한 방법은 고가의 외부 측정장비를 사용하지 않고도 검사대상이 되는 고주파 소자(RF DUT, RF Device Under Test) 및 외부의 고주파 검사 회로만을 이용하여 고주파 소자의 중요사항을 측정할 수 있다.

본 연구에서 제안한 PCC의 성능을 증명하기 위해 그림 5에 나타난 회로 성분들로 구성된 측정 시스템을 구축하였다. 전체 측정 시스템은 load 모드 시스템과 인터페이스 모드 시스템으로 구성되어 있다. load 모드 시스템은 고주파 BIST, 고주파 DUT, 50Ω 소스 저항(R_s)을 가진 고주파 전압 발생기(v_{in}), 3개의 고주파 릴레이($S1, S2$ 및 $S3$) 및 외부 50Ω 저항(Z_L)으로 구성되어 있고, 인터페이스 모드 시스템은 MCU를 가진 보드와 제어 프로그램을 가진 PC 시스템으로 구성되어 있다. 4.5~6GHz의 주파수에서 100mV에서 180mV의 진폭을 가진 고주파 전압 발생기를 사용하였다. RF DFT 회로는 측정된 출력 직류 전압(V_{T1} 및 V_{T2})과 미세변동 전 후의 위상차(θ_T)를 제공한다. 이렇게 측정된 출력 직류 전압과 위상차는 PC 내의 프로그램에 의해 고주파 성능변수 즉, 입력 임피던스, 전압 이득, 잡음 지수, 입력 전압 정재파비 및 출력 신호대 잡음비들로 변화되며, 단위는 데시벨과 음 단위로 표현된다. 측정된 출력 직류 전압들(V_{T1} 과 V_{T2})은 그림 4에 나타난 피크 검출기1과 2가 정상상태의 직류값을 제공하기 위해 40ns의 정착시간(settling time) 이후에 측정하였다.

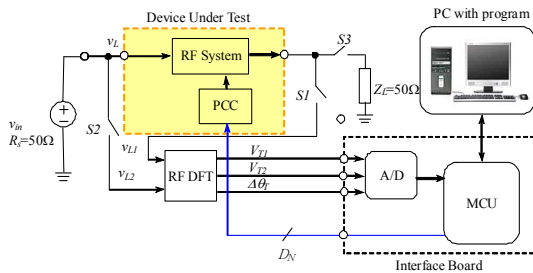


그림 5. 고주파 DUT를 위한 측정 시스템

IV. 실험 결과

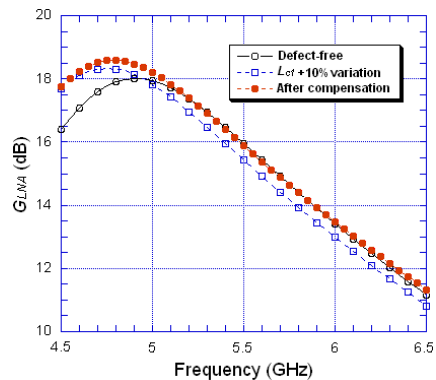
표 1은 DFT 회로의 출력에서 측정된 직류 전압 V_{T1} , V_{T2} 와 위상차 θ_T 를 주파수에 따라 나타낸 것이다. 이러한 값들은 고주파 시스템에 미세 변동이 없을 경우 DFT에 의한 시뮬레이션 및 측정된 결과를 나타낸 것이다. 측정된 결과는 10번의 측정 결과를 평균해서 획득된 것이고, 시뮬레이션 결과는 고주파 시스템 내에 미세 변동이 없을 경우에 대해 $\pm 2\%$ 이내의 범위에서 Monte Carlo 시뮬레이션 수행에 의해 획득된 것이다. 측정된 출력 직류 전압들($V_{T1(ref)}$ 과 $V_{T2(ref)}$)은 그림 4에 나타난 피크 검출기1과 2가 정상

상태의 직류값을 제공하기 위해 40ns의 정착시간 이후에 측정하였다. 이러한 값들은 저잡음 증폭기의 입력 임피던스, 전압 이득 및 잡음 지수를 구하는데 사용되었다. 이러한 결과들에서 예측할 수 있듯이 $V_{T1(ref)}$ 와 $V_{T2(ref)}$ 값이 시뮬레이션의 경우와 측정된 경우 간에 차이가 발생하는 이유, 즉 주파수 천이(shift) 현상은 특히 고주파 회로에서는 용량성 또는 유도성 기생성분(parasitics)의 영향을 많이 받기 때문에 추측된다. 이러한 영향을 최소화하기 위해서는 특별한 레이아웃 기법이 도입되어야 한다. θ_T 의 변화는 값의 차이는 있으나 비교적 동일한 경향을 보였다.

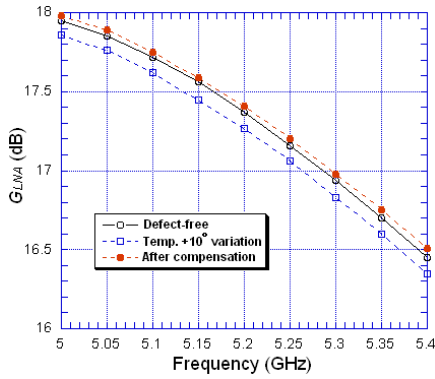
표 1. DFT 회로에 의해 측정된 $V_{T1(ref)}$, $V_{T2(ref)}$ 및 $\theta_{T(ref)}$

Frequency [GHz]	$V_{T1(ref)}$ [mV]		$V_{T2(ref)}$ [mV]		$\Delta\theta_{T(ref)}$ [°]	
	Simulation	Measurement	Simulation	Measurement	Simulation	Measurement
4.50	400	343.8	166.20	205.3	-24	-20
4.75	421	335.7	160.30	218.2	-16	-11
5.00	448	304.8	171.40	213.4	-8	-2
5.25	445	274.9	180.00	205.4	0	2
5.50	432	253.0	189.00	182.3	8	4
5.75	418	232.0	191.05	168.1	16	10
6.00	406	219.1	192.02	160.2	24	16

그림 6(a) 및 6(b)는 L_{cl} 성분의 10% 공정 변동 및 온도 10°C 변동에 대한 전압이득 보상 결과를 각각 나타낸 것이다. 시뮬레이션 결과, 그림 2에 나타난 인덕터 L_{cl} 이 저잡음 증폭기의 전압 이득에 가장 민감하며, 가장 큰 영향을 미치는 성분이기 때문에 L_{cl} 에 따른 미세 공정 변동을 연구하였다. 본 연구에서 제작된 저잡음 증폭기는 5.2GHz의 동작주파수를 가지고 있기 때문에 보상 효과가 이 동작주파수에서 진행되었다. 그림 6(a)에서 알 수 있듯이 L_{cl} 성분의 10% 공정 변동에 대해 5.2GHz에서 결함이 없는 경우에 비해 0.43dB의 이득이 감소하였으나, 자동 조정 후 이득 감소가 보상되었다. 0.43dB의 이득 증가를 위해 입력 데이터 스트림이 ($D_8 \dots D_4 D_3 D_2 D_1$)=(0...0111)일 경우, 즉 $8R_b/3$ 의 값이 적용되었다. 그림 6(b)의 온도 10°C 증가에 대해 5.2GHz에서 결함이 없는 경우에 비해 약 0.1dB의 이득이 감소하였으나, 입력 데이터 스트림이 ($D_8 \dots D_6 D_5 D_4 D_3 D_2 D_1$)=(00011111)일 경우, 즉 $8R_b/5$ 의 값이 적용된 경우 우수한 보상 효과를 보였다.

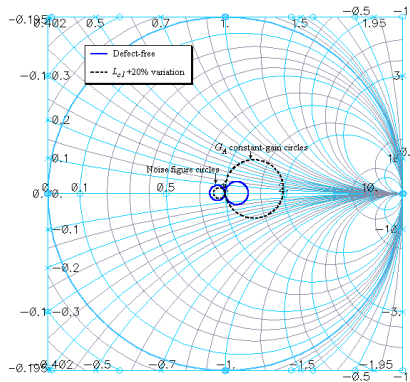


(a) L_{cl} 성분의 10% 공정 변동

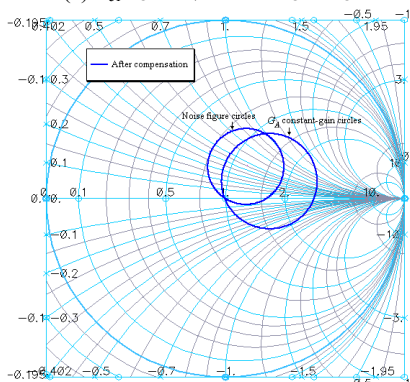


(b) 온도 10°C 변동

그림 6. 미세 변동에 대한 전압이득 보상 결과
 그림 7은 미세 변동에 대한 G_A (가용 전력 이득, available power gain) 및 잡음 지수 보상 결과를 스미스도(Smith Chart)로 표현한 것이다. 그림 6에서 언급을 했지만 시뮬레이션 결과, 그림 2에 나타난 인덕터 L_{cl} 이 저잡음 증폭기의 전압 이득 및 잡음 지수에 가장 민감하며, 가장 큰 영향을 미치는 성분이기 때문에 L_{cl} 에 따른 미세 공정 변동에 대해 스미스도 분석을 하였다. 그림 7(a)에서 알 수 있듯이 미세 공정 변동에 의해 잡음 지수 원은 감소하고, G_A 원은 증가하였다. 보상 후 잡음 지수 원은 시계 방향으로 이동하였고, G_A 원은 반시계 방향으로 이동하여 우수한 보상 효과를 보였다.



(a) L_{cl} 성분의 20% 공정 변동



(b) 보상 결과

그림 7. 미세 변동에 대한 G_A 및 잡음 지수 보상 결과 (스미스도)

표 2는 공정 및 온도 변동을 포함한 다양한 미세 변동으로 인한 전압 이득 및 잡음 지수 변동을 5.2GHz의 동작주파수에 대해 입력 데이터 스트림에 따른 보상 결과를 비교한 것이다. L_{cl} 의 변동은 전압 이득의 감소를 초래하였고, 온도 변동은 잡음 지수의 증가를 초래하였다. 표 2의 결과로부터 알 수 있듯이 본 연구에서 제안하는 PCC는 다양한 미세 변동에 대해 우수한 보상 효과를 보였다.

표 2. 미세 변동 및 보상 결과 비교

Variations			Compensations			
Components	$\Delta G_{LNA}(\text{dB})$	$\Delta \text{NF}(\text{dB})$	Data Codes	R_B	$\Delta G_{LNA}(\text{dB})$	$\Delta \text{NF}(\text{dB})$
$L_{cl}+10\%$	-0.431	0.011	(00000111)	$8R_B/3$	0.441	-0.351
$L_{cl}+20\%$	-0.982	0.023	(00000011)	$4R_B$	0.991	-0.382
$T+10^\circ\text{C}$	-0.101	0.106	(00011111)	$8R_B/5$	0.145	-0.140
$T+20^\circ\text{C}$	-0.165	0.189	(00001111)	$2R_B$	0.278	-0.269
$L_{cl}+10\% \& T+10^\circ\text{C}$	-0.545	0.109	(00000111)	$8R_B/3$	0.441	-0.351
$L_{cl}+10\% \& T+20^\circ\text{C}$	-0.589	0.188	(00000011)	$8R_B/3$	0.441	-0.351
$L_{cl}+20\% \& T+10^\circ\text{C}$	-1.025	0.148	(00000001)	$8R_B$	1.121	-0.395
$L_{cl}+20\% \& T+20^\circ\text{C}$	-1.112	0.285	(00000001)	$8R_B$	1.121	-0.395

IV. 결론

본 논문에서는 고주파 시스템-온-칩 제작과정에서 예기치 않게 발생하는 공정 및 온도 변동을 검출하고 자동으로 보상할 수 있는 자동 보상 시스템을 제안하였다. 이러한 시스템은 미세 변동을 검출할 수 있는 DFT 회로와 이를 자동으로 보상할 수 있는 프로그램 보상 회로(PCC)로 구성하였다. 제안된 시스템은 전압이득과 잡음지수의 미세 변동에 대해 $\pm 2\%$ 이하의 편차 범위에서 우수한 보상 특성을 보였다.

참고문헌

- [1] Y. Dajiang, D. Yuanli, S. Huang, "A 65-nm High-Frequency Low-Noise CMOS-Based RF SoC Technology," *IEEE Transactions on Electron Devices*, Vol. 57, No. 1, pp. 328-335, Jan. 2010.
- [2] J.-Y. Ryu and S.-H. Noh, "A New Automatic Compensation Network for System-on-Chip Transceivers," *ETRI Journal*, Vol. 29, No. 3, pp. 371-380, June 2007.
- [3] J.-Y. Ryu and S.-H. Noh, "New Programmable RF DFT Circuit for Low Noise Amplifiers," *Journal of Korea Institute of Telematics and Electronics*, Vol. 44, No. 4, pp. 28-39, April 2007.
- [4] J.-Y. Ryu and S.-H. Noh, "A New Approach for Built-in Self-Test of 4.5 to 5.5GHz Low Noise Amplifiers," *ETRI Journal*, Vol. 28, No. 3, pp. 355-363, June 2006.
- [5] J. Dabrowski, "BiST Model for IC RF-Transceiver Front-End," *2003 Proceedings of the 18th IEEE Int. Sym. on DFT in VLSI SYSTEMS*, pp. 295-302, Nov. 2003.
- [6] D. Seippel, M. Hammes, A. Hanke, and J. Kissing, "GSM/GPRS single-chip in 130nm CMOS: challenges on RF for SoC integration," *2006 IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 177-180, June 2006.