

# IEEE 802.11n WLAN용 Multi-mode LDPC 복호기의 성능 분석

박해원\* · 나영현\* · 신경욱\*

\*금오공과대학교 전자공학부

## An analysis of Multi-mode LDPC Decoder Performance for IEEE 802.11n WLAN

Hae-won Park\* · Young-heon Na\* · Kyung-wook Shin\*

\*School of Electronic Engineering, Kumoh National Institute of Technology

E-mail : goekd1216@kumoh.ac.kr

### 요 약

IEEE 802.11n 표준에 제시된 3가지 블록길이(648, 1294, 1944)와 4가지 부호율(1/2, 2/3, 3/4, 5/6)을 지원하는 다중모드 LDPC(Low Density Parity Check) 복호기의 성능을 분석하였다. 최소합 알고리즘과 layered 복호방식이 적용된 LDPC 복호기의 고정소수점(fixed-point) 시뮬레이션 모델을 Matlab으로 개발하였다. 고정소수점 시뮬레이션을 통해 복호기 내부 비트 수와 정수부 및 소수부의 비트 수에 따른 복호 수렴속도를 분석하여 다중모드 LDPC 복호기의 하드웨어 구현을 위한 최적의 설계조건을 탐색하였으며, 블록길이와 부호율에 따른 복호성능을 분석하였다.

### ABSTRACT

This paper describes an analysis of decoding performance of multi-mode LDPC(Low Density Parity Check) decoder which supports three block lengths (648, 1296, 1944) and four code rates (1/2, 2/3, 3/4, 5/6) for IEEE 802.11n WLAN system. A fixed-point model of LDPC decoder which adopts min-sum algorithm and layered decoding scheme is implemented using Matlab. From fixed-point simulation results for various bit-width parameters such as internal bit-width, bit-width of integer and fractional parts, an optimal design condition and decoding performance of LDPC decoder are analyzed.

### 키워드

LDPC code, error correction code, IEEE 802.11n, layered decoding

### 1. 서 론

최근 초고속 이동통신 및 멀티미디어 응용분야가 급속히 확대됨에 따라 고속 데이터 전송에서 높은 전송 품질과 신뢰도를 유지하기 위한 오류정정 부호 기술의 중요성이 점점 커지고 있다. 차세대 오류정정 부호로 가장 주목받고 있는 방식은 LDPC 부호이며, 차세대 무선랜(WLAN) 표준(IEEE 802.11n), 광대역 무선통신(WiMAX) 표준(IEEE 802.16e), 유럽의 디지털 위성방송(DVB-S2) 규격 등에서 오류정정 부호로 채택되고 있다.

LDPC 부호는 1962년 R. Gallager에 의해 제안된 오류정정 부호의 한 형태이며, 패리티 검사 행렬에서 '0'이 아닌 원소의 수가 부호 길이에 비해 현저히 적게 존재하는 부호로 정의된다<sup>[1]</sup>. LDPC 부호는 Shannon의 한계치에 가장 근접하는 오류정정 부호로 평가되고 있으며<sup>[2]</sup>, 오류마루 현상이

나타나지 않고, 완전 병렬처리가 가능하여 고속 복호가 가능하다는 여러 가지 장점을 가져 LDPC 부호의 특성 및 생성방법, 복호 알고리즘, 복호기 구조 등에 관한 연구가 활발히 진행되고 있다.

LDPC 부호의 복호는 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 내부 고정소수점 비트 수 등 다양한 요인들이 복호기의 성능과 하드웨어 복잡도에 영향을 미친다. 따라서 고성능/저전력 LDPC 복호기의 설계를 위해서는 복호 알고리즘, 고정소수점 비트 수 등이 복호 성능에 미치는 영향을 분석하고, 이를 토대로 최적 설계조건을 도출이 필요하다.

본문에서는 IEEE 802.11n WLAN 표준의 다중모드를 지원하는 layered LDPC 복호기의 고정소수점 Matlab 모델링과 시뮬레이션을 통해 고정소수점 비트 수에 따른 BER(Bit Error Rate) 성능과 복호 수렴속도를 분석하였다.

## II. LDPC 부호 및 복호

### 2.1 IEEE 802.11n의 LDPC 부호

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬(Parity Check Matrix)에 의해 정의되는 선형 블록부호의 일종이다. 적은 수의 패리티 검사 방정식들을 사용하여 계산량을 줄이고 확실적인 반복복호 방법에 의해 오류정정 성능을 향상시킨다. 2008년 초에 공개된 차세대 무선 랜 표준 IEEE 802.11n Draft 3.0<sup>[3]</sup>에는 표 1과 같은 LDPC 파라미터들이 정의되어 있으며, 3가지의 블록길이(648, 1296, 1944)와 각 블록길이에 대해 4가지의 부호율(1/2, 2/3, 3/4, 5/6)을 규정하여 총 12가지의 동작모드를 가지고 있다.

표 1. IEEE 802.11n의 LDPC 부호 파라미터

Parameter	IEEE 802.11n			
블록길이 (N)	648, 1296, 1944			
서브블록 크기 (Z)	27, 54, 81			
부호율 (R)	1/2, 2/3, 3/4, 5/6			
서브블록 수 (k)	24			
레이어 수 (j)	R=1/2	2/3	3/4	5/6
	12	8	6	4

### 2.2 LDPC 복호 알고리즘

LDPC 부호의 복호는 패리티 검사 행렬에 의해 구성되는 테너 그래프(Tanner graph) 상의 변수노드(variable node)와 검사노드(check node) 사이에서 반복적인 정보 전달과정에 의해 이루어진다. 테너 그래프는 PCM의 행과 열을 테너 그래프의 변수노드와 검사노드로 매핑시킨 이분 그래프(bipartite graph)이며, 변수노드와 검사노드 사이의 연결은 PCM에서 1의 위치에 의해 결정된다.

LDPC 복호 알고리즘으로 합-곱 알고리즘(Sum-Product Algorithm; SPA), SPA의 연산 복잡도를 감소시킨 LLR(Log-Likelihood Ratio) SPA, 그리고 LLR-SPA를 근사화하여 연산 복잡도를 더욱 감소시킨 최소합 알고리즘(Min-Sum Algorithm; MSA)<sup>[4]</sup> 등이 있다.

식(1)은 LLR-SPA에서 검사노드 값이 갱신되는 연산을 나타내고 있으며, 함수  $\phi(x)$ 는  $x$ 가 작을 때 큰 값을 가지고,  $x$ 가 커지면 거의 0에 근접하는 특성을 갖는다. 따라서 식(1)에서 함수  $\phi(x)$ 의 합(sum)은 가장 작은  $x$ 값에 의해 가장 크게 영향 받으므로  $\sum \phi(x) \approx \phi(\min(x))$ 로 근사화될 수 있다.  $x > 0$ 일 때 함수  $\phi(x)$ 와 그 역함수의 값이 같으므로,  $\phi(\phi(\min(x))) = \min(x)$ 로 변환되어 식(2)와 같이 근사화될 수 있다. 따라서 식(1)은 식(2)에 의해 식(3)과 같이 근사화될 수 있으며 이를 최소합 알고리즘이라 한다.

$$L_{j \rightarrow i} = \left( \prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'} \right) \cdot \phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}) \right) \quad (1)$$

$$\phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}) \right) \approx \phi \left( \phi \left( \min_{j' \in \omega(j) \setminus \{i\}} \beta_{i'j} \right) \right) = \min_{j' \in \omega(j) \setminus \{i\}} \beta_{i'j} \quad (2)$$

$$L'_{j \rightarrow i} = \left( \prod_{j' \in \omega(j) \setminus \{i\}} \alpha_{j'} \right) \min_{j' \in \omega(j) \setminus \{i\}} \beta_{i'j} \quad (3)$$

## III. LDPC 복호기의 고정소수점 모델링 및 시뮬레이션

LDPC 복호기의 복호과정은 그림 1과 같다. 채널을 통해 수신된 코드 워드의 확률값은 이분 그래프 상에서 수평단계 연산과 수직단계 연산을 통해 반복적으로 교환되어 복호가 이루어진다. 이와 같이 수평단계와 수직단계의 2단계 연산과정을 통해 복호하는 방법을 two-phase 복호라고 하며, 가장 기본적인 LDPC 복호방법이다. 매 반복복호 과정마다 복호된 코드 워드에 대한 신드롬 검사를 수행하여 복호종료 조건이 만족되면 복호를 종료한다. 신드롬 검사를 만족하지 않으면 최대 반복복호 횟수까지 복호과정이 계속된다.

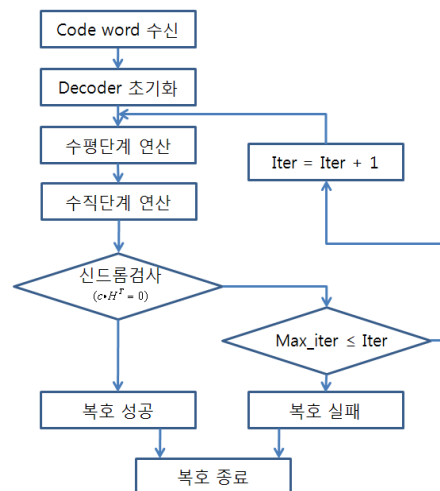


그림 1. LDPC 부호의 반복복호 과정

본 논문에서는 하드웨어 복잡도를 최소화하고 빠른 복호 수렴속도를 갖는 LDPC 복호기 설계를 위해 MSA와 layered 복호방식을 적용한 LDPC 복호기의 고정소수점 Matlab 모델을 개발하고 시뮬레이션을 하였다. Layered 복호는 PCM을 구성하는 레이어(layer) 단위로 복호를 수행하는 방식으로 two-phase 복호방식 보다 복호 수렴속도가 빠른 것으로 평가되고 있다.

LDPC 복호기의 Matlab 시뮬레이션 모델은 그림 2와 같으며, 복호기의 고정소수점 비트 수, 정수부 및 소수부의 비트 수, 최대 반복복호 횟수 등을 가변시킬 수 있도록 구성되었다. 또한 매 반

복복호 과정의 각 레이어별로 복호되지 않은 에러의 수를 관측하여 복호 수렴속도를 측정할 수 있도록 하였다.

Matlab 모델에 적용된 시뮬레이션 파라미터들은 표 2와 같다. 랜덤 데이터를 생성하여 LDPC 부호화한 후 QPSK 변조하고 AWGN 채널에서  $E_b/N_o$ 를 1.5~3 dB 범위에서 0.3 dB 단위로 변경하며 시뮬레이션 하였다. IEEE 802.11n WLAN 표준의 3가지 블록길이와 4가지 부호율에 대한 총 12가지 패리티 검사 행렬을 사용하였으며, LLR 근사값의 비트 폭은 (4.4)에서 (6.4)까지의 12가지 경우에 대해 시뮬레이션 하였다. 여기서 (m,n)의 표현에서 m은 정수부분의 비트 수를 나타내며, n은 소수부분의 비트수를 나타낸다.

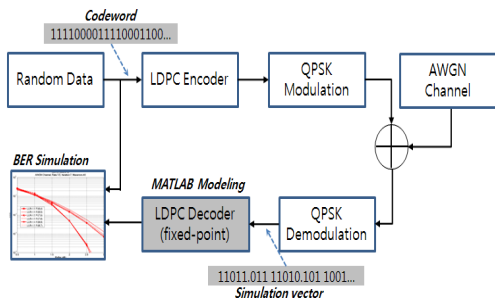


그림 2. LDPC 복호기의 Matlab 시뮬레이션 모델

표 2. 시뮬레이션 조건

파라미터	사 양
채널특성	AWGN $E_b/N_o = 1.5 \sim 3$ dB
변조방식	QPSK
블록크기 (N)	648, 1296, 1944
부호화율 (R)	1/2, 2/3, 3/4, 5/6
최대 반복복호 횟수	8 회
프레임 수	100 frames
LLR 비트 수 (m,n) m: 정수부의 비트 수 n: 소수부의 비트 수	(4.4), (4.5), (4.6) (5.0), (5.1), (5.2), (5.3), (5.4), (5.5), (6.2), (6.3), (6.4)

그림 3은 블록길이 1944, 부호율 1/2의 LDPC 부호에 대해 고정소수점 비트 수에 따른 BER 성능을 시뮬레이션한 결과이다. 8~10 비트의 3가지 고정소수점 비트 수에 대해 정수부분이 5 비트인 (5.3), (5.4), (5.5)의 경우가 정수부분이 4 비트인 (4.4), (4.5), (4.6)의 경우 보다 더 우수한 비트오율 성능을 나타내었다. 나머지 블록길이와 부호율에 대해서도 유사한 결과가 얻어졌으며, 따라서 LDPC 복호기의 하드웨어 설계를 위해서는 복호기 내부 데이터는 정수부가 5 비트 이상 되어야 함을 확인할 수 있다.

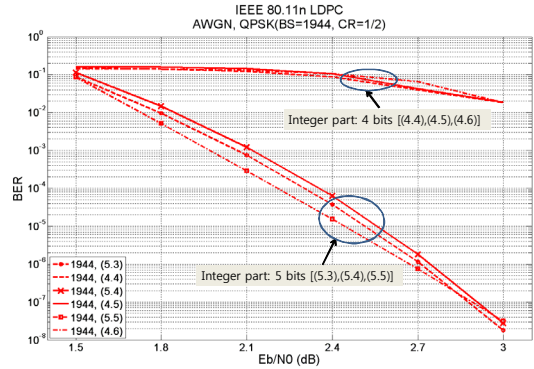
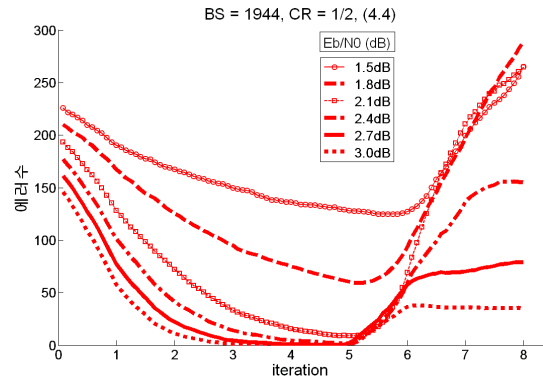
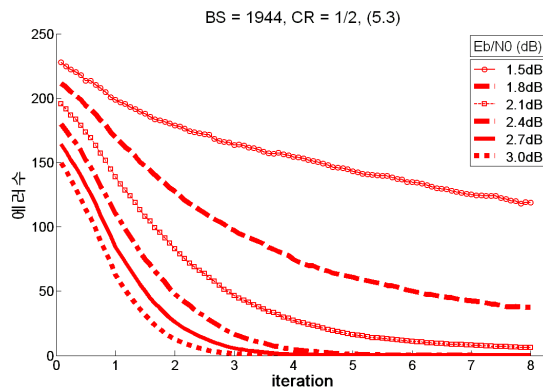


그림 3. 고정소수점 비트 수에 따른 BER 성능

그림 4는 반복복호가 진행됨에 따라 복호되지 않은 오류의 개수를 보이고 있으며, 이는 복호 수렴속도를 나타낸다. 정수부 5 비트인 경우가 4 비트인 경우보다 복호 수렴속도가 빨랐으며, 연산시간 대비 성능이 우수함을 확인하였다. 고정소수점으로 변환된 LLR 값의 정수부분 비트 수는 LLR 값의 크기 범위를 결정하고, 소수부분의 비트 수는 소수점 이하 값의 범위와 분해능을 결정한다. 정수부분이 4 비트 경우인 그림 4(a)에서 반복복호 5회 이상에서 오류가 증가하는 것은 복호연산 과정에서 오버플로가 발생하기 때문이다.



(a) 고정소수점 비트 수 (4.4)인 경우



(b) 고정소수점 비트 수 (5.3)인 경우

그림 4. 정수부분 비트 수에 따른 복호 수렴속도

그림 5는 LLR 값의 정수부분을 5 비트로 결정한 상태에서 소수부분의 비트 수를 0~5 비트 범위에서 변화시키며 BER 성능을 시뮬레이션한 결과이다. 소수부분의 비트 수가 0 이면 BER 성능이 현저히 떨어져 복호가 이루어지지 않으며, 소수부분이 2 비트 이상인 경우에는 복호성능이 비슷하게 나타났다. 따라서 하드웨어 설계 시에 소수부분을 2~3 비트로 결정하는 것이 면적대비 성능이 가장 우수한 것으로 평가되었다.

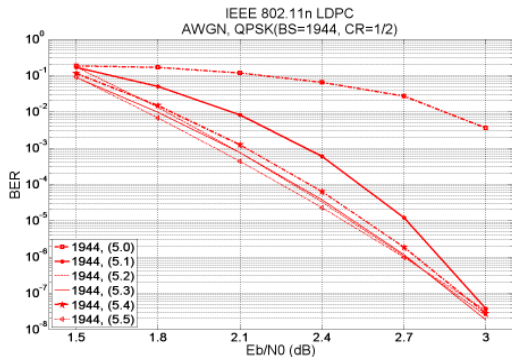
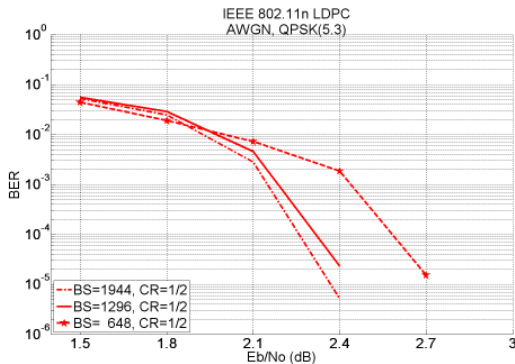
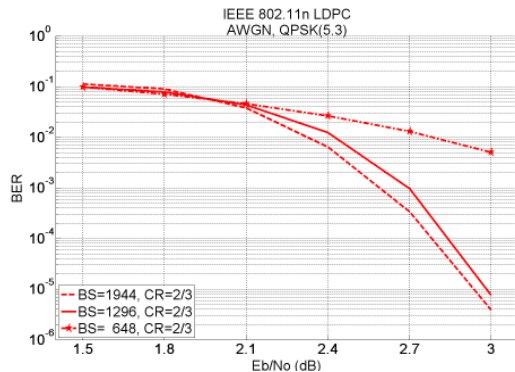


그림 5. 소수부분 비트 수에 따른 BER 성능

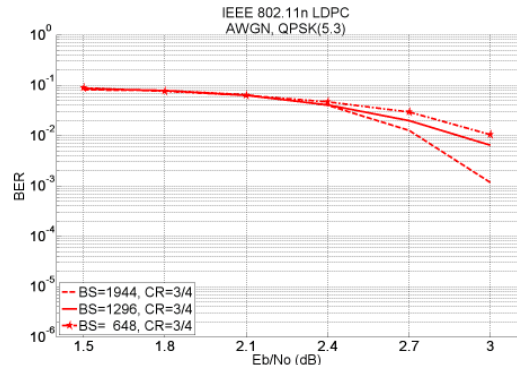
그림 6은 고정소수점 비트 수 (5.3)의 경우에 대해 부호율과 블록길이에 따른 BER 성능 분석 결과이다. 블록길이 1944, 부호율 1/2의 LDPC 부호의 BER 성능이 가장 우수하게 나타났다.



(a) 부호율 1/2의 경우



(b) 부호율 2/3의 경우



(c) 부호율 3/4의 경우  
그림 6. 부호율에 따른 BER 성능

#### IV. 결 론

최소합 알고리즘과 layered 복호방식을 적용한 LDPC 복호기의 고정소수점 Matlab 모델링과 시뮬레이션을 통해 BER 성능 및 수렴속도를 분석하였다. 고정소수점 시뮬레이션 결과를 분석한 결과, 정수부분 5 비트 이상 그리고 소수부분 2 비트 이상인 경우가 면적 및 복호성능이 가장 우수함을 확인하였다. 개발된 고정소수점 Matlab 모델링은 LDPC 복호기의 성능예측과 설계된 하드웨어의 검증에 유용하게 사용될 수 있다.

#### 참고문헌

- [1] R.G. Gallager, "Low-Density Parity-Check Codes," *IRE Trans. Inform. Theory*, pp. 21-28, vol. 8, no. 1, Jan. 1962.
- [2] D.J.C. MacKay and R. M. Neal. "Near Shannon limit performance of low density parity check codes," *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] Wireless LAN medium access control (MAC) and physical layer (PHY) specifications: enhancements for higher throughput, *IEEE Std. P802.11n/D3.07*, 2008.
- [4] F. Zarkeshvari and A. Banihashemi, "On implementation of min-sum algorithm for decoding low-density parity-check (LDPC) codes", *Proc. IEEE GLOBECOM*, vol. 2, pp. 1349-1353, Nov. 2002.

\* 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업의 결과임(No. 2010-0005589)