

MicroTec을 이용한 D-MOS 접합깊이에 따른 전류-전압 특성

김성중·한지형·정학기·이종인·정동수·권오신
군산대학교 전자공학과

Current-voltage characteristics of the junction depth D-MOS using MicroTec Tool

Seongjong Kim, Jihyeong Han, Hakkee Jung, Jongin Lee, Dongsoo Cheong, Ohsin Kwon
Department of Electronic Eng., Kunsan National University

요 약

본 논문에서는 MicroTec을 이용하여 D-MOS(double-diffusion MOS) 트랜지스터의 접합깊이에 변화를 주어 그에 따른 전류-전압 특성 곡선을 분석하였다. D-MOS는 채널의 길이를 줄이고 높은 항복 전압을 얻기 위해 이중 확산 도핑을 하는 것을 특징으로 하며 연속적으로 확산 공정을 두 번 진행하여 채널 길이를 짧게 하고 이에 의해 고전압과 고전류를 인가할 수 있는 장점을 가진다. 본 연구에서는 D-MOS의 접합깊이에 변화를 주고 이에 따른 전류와 전압의 특성을 비교하여 분석하였다.

I. 서 론

최근 정보통신 시스템의 발달은 어느 한 분야도 이 시스템의 영향을 받지 않는 곳이 없을 정도로 우리 생활에 없어서는 안되는 필수조건이 되었다. 그 만큼의 더 다양한 기능과 뛰어난 성능, 초고속, 초고집적, 초경량화를 위하여 끝없는 연구와 개발 중에 있다. 그 중에 시스템 중량의 대부분을 차지하는 전력부를 집적화하는 기술로 전력 MOSFET의 지속적인 개발이 진행 중에 있다. LSI 미세가공기술에 응용하기 위하여 쌍극성 I^2L 회로에 대응하는 MOS회로를 만들기 위해 새로운 공정을 개발하였는데 그중에서 가장 우수한 것 중 하나가 D-MOS(double-diffusion MOS)이다. D-MOS는 높은 고전압과 고전류 동작 때문에 일반 MOSFET와 다른 구조를 가지게 되며, 그 종류로는 LDMOS, VDMOS, TDMOS로 크게 나눌 수 있고, 동작 전압에 따라 다양한 D-MOS 제품들을 양산되고 있다. 또한 일반 MOS 트랜지스터 공정과 달리 D-MOS 공정에서는 채널 길이가 고체 상태의 확산에 의해서 정의

되기 때문에 훨씬 짧은 채널 길이가 쉽게 얻어지게 된다. 그 결과 크기는 아주 작아지면서도 성능은 개선되어지게 된다. 이런 장점 때문에 전력반도체로 컴퓨팅, 통신, 가전, 자동차 등 중추적인 전자 애플리케이션에 적용되며, 최근에는 휴대폰, 노트북 PC와 같은 모바일기기의 증가와 전기자동차의 개발과 맞물려 수요가 증가하고 있다[1].

II. D-MOS

D-MOS 소자는 이중 확산 공정을 사용하여 p베이스 혹은 p기판 영역과 n^+ 소스 접촉이 게이트의 끝에 있는 공통창을 통하여 확산되어진다. p베이스 영역이 n^+ 소스보다 더 깊이 확산되어지며, p베이스와 n^+ 소스 사이의 측면 확산거리의 차이가 표면 채널 길이로 정의된다. 전자들이 소스단에 들어가서 게이트 아래의 반전층을 통하여 n 표동영역까지 수평으로 흐른다. 전자들은 그 후 n 표동영역을 통해 드레인 단자를 향하여 수직으로 흐른다. 일반적인 전류 방향은 드레인으로부터 소스로 향하는 흐름이다.

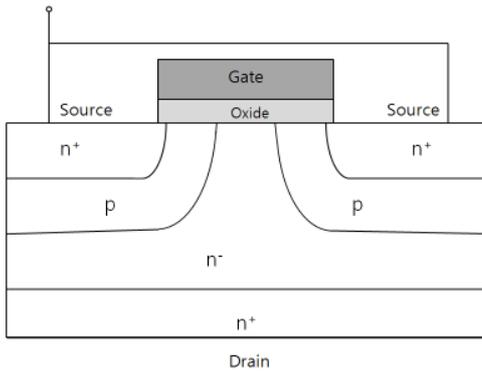


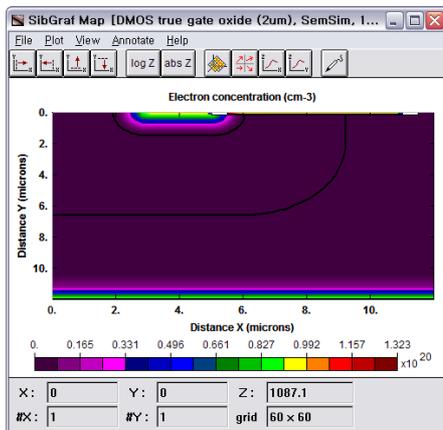
그림 1. D-MOS의 단면적 구조

n표동 영역은 드레인 항복전압을 충분히 크게 하기 위해 알맞게 도핑되어야 하지만 n표동 영역의 두께 또한 드레인 저항을 최소가 되도록 하기 위해 가능한 한 얇아야 한다[2].

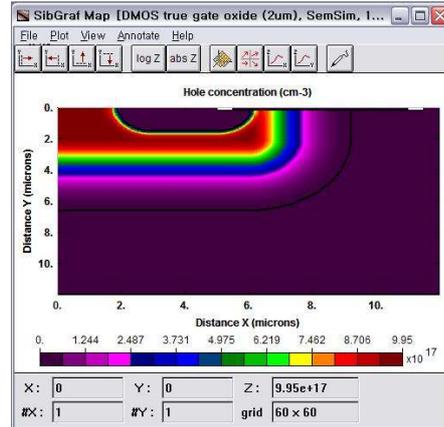
II. 시뮬레이션 방법 및 결과

본 논문은 MicroTec의 시뮬레이션을 위한 프로그램 중 하나인 SemSim을 이용할 것이다. 수치 해석 소프트웨어 툴은 2차원 반도체 디바이스 시뮬레이션에 이용된다. 최근 들어, 새로운 방법의 선형 반도체 방정식은 비선형 반도체 방정식들의 효율적인 해법에 적용되어졌다. 이 방정식으로 인해 요구되어 지는 메모리가 줄어들게 되었다. SemSim에서 이 방정식을 사용하였으며, 다른 시뮬레이터에 비해 속도와 메모리 사용량이 줄어들었다.

SemSim은 디바이스 시뮬레이션으로써 입력 바이어스에 의해 공정 시뮬레이션인 SiDif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다[3]-[5].



(a)



(b)

그림 2. 접합깊이가 2 μm 일 때의 소자의 구조

(a) Electron 농도 (b) Hole 농도

그림 2는 MicroTec을 이용하여 D-MOS의 P웰(P-well)의 접합깊이를 2 μm 로 설정한 Electron 농도(a)와 Hole 농도(b)의 소자 구조이다. 기판은 12 $\mu\text{m} \times 12\mu\text{m}$ 로 설정하였고, 전체기판농도는 $5 \times 10^{15} \text{cm}^{-3}$, 드레인과 소스와 게이트의 도핑농도는 $1 \times 10^{20} \text{cm}^{-3}$ 로 설정하였다. 접합깊이의 변화를 주어 시뮬레이션 하여 그 결과를 그림2의 전류-전압 특성 곡선으로 나타내었다.

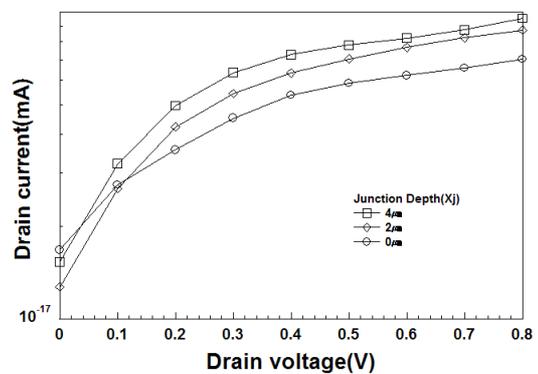


그림 3. 접합깊이에 따른 IV 특성 곡선

그림 3은 접합깊이가 0 μm , 2 μm , 4 μm 일 때의 전류-전압 특성을 비교한 곡선이다. 사용한 바이어스로는 소스와 기판의 전압은 0V, 드레인은 0V에서 0.1V씩 증가하여 0.8V까지 증가시켰으며 게이트 전압은 0.1V를 사용하였다. 그 결과는 그림 2에서 나타난 것처럼 접합깊이가 얇아질수록 흐르는 전류가 증가함을 알 수 있다.

IV. 결 론

본 논문에서는 MicroTec을 이용하여 D-MOS의 접합깊이에 따른 전류-전압의 특성을 분석하고자 하였다. 일정한 도핑농도를 유지하였고, 접합깊이에 변화를 주고 시뮬레이션을 하여 그에 따른 전류와 전압의 특성 곡선을 분석하였다. 그 결과는 접합깊이가 얇아질수록 흐르는 전류가 증가하는 것을 볼 수 있었다. D-MOS는 서로 다른 형태의 불순물을 연속적으로 확산시키는 이중 확산 방식을 이용하여 제작하게 된다. 이러한 제작 방식으로 인하여 접합깊이의 차이로서 채널이 형성되어 진다. 접합깊이가 얇아질수록 채널의 길이가 줄어들고 그로 인하여 고전류와 고전압의 인가가 가능할 것이다.

참 고 문 헌

- [1] 양일석 외2명, "친환경 절전형 전력 반도체 기술", 전자통신동향분석, 제24권, 제6호, pp.11~13, 2009.
- [2] 이진구, 이상렬, 이송기, 정원채, 황호정 공역, "반도체 소자 공학", McGraw-Hill Korea, pp.332 ~334, 2006.
- [3] K. Yamaguchi, "A mobility model for carriers in the MOS inversion layer", IEEE Trans. Electron Device, vol.30, pp.658-663, 1983.
- [4] M. S. Obrecht, "SIMOS-two-dimensional steady-state simulator for MOS-device", Solid-State Electronics, Software Survey Section, vol.32, No.6, 1989.
- [5] M. S. Obrecht and J.M.G. Teven, "BISIM-a program for steady-state two-dimensional modeling og various bipolar devices", Solid-State Electronic, Software Survey Section, vol.34, No.7, 1991.