

차량 레이더 시스템용 시그마-델타 변조기

류지열*, 노석호**

부경대학교 정보통신공학과*, 안동대학교 전자공학과**

Sigma-Delta Modulator for Automotive Radar Systems

Jee-Youl Ryu*, Seok-Ho Noh**

Pukyong National University*, Andong National University**

E-mail: ryujy@pknu.ac.kr

요 약

본 논문에서는 차량 레이더 시스템용 시그마-델타 변조기를 제안한다. 개발된 변조기는 차량 레이더 시스템에서 고주파 대역 신호의 고해상도 데이터 변환, 즉 아날로그-디지털변환을 수행하는데 사용되며 저전압 및 저 왜곡 특성을 가진 몸체효과 보상형 스위치 구조로 구현되어 있다. 제안된 변조기는 0.25 마이크론 이중 폴리 3-금속 표준 CMOS 공정으로 제작되었고, $1.9 \times 1.5 \text{ mm}^2$ 의 다이 면적을 점유한다. 제안된 회로는 2.7V의 동작 전압에서 기존의 부트스트랩형 회로보다 약 20dB 향상된 우수한 총 고주파 왜곡 특성을 보였다.

I. 서 론

최근 자동차 분야에서 자동차의 구동, 제동 및 조향 등이 전자화 되면서 차량주행 중 주변 환경을 인식하여 운전자의 편의와 안전을 증진시키는 지능화 개발이 본격화되고 있다. 지능형 자동차는 자동차 사고를 미연에 방지할 수 있는 각종 첨단 전기 전자 통신 제어 기술을 차량에 적용하여 운전자의 주행 안전성, 편의성 및 주행 효율성을 극대화시킨 인공지능형 디지털자동차를 말한다. 이러한 자동차의 핵심기술 중 전후방 차간거리 감지 레이더로 앞차와 뒷차의 거리를 감지하여 추돌할 가능성이 생길 경우 이를 운전자에게 알려주는 차량 추돌 경고 시스템에 대한 연구가 국내외적으로 상당히 활발하다 [1-4]. 특히 이러한 차량 레이더 시스템에서 고주파 대역 신호의 아날로그-디지털변환 (ADC)을 수행하기 위해 변조기에 대한 연구가 활발하다 [1-2,5-6].

본 논문에서는 저 전압, 저 왜곡 특성을 가진 차량 레이더 시스템용 시그마-델타 변조기를 제안한다. 이러한 변조기는 저 전압에서 적절히 동작하는 새로운 형태의 몸체 효과 보상형 스위치 구조를 가진다. 시그마 델타 변조기는 0.25- μm 이중 폴리 3-금속 표준 CMOS 공정을 이용하여 모두 MOSFET으로 제작되었으며, 2.7V에서 동작한다.

II. 시그마-델타 변조기 설계 및 제작

시그마-델타 아날로그-디지털변환기 ($\Sigma\Delta$ A/D converter, $\Sigma\Delta$ ADC)는 적분기, 비교기, 디지털 저역 통과 필터 및 1비트 디지털-아날로그 변환기 (DAC, D/A)로 구성되어 있다 [1]. 본 연구에서 설계한 3차 스위치 $\Sigma\Delta$ 변조기는 적분기 및 비교기 (양자화기)를 포함한 $\Sigma\Delta$ ADC, 클럭 발생기, 주 바이어스 부 (master bias) 및 디지털 논리회로/출력 버퍼로 구성되어 있다. 스위치 커패시터 (SC) 회로부는 연산 증폭기, 커패시터 및 스위치로 구성된 적분기와 비겹침 (non-overlapping) 클럭부로 구성되어 있다. $\Sigma\Delta$ 변조기의 구성 요소 중 적분기와 비교기 (양자화기)가 가장 중요한 블록이므로 본 논문에서는 이러한 블록을 구성하는 회로를 중심으로 설명하기로 한다.

(1) SC 적분기 구성 요소: 연산 증폭기 설계

적분기에 사용하기 위해 1단 완전 폴드형 캐스코드 연산증폭기를 설계하였다. 적분기에서 연산증폭기는 직류 전압 이득이 높고 (70dB 이상), 위상 마진이 60° 이상, 슬루율 (slew rate)이 빠르며 직류 오프셋이 작아야 한다. 특히 직류 이득은 스위치 커패시터 적분기의 이산시간 전달함수의 정확성에 큰 영향을 미치기 때문에 이득을 충분히 높도록 설계하였다. 또한 증폭기 반응시간은 전하 천이가 각 반 클럭 주기 이내에 완전히 정착될 수 있도록 충분히 빠르도록 설계하였다. 또한 본 논문에서 설계한 증폭기 구조는

다른 형태에 비해 바이어스가 쉽고, 동상-모드 이탈에 덜 영향을 받기 때문에 출력 스윙으로부터 입력 동상-모드 전압을 효과적으로 분리할 수 있다.

그림 1은 1단 완전 폴드형 캐스코드 연산증폭기의 칩 다이 사진을 나타낸 것이다. 0.25 μm CMOS 공정을 이용하였고, 칩면적은 약 0.43 \times 0.3mm²로, 전체 칩 면적의 약 4.5%를 차지하였다. 증폭기의 오프셋 전압을 줄이기 위해서 입력 트랜지스터에 대해서는 공통-센터 중심형 (common centroid) 기법을 이용하였다. 또한 전류 거울 소자들의 정합을 좋게 하기 위해서 각 소자에 대해서는 상호 디지털 타이징 기법을 사용하였다.

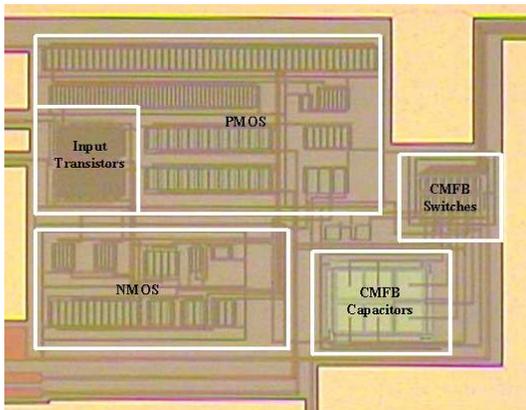
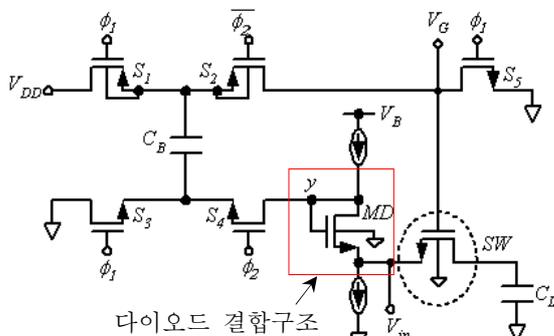


그림 1. 연산증폭기 칩 다이 사진

(2) SC 적분기 구성 요소: 스위치 (Switches)

SC 적분기에서는 스위치 설계가 가장 중요하다. SC 회로는 스위치로 트랜지스터를 이용하기 때문에 스위치 구동 특성상 저전압 구동이 어려운 문제점을 가지고 있다.

기본 구조의 한계점은 몸체 효과(body effect)로 인해 스위치의 온 저항 값이 입력 신호의 변화에 따라 함께 변화한다는 점이다. 그림 2는 이러한 문제점을 극복하기 위해 본 연구에서 제안하는 몸체효과가 보상된 스위치 기본 구조를 나타낸 것이다.



다이오드 결합구조

그림 2. 몸체 효과 보상된 스위치 기본 구조

그림 2에서 알 수 있듯이 본 스위치 구조는 온 저항 값이 임계전압(V_m)에 독립적인 특성을 가지므로 입력 신호의 왜곡이 적고 저전압 동작이 가능함을 의미한다. 저 전압 구동이 가능한 본 연구에서 제안하는 몸체효과가 보상된 스위치 전체 구조는 참고문헌 [2]을 참조하길 바란다.

(3) 스위치형 커패시터 적분기 설계

본 논문에서 제안하는 $\Sigma\Delta$ 변조기는 직렬 형태로 연결된 세 개의 스위치 커패시터 적분기로 구성되어 있다. 연산증폭기와 스위치로 구성된 적분기는 완전 차동 스위치 커패시터 적분기 구조를 지닌다. 이러한 적분기는 PSRR, 소자 정합 및 잡음 결합과 같은 비이상적인 성질(non-idealities)을 최소화하기 위해 완전 차동 구조로 설계하였다. 이러한 적분기는 신호 형태의 따른 전하 주입 효과의 영향을 최소화 하기 위해 bottom-plate 샘플링 기법을 이용하였다.

(4) 비교기 (Comparator) 설계

본 연구에서 제안한 2-1 직렬 접속형 $\Sigma\Delta$ 변조기에서 두 개의 양자화기는 한 개의 비교기와 한 개의 1비트 디지털-아날로그 변환기 (DAC)로 구성되어 있다. 그림 3은 전치 증폭기 (Preamplifier)를 가진 래치 비교기 구조를 가진다. 제작된 비교기는 전치 증폭기를 가진 SR 래치형이며, 레벨 슈프터를 가진다. 변조기의 첫 단에 있는 DAC에 의해 도입된 오류들은 입력 신호에 의해 부가되기 때문에 변조기의 성능을 직접적으로 저하시킨다. 따라서 본 논문에서 설계된 DAC는 이러한 문제점을 고려하여 변조기의 해상도를 안정시킬 수 있도록 설계되어 있다. 전치 증폭기는 더 높은 해상도를 얻고, 킥백 (kickback) 전압의 효과를 최소화하기 위해 사용되었다.

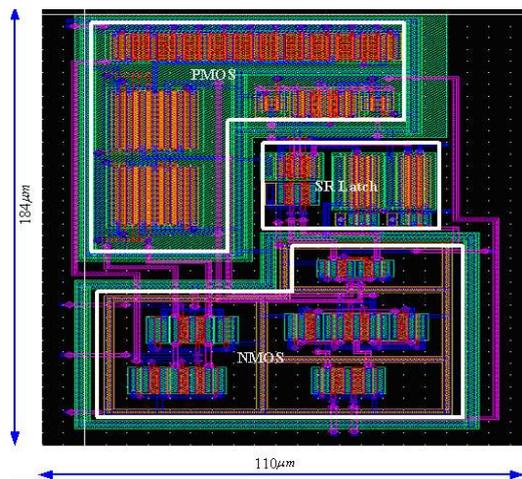


그림 3. 전치 증폭기를 가진 래치 비교기 레이아웃

표. 1. 연산증폭기에 대한 결과

Parameters	Simulation Results	Measurement Results
DC Gain	77 dB	62 dB
Settling Time	530 ns	560 ns
Slew Rate (+)	1.72 V/ μ s	1.25 V/ μ s
Slew Rate (-)	2.72 V/ μ s	1.28 V/ μ s

Note: 2.7V for supply voltage and 16 pF for load capacitance are used.

그림 8은 스위치 커패시터 시그마-델타 변조기의 FFT 출력 특성을 나타낸 것이다. 그림 8(a)는 8kHz 입력 신호와 M=125의 오버 샘플링 비 (over-sampling ratio)에 대해 오차 제거 이후의 출력 비트 스트림의 전력 스펙트럼 밀도 (power spectral density, PSD) 특성이며, 그림 8(b)는 in-band 부분을 확대한 것이다. 그림 8에서 알 수 있듯이 8kHz 입력 신호에 대해 잡음 shaping 후 8kHz 대에서 PSD의 피크가 보임을 확인하였다.

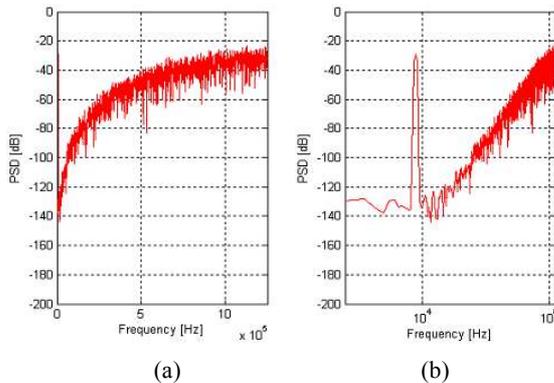


그림 8. (a) 8kHz 입력 신호에 대해 오차 제거 이후의 출력 비트 스트림의 전력 스펙트럼 특성; (b) In-band 부분 확대

그림 9는 스위치 커패시터 시그마-델타 변조기의 신호대 잡음 및 왜곡비 (SNDR, Signal-to-Noise & Distortion Ratio) 특성을 나타낸 것이다.

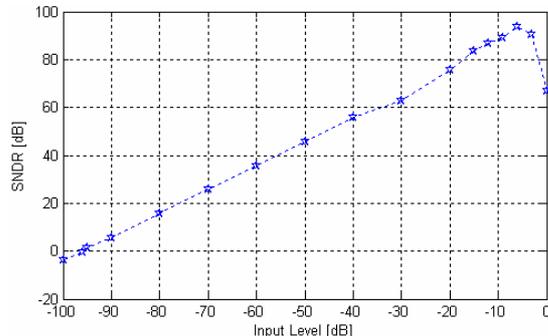


그림 9. SC 시그마-델타 변조기의 신호대 잡음 및 왜곡비

2.5MHz의 샘플링 주파수 (M=125의 오버 샘플링 비)에 대해 스위치 커패시터 시그마-델타 변조기는 약 93dB의 우수한 피크 SNDR와 약 90dB의 우수한 동적 범위 (dynamic range)를 각각 보였다.

IV. 결 론

본 논문에서는 차량 레이더 시스템을 위한 시그마 델타 변조기를 제안하였다. 제안된 변조기는 저전압 및 저 왜곡 스위치형 커패시터를 적용한 몸체효과가 보상된 스위치 구조를 가졌다. 또한 제안된 회로는 2.7V의 저 전압에서 기존의 부트스트랩된 회로 보다 약 20dB의 더 우수한 총 고조파 왜곡특성을 보였다. 시그마 델타 변조기는 0.25 μ m 이중 폴리 3중 금속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작하였다. 측정을 통해 변조기가 정상적으로 동작함을 확인하였다.

참고문헌

- [1] J.-Y. Ryu and S.-H. Noh, "A Novel Third-Order Cascaded Sigma-Delta Modulator using Switched-Capacitor," *Journal of The Korean Institute Of Maritime Information & Communication Science*, Vol. 14, No.1, pp 197-204, January 2010.
- [2] J.-Y. Ryu and S.-H. Noh, "Development of the New Third-Order Cascaded Sigma-Delta Modulator," *Conference of the Korean Institute of Maritime Information & Communication Science*, Vol. 10, No. 2, pp. 835-838, October 2006.
- [3] Vipul Jain *et. al.*, "A Single-Chip Dual-Band 22-to-29GHz/77-to-81GHz BiCMOS Transceiver for Automotive Radars," *2009 IEEE International Solid-State Circuits Conference*, pp. 308-309, February 2009.
- [4] Stephane Pinel *et. al.*, "A 90nm CMOS 60GHz Radio," *2008 IEEE International Solid-State Circuits Conference*, pp. 130-131, 601, February 2008.
- [5] B. E. Boser and B. A. Wooley, The Design of Sigma-Delta Modulation Analog-to-Digital Converters, *IEEE J. of Solid-State Circuits*, vol. sc-23, no. 4, pp. 1298-1308, Dec. 1988.
- [6] S. Rabbii and B. A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*. Boston: Kluwer Academic Publishers, 1999.