
군용 SBC*에서의 고속메모리모듈의 I/F 적용연구

DDR Memory I/F Implementation For Military Single Board Computer

요 약

군용 SBC에 주로 사용되는 중앙 처리 장치(Central Processing Unit)는 주로 Power PC의 계열이며 Freescale사의 G4 계열인 74xx 프로세서가 주로 사용된다. 이러한 CPU인 7447A는 System Controller를 통하여 SBC 내의 주 기억 장치와 통신을 한다.

본 논문에서는 위와 같은 SBC의 구조에서 System Controller와 DDR** 메모리 소자 간 I/F를 구현함에 있어 PCB 적층 구조, 소자들의 Layout, 임피던스매칭과 Rugged 환경 Level에서 적용 되는 군 환경에서 동작 가능한 DDR 메모리를 모듈로 설계하여 구현하였다. 또한, 군용환경에 적용하기위한 SBC의 형상은 주로 6U, 3U의 표준 형태로 설계 되어져야 한다.

ABSTRACT

POWER PC series are common to the Central Processing Unit for Military Single Board Computer. Among them, G4 group, which contains the 74xx series supported by Freescale manufacturer is mainly used in the Military applications. We focus on the Interface between memory and controller. PCB stacking method, component routing, impedance matching and harsh environment for Military spec are the main constraints for implementation. Also, we developed memory as a module for the consideration of Military environments. The overall type of SBC should be designed by the form of 6U VME or 3U VME.

키워드

SBC, DDR System Controller, VME

* SBC : Single Board Computer

** DDR : Double Data Rate

I. 서 론

카메라와 그래픽처리능력을 높인 단말기, 고속의 무선통신, 신호처리기능을 기준으로 점차 비디오, 게임, 정보검색, 교육등에서 TEXT에서 영상으로 응용분야가 확장되고 있는 추세이다.

이러한 것은 IT기술과 더불어서 범용화 차원에서 실시간을 요구하는 군사적인 Platform등에서도 적용이 되고있다.

예전의 군 컴퓨터 환경에 다르게 요즘 군 컴퓨터는 기본적인 연산 능력 외에 다양한 그래픽 처리 및 신호 처리 등이 적용된 Multi환경으로 발전해 나아가고 있다.

이러한 군 컴퓨터의 발달은 단순히 중앙처리 장치(CPU)의 발달로만 이루어 질 수 없다. 아무리 고속 연산이 가능한 중앙처리 장치라도 Cache, System Controller, 주 기억 장치 등과 같이 주변 소자들의 지원 없이 해당 성능을 모두 발휘하기는 불가능 하다.

본 논문에서는 이러한 고속의 중앙처리 장치에 사용되는 System Controller 와 주 기억 장치의 설계시 군이라는 Rugged 환경에 적용 가능한 설계 방법을 제시하고 실 제품에 그 방법을 적용하여 그 방법을 검증 하였다.

II. 본 론

군 환경에 사용되는 SBC에는 여러 제약 조건들이 있다. 본 논문에서 제시하는 주요인자인 System Controller와 메모리 소자 간에 설계를 기준으로 설정 하였고, 이러한 인자들의 선행하는 제약조건으로는 다음과 같이 크게 3가지로 분류 될 수 있다.

첫째 기구적인 제약을 들 수 있다.

흔히 군용 SBC는 VME 표준 형태로 제작 되며 그 표준 규약 규약은 ANSI/VITA1-1994, ANSI/VITA1.1-1997, ANSI/VITA23-199x에 정의 되어 있다.

표준은 다음과 같이 크게 2개의 조건이 있다.

1. Board to Board 규약
해당 규약은 그림1 참조
2. Board Size 규약
해당 규약은 그림2 참조

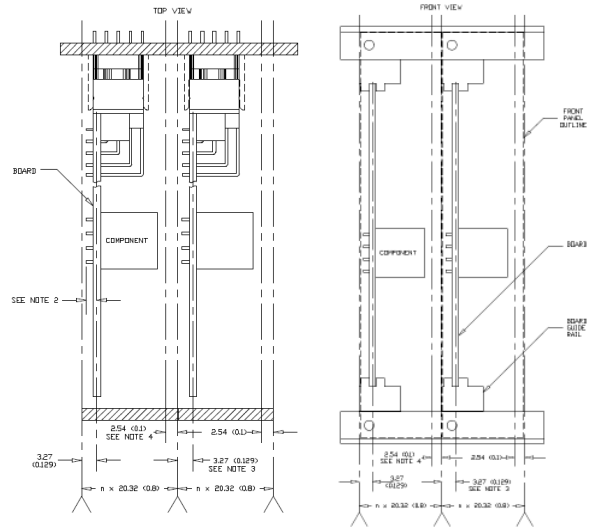


그림 1. 규약 1

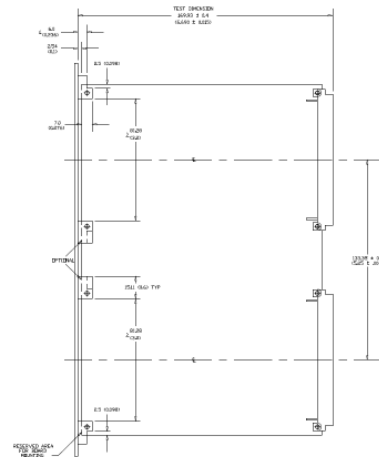


그림 2. 규약 2,

둘째는 SBC의 기능의 다양성이라 할 수 있다.

전통적인 군 SBC의 개념은 하나의 작업을 하나의 소형 컴퓨터로 처리 하는 방식이었다면 현재의 군 SBC는 하나의 컴퓨터에서 여러 작업을 동시에 진행 하게 된다. 이렇게 한정된 영역에 다양한 요구 조건을 만족하기 위해서는 SBC의 집적도는 더욱 올라가게 되며 이것은 다시 SBC 설계의 어려움으로 개발자에게 돌아 오게 된다.

현재 구현된 SBC의 기능은 그림3과 같다

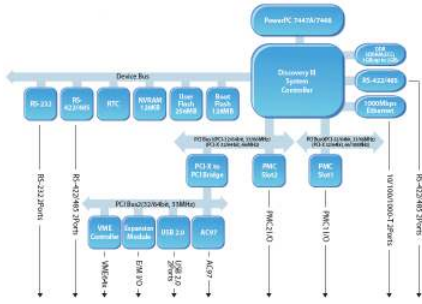


그림 3. SBC 기능 블록 다이어그램

셋째는 환경적인 측면이라 할 수 있다.

모든 군 장비도 마찬 가지지만 특히 SBC는 사용 환경에 지대한 영향을 받다 보니 그 기준 또한 엄격하고 할 수 있다. 현재 가장 널리 사용되는 그 표준은 미국방성에서 정한 MIL-STD-810x 규정을 따르고 있다.

지금까지는 군 SBC를 위한 메모리 설계시 여러 어려움에 대하여 논하였다면 지금 부터는 이러한 어려움 해결하고자 본 논문에서 제시한 방법들에 대하여 알아보도록 하자.

일반적인 개인용 컴퓨터(PC)의 같이 표준적인 DIMM 형태의 주기억 장치는 VME 규격상 사용할 수가 없다. 이러한 문제점을 해결하기 위하여 모든 메모리 소자들을 On Board 형태로 실장을 하였다. 또한 여러 기능을 위한 소자를 실장하다 보니 공간적인 제약에 따라 각 메모리 소작들을 Board 앞 뒤로 배치하게 되고 DIMM 형태의 일렬 배열이 아닌 3열 로 배치를 하였다. 즉 한면에 8Bit ECC를 포함하여 9개의 소자를 사용하여 이것을 다시 TOP, BOTTOM SIDE로 하여 총 18EA 소자를 사용하였다.

본 연구 과제의 구현을 위하여 사용된 소자는 Micron사의 MT46V64M8P-6T를 사용하였으며 System Controller로는 Marvell사의 Discovery III 계열의 MV64460을 사용 하였다.

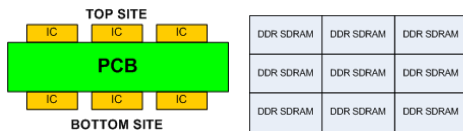


그림 4. 메모리 소자 배열

PCB 적층 구조는 Double Data Rate (DDR) SDRAM Specification, JESD73E에서 제시한 방법이 아닌 본 연구에 적합한 구조로 변경을 하였으며 PCB 제조 방법은 Build-B Type과 유사한 형태로 하였다. 그

림 5참조

총 18 Layer 구성하고 여러 종류의 VIA 사용하였다. VIA 종류에 따라 사용될 메모리 I/F 신호 들을 정의 하였다. 이렇게 함으로서 양면에 대칭 적으로 배치되는 소자에게 전달 되어지는 신호의 Loss 및 간섭을 최소화 하였다.

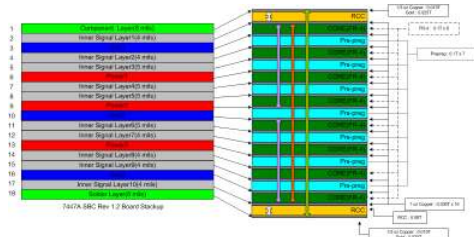


그림 5. PCB 적층 구조 및 VIA 종류

DDR 신호 들은 Setup과 Hold 시간의 단축, 기준전압의 무결성, 고속스위칭에 따른 매칭, 새로운 I/O (SSTL-2)신호, 적당한 termination 등의 기법들이 설계자들에게 요구되고 있다.

이러한 요구 조건들은 DDR Controller에 의해서 정의 되어지는 부분도 있고 DDR 소자에 의하여 정의 되어 지는 경우도 있다. DDR Controller에 의한 부분은 다음과 같이 크게 2가지가 있다.

* M_STARTBURST

DDR Controller에서 DDR소자까지의 경로상에 있는 모든 Component 들의 Time delay, PCB Pattern에 의해 발생 되는 Time Delay를 등을 합한 총 Delay Time을 DDR Controller가 예측가능하도록 하는 기능이다. 이러한 기능은 Busrt 전송시에 정확 도성을 높이는데 사용된다.

* M_DCAL, M_ACAL

DDR Controller의 DDR 관련 신호의 강도를 조절한다. 서로 다른 Interface상에 정확한 drive calibration을 위해서는 적절한 저항을 사용하는 것을 권고하고 있으며, AC timing 의 전기적인 특성을 만족하는 범위 내에서는 가장 커다란 calibration 값을 사용도록 권장하고 있다.

-> DDR Address and data SSTL2 Class-1:50 Ω

->- DDR Address and data SSTL2 Class-2:22~33Ω

본 논문에서 제시 된 방법으로 구현된 SBC는 현재 이 두 저항 값이 모두 0Ω이 적용 되었다.

DDR 소자에 의해 정해지는 요구 조건들은 JESD73E에 정의 되어 있으며 본 논문에서 구현된 SBC는 다음과 같이 3가지 부분을 최적화해서 다른 것으로 사용하였다.

본 논문에서 사용된 시뮬레이션 S/W는 Mentor Graphics 사의 Hyper Lynx를 사용 하였다.

* Address, Command 신호의 AC Capacitor 제거
Capacitor 제거 전 후의 전후의 파형 변화는 그림6, 그림 7과 같으며 제거후 DDR 소자 입력 파형이 개선 된 것을 확인 할 수 있다.

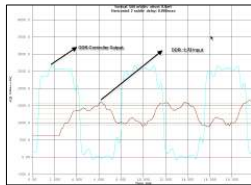


그림 6. 제거 전

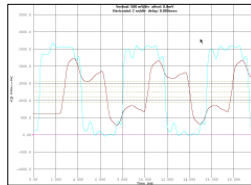
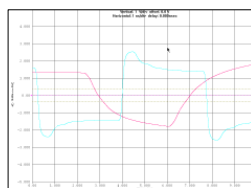
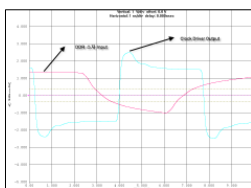


그림 7. 제거 후

* Clock 신호의 Serial Resistor Value 변경을 통하여도 성능을 개선 하였으며 두 차동 Clock 신호 모두에 적용 하였다.

- > 권장 : 20 Ω
- > 적용 : 100 Ω



III. 결론

군 이라는 특화된 Rugged 환경으로 인해 DDR 메모리 표준에서 정의해 놓은 방법대로 디자인을 할 수 없는 것인 현실이다.

본 논문에서는 System Controller와 DDR 메모리 소자 간에 I/F를 구현시 고려 될 사항과 발생 되는 문제점에 대한 해결 방안을 제시하였다. 현재 본 논문에서 제시된 여러 방법들로 구현된 SBC는 다양한 분야에서 사용 되어 지고 있다.

참고문헌

- [1] American National Standard IV VME64, ANSI/VITA1-1994,
- [2] American National Standard for VME64 Extensions, ANSI/VITA1.1-1997
- [3] VME64 Extensions for Physics and Other Applications, ANSI/VITA23-199x
- [4] IEEE Standard Physical and Environmental Layers for PCI Mezzanine Cards, IEEE Std 1386.1-2001
- [5] Double Data Rate (DDR) SDRAM Specification, JESD73E
- [6] DEPARTMENT OF DEFENSE TEST METHOD STANDARD FOR ENVIRONMENTAL ENGINEERING CONSIDERATIONS AND LABORATORY TESTS AMSC, MIL-STD-810F
- [7] <http://www.freescale.com>
- [8] <http://www.mavell.com>
- [9] <http://www.micron.com>