

IEEE 802.11n WLAN 표준용 Layered LDPC 복호기의 저면적 구현

정상혁* · 나영현** · 신경욱**

*고등기술연구원, **금오공과대학교 전자공학부

An Area-efficient Implementation of Layered LDPC Decoder for IEEE 802.11n WLAN

Sang-Hyeok Jeong*, Young-Heon Na**, Kyung-Wook Shin**

*Institute for Advanced Engineering, **School of Electronic Eng., Kumoh National Institute of Technology

E-mail : yhna@kumoh.ac.kr

요 약

IEEE 802.11n WLAN 표준의 블록길이 1,944비트, 부호화율 1/2을 지원하는 layered LDPC 복호기 프로세서를 설계하였다. 하드웨어 복잡도 감소를 위해 최소합 알고리즘과 layered 구조를 적용하였으며, 최소합 알고리즘의 특징을 이용하여 검사노드 메모리의 용량을 기존의 방법보다 75% 감소시켰다. 설계된 프로세서는 200,400 게이트와 19,400비트의 메모리로 구현되었으며, FPGA 구현을 통해 하드웨어 동작을 검증하였다. Xilinx사의 Virtex-4 FPGA XC4vlx25 디바이스로 합성한 결과 120 MHz 클럭으로 동작하여 약 200 Mbps의 성능을 나타내었다.

ABSTRACT

This paper describes a layered LDPC decoder which supports block length of 1,944 bits and code rate 1/2 for IEEE 802.11n WLAN standard. To reduce the hardware complexity, the min-sum algorithm and layered architecture is adopted. A novel memory reduction technique suitable for min-sum algorithm reduces memory size by 75% compared with conventional method. The designed processor has 200,400 gates and 19,400 bits memory, and it is verified by FPGA implementation. The estimated throughput is about 200 Mbps at 120 MHz clock by using Xilinx Virtex-4 FPGA device.

키워드

LDPC (Low-Density Parity-Check), IEEE 802.11n, WLAN, min-sum algorithm

1. 서 론

차세대 무선 랜(IEEE 802.11n), 모바일 WiMAX (IEEE 802.16e), 디지털 HD 방송(DVB-S2) 등 차세대 이동통신 및 방송기술은 다양한 멀티미디어 기반의 서비스 제공을 위해 고속화되고 있으며, 기존의 3세대 시스템 보다 더 높은 데이터 전송율과 높은 신뢰도를 필요로 한다. 무선채널의 페이딩, 음영현상, 경로손실 등 다양한 원인에 의한 채널잡음이 발생하며, 이러한 잡음에 대응하기 위해 다양한 채널 부호화 기법들이 사용된다. 기존의 3세대 시스템에서는 오류정정(error correction)을 위해 터보부호를 사용하여 왔으나, 차세대 고속 이동통신 시스템에서는 채널용량의 한계에 근접한 높은 성능과 함께 고속 복호가 가능한 새로운 채널코딩 기법이 요구된다.

최근, 차세대 오류정정 부호화 방식으로 LDPC (Low-Density Parity-Check) 부호가 많은 관심을 받고 있다. LDPC 부호는 1962년 로버트 갤러거에 의해 제안된 채널부호화 기법이다.^[1] 당시의 기술로는 구현이 어려워 관심을 받지 못하였으나, 그 후 정보기술과 반

도체 기술의 발달에 힘입어 1990년대부터 재조명되고 있으며, 반복적 복호를 사용하면서도 복잡도가 크게 증가하지 않는 LDPC 부호의 특성 및 생성방법에 대한 연구가 활발히 진행되고 있다. LDPC 부호는 유럽의 디지털 위성방송 규격 DVB-S2^[2], 차세대 무선 랜 규격 IEEE 802.11n^[3], 모바일 WiMAX 규격 IEEE 802.16e^[4] 등에서 채널부호화 방법으로 채택되고 있다.

LDPC 부호의 복호는 태너 그래프(Tanner graph) 상에서 변수노드와 검사노드 사이의 반복적인 메시지 전달로 수행될 수 있다^[5]. 변수노드와 검사노드 사이의 메시지 전달과정에서 각 노드는 새로운 정보를 저장할 메모리를 필요로 하며, 블록길이가 긴 부호일수록 큰 용량의 메모리가 필요하여 복호기 면적의 많은 부분을 차지하게 된다. 따라서 LDPC 복호기의 저면적 설계를 위해 메모리 최적화에 대한 연구가 필요하다.

본 논문에서는 IEEE 802.11n WLAN 표준용 LDPC 복호기를 최소합 알고리즘을 이용하여 설계하였으며, 검사노드 메모리를 최소화할 수 있는 새로운 방법을 고안하여 설계에 적용하였다.

II. LDPC 복호 알고리즘

LDPC 부호의 복호는 패리티 검사 행렬(Parity Check Matrix; PCM)에 의해 구성되는 태너 그래프 상의 변수노드와 검사노드 사이에서 반복적인 메시지 전달과정에 의해 이루어진다. 대표적인 LDPC 복호 알고리즘으로 SPA^[6], SPA의 계산 복잡도를 감소시킨 LLR-SPA^[7], LLR-SPA를 근사화하여 계산 복잡도를 더욱 감소시킨 MSA^[8] 등이 있다.

본 논문에서 사용하는 최소합 알고리즘(MSA)^[8]은 LLR-SPA의 함수 $\phi(x)$ 는 x 가 작을 때 큰 값을 가지며, x 가 커지면 거의 0에 근접하는 특성을 근사화한 알고리즘이다. 식(1)에서 함수 $\phi(x)$ 의 합은 x 값이 매우 작을 때 가장 큰 영향을 주므로 $\sum \phi(X) \approx \phi(\min(X))$ 로 근사화될 수 있다. 함수 $\phi(x)$ 는 $x > 0$ 일 때 역함수와 분함수 값이 같으므로 $\phi(\phi(\min(X))) = \min(X)$ 로 변환되어 식(2)와 같이 근사화될 수 있다.

$$L_{j \rightarrow i} = \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j} \right) \cdot \phi \left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}) \right) \quad (1)$$

$$\phi \left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}) \right) \approx \phi \left(\phi \left(\min_{j' \in \omega(j) \setminus \{i\}} \beta_{i'j} \right) \right) = \min_{j' \in \omega(j) \setminus \{i\}} \beta_{i'j} \quad (2)$$

식(1)은 식(2)에 의해 식(3)과 같이 근사화될 수 있으며, 이를 최소합 알고리즘이라 한다. MSA는 복잡한 $\phi(x)$ 의 연산과정을 피할 수 있고, LUT를 사용하지 않으므로 연산 복잡도와 하드웨어 면적이 감소하는 장점을 갖는다. 반복복호 과정에서 식(3)과 식(4)에 의해 사후확률 값 z'_i 가 식(5)와 같이 계산된다.

$$L'_{j \rightarrow i} \approx \left(\prod_{j' \in \omega(j) \setminus \{i\}} \alpha_{i'j} \right) \cdot \left(\min_{j' \in \omega(j) \setminus \{i\}} \beta_{i'j} \right) \quad (3)$$

$$L_{i \rightarrow j} = z_i - L'_{j \rightarrow i} \quad (4)$$

$$z'_i = L_{i \rightarrow j} + L'_{j \rightarrow i} \quad (5)$$

III. IEEE 802.11n용 LDPC 복호기 설계

IEEE 802.11n 표준의 블록길이 1,944비트와 부호화율 1/2을 지원하는 LDPC 복호기 프로세서를 최소합 알고리즘 기반의 layered 복호방법과 검사노드 메모리 최소화 방법을 적용하여 설계하였다.

1. 전체 구조

설계된 LDPC 복호기의 구조는 그림 1과 같으며, 복호연산을 수행하는 81개의 DFU(Decoding Function Unit) 어레이, PCM 정보를 저장하는 H-ROM과 PCM 정보에 따라 데이터를 순환 시프트시키는 permuter, 검사노드와 변수노드의 메시지를 저장하는 메모리, 그리고 전체 동작을 제어하는 제어블록으로 구성된다.

IEEE 802.11n 표준의 블록길이 1,944비트, 부호화율 1/2의 PCM은 부행렬(sub-matrix)의 크기가 81×81이며, PCM의 대부분은 영(zero) 행렬로 이루어져 있다.

영 행렬은 태너 그래프상에서 연결을 형성하지 않으며 연산도 이루어지지 않으므로, 영 행렬을 효율적으로 무시하기 위해 블록순차(block serial) 구조로 설계하였다.

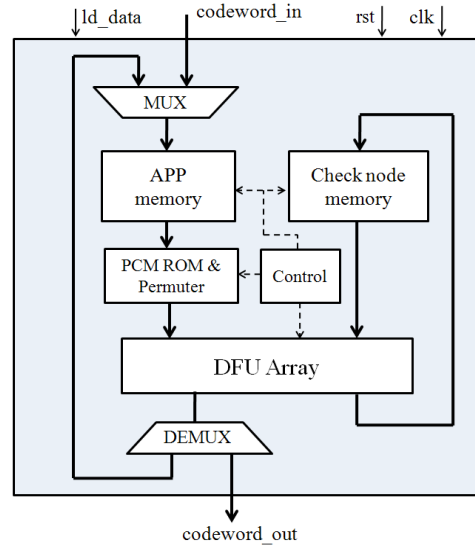


그림 1. 설계된 LDPC 복호기의 구조

2. DFU의 구조 및 동작

DFU는 반복복호 과정에서 식(3)~식(5)에 의해 사후확률 값 z'_i 를 계산하는 블록이며, 그림 2와 같은 구조로 설계되었다. 최소값 검출기(Min_det), 부호비트 누산기(XOR), 데이터의 지연을 위한 FIFO(First-In First-Out) 메모리, 덧셈기, 뺄셈기, 비교기 그리고 수체계 변환기(TC_SM, SM_TC) 등으로 구성된다.

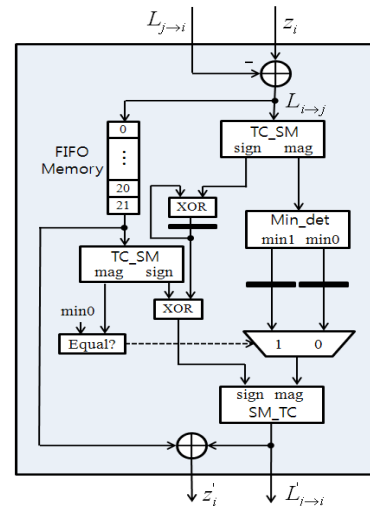


그림 2. 설계된 DFU의 구조

DFU 내부의 LLR 값은 8비트로 근사화되고 부호와 크기가 분리되어 계산된다. DFU의 연산과정은 다음과 같다. 사후확률 값 z_i 와 변수노드 값 $L_{j \rightarrow i}$ 를 입력받아

$L_{i \rightarrow j}$ 를 계산한 후, 계산된 $L_{i \rightarrow j}$ 는 부호와 크기로 분리되어 부호는 순차적으로 계산되는 $L_{i \rightarrow j}$ 의 부호들과 누적하여 곱셈(XOR 연산) 된다. 분리된 크기는 순차적으로 입력되어 계산되는 $|L_{i \rightarrow j}|$ 들과 비교되어 최소값과 준최소값이 검출된 후 레지스터에 저장된다.

순차적으로 계산된 $L_{i \rightarrow j}$ 는 FIFO에 누적되어 입력된 수만큼 지연된 후, 부호와 크기로 분리된다. 분리된 크기 $|L_{i \rightarrow j}|$ 와 검출된 최소값 \min_0 를 비교하여 두 값이 같으면 준최소값 \min_1 을 새로운 $|L_{j \rightarrow i}|$ 으로 결정하고, 다르면 최소값 \min_0 을 새로운 $|L_{j \rightarrow i}|$ 으로 결정한다. 식(3)에 따르면, i 번째 $|L_{j \rightarrow i}|$ 를 결정할 때에는 i 번째 $|L_{i \rightarrow j}|$ 를 제외한 나머지 $i' \in \omega(j) \setminus \{i\}$ 번째 $|L_{i \rightarrow j}|$ 의 크기 중 가장 작은 값을 선택하므로, 전체 $i \in \omega(j)$ 중 가장 작은 $|L_{i \rightarrow j}|$ 가 발생한 위치에는 준최소값이 갱신되고, 나머지 $i' \in \omega(j) \setminus \{i\}$ 번째 $|L_{j \rightarrow i}|$ 에는 최소값이 갱신된다. 부호의 누적 곱셈도 동일한 원리로 모든 부호를 누적 곱셈한 다음 i 번째 $L_{j \rightarrow i}$ 의 부호를 계산하기 위해 i 번째 $L_{i \rightarrow j}$ 의 부호를 한번 더 $i' \in \omega(j) \setminus \{i\}$ 번째 부호들만 누적 곱셈한 결과와 동일하게 만든다. 결정된 $|L_{j \rightarrow i}|$ 의 크기와 부호를 이용하여 2의 보수 수 체계의 $L'_{j \rightarrow i}$ 를 계산하여 출력한다. 사후확률 z'_i 는 FIFO에 의해 지연된 $L_{i \rightarrow j}$ 와 DFU 연산을 통해 계산된 $L'_{j \rightarrow i}$ 를 더해서 계산된다.

DFU의 동작은 메모리로부터 z'_i 와 $L'_{j \rightarrow i}$ 를 읽어오는 읽기동작, 연산된 z'_i 와 $L'_{j \rightarrow i}$ 를 메모리에 저장하는 쓰기동작, 연산과정으로 이루어진다. 읽기동작과 쓰기동작은 최초 1회를 제외하고는 항상 중첩되어 일어나며, $(i-1)$ -번째 레이어의 쓰기동작은 i -번째 레이어의 읽기동작과 동시에 일어난다. 연산과정은 읽기동작 동안 결정된 부호 누적 곱셈과 최소값/준최소값 검출의 결과를 레지스터로 저장하는 과정이다. 이와 같은 DFU 연산은 평균 12 사이클에 처리되어 새로운 z'_i 와 $L'_{j \rightarrow i}$ 가 메모리에 갱신된다.

3. 검사노드 메모리 최소화 방법

LDPC 복호기의 검사노드 메모리에는 수평단계의 연산결과 $L_{j \rightarrow i}$ 가 저장된다. 이 때, $L_{j \rightarrow i}$ 의 크기 $|L_{j \rightarrow i}|$ 는 식(3)에 의해 β_{ij} 의 최소값으로 갱신되며, 최소값이 발생한 i 번째 $|L_{j \rightarrow i}|$ 은 최소값을 제외한 나머지 β_{ij} 의 최소값으로 갱신된다. 이는 $|L_{j \rightarrow i}|$ 가 다수의 최소값과 하나의 준최소값으로 갱신됨을 의미한다. 또한, 식(3)에서 $\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}$ 은 $L_{j \rightarrow i}$ 의 부호비트로 사용되어 양수와 음수를 나타낸다. 따라서 $L_{j \rightarrow i}$ 은 최소값과 준최소값 그리고 각각의 부호만으로 갱신될 수 있으며, 식(6)과 같은 4가지 경우로 정리될 수 있다.

본 논문에서는 식(6)을 토대로 $L_{j \rightarrow i}$ 메모리(검사노드 메모리)의 크기를 줄일 수 있는 효과적인 방법으로 최소값/준최소값의 여부와 부호를 2비트로 표현하여 저장하는 방법을 고안하여 적용하였다.

$$L_{j \rightarrow i} = \begin{cases} + \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j} \\ - \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j} \\ + \min_{i' \in \omega(j)} \beta_{i'j} \\ - \min_{i' \in \omega(j)} \beta_{i'j} \end{cases} \quad (6)$$

본 논문에서 제안된 방식은 $L_{j \rightarrow i}$ 의 부호비트인 Sign과 $|L_{j \rightarrow i}|$ 의 최소값 여부를 표현하는 Mag를 2비트로 저장한다. 기존의 방법은 $1,944 \times 8 = 15,552$ 비트의 메모리가 필요하다. 반면에, 본 논문에서 제안한 방법은 $1,944 \times 2 = 3,888$ 비트의 메모리만 사용되며, 따라서 검사노드 메모리의 크기를 1/4로 감소시킬 수 있다. 본 논문의 방법은 근사화 비트 폭에 무관하게 검사노드 메모리의 용량을 일정하게 유지할 수 있다.

IV. 설계검증 및 성능평가

LDPC 복호기 프로세서는 Verilog HDL로 설계되었으며, 그림 3의 과정으로 기능검증과 복호성능 평가가 이루어졌다. Matlab을 이용하여 랜덤 소스벡터 생성, LDPC 부호화, 변조, 채널잡음 삽입 그리고 복조 등을 통해 $E_b/N_0 = 0.5 \text{ dB} \sim 3 \text{ dB}$ (0.5 dB 간격)의 시뮬레이션 벡터를 생성하였다. 8비트로 양자화된 시뮬레이션 벡터를 이용하여 설계된 복호기의 기능검증을 수행하고, BER 성능을 분석하였다.

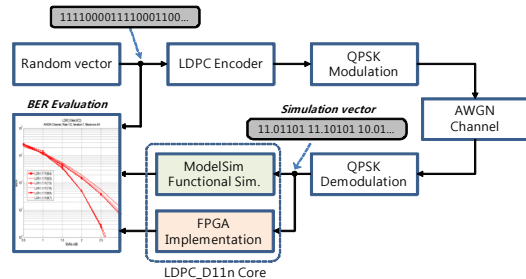


그림 3. 설계된 LDPC 복호기의 검증과 성능평가 방법

FPGA 구현을 통한 하드웨어 검증 시스템의 구성도는 그림 4와 같다. FPGA 디바이스는 Xilinx XC3S400이 사용되었으며, RS-232c 직렬통신 프로토콜을 이용하여 PC와 연결된다. 검증용 테스트 벡터는 PC에서 Matlab으로 생성되어 RS-232c 통신을 통해 FPGA 보드로 인가된다. FPGA 보드에 수신된 데이터는 UART 코어를 이용하여 8비트로 변환된 후, Wrapper를 이용하여 648비트로 변환되어 FPGA에 구현된 LDPC 복호기로 인가된다. LDPC 복호기에서 복호화된 결과값은 Wrapper와 UART를 거쳐 RS-232c 통신을 통해 PC로 보내며, PC에서는 복호결과로부터 정정되지 못한 오류에 대한 분석을 거쳐 결과를 모니터에 출력한다. FPGA 구현 검증결과는 그림 5와 같으며, $E_b/N_0 = 3.0 \text{ dB}$ 인 경우에 QPSK 변조된 신호의 정상도 패턴이 비교적 뚜렷하며, 복호기에 의해 정정되지 못한 오류 비트들이 매우 적음을 확인할 수 있다. FPGA 구현 검증

결과는 ModelSim 시뮬레이션 결과와 유사한 BER 성능을 보였으며, 따라서 설계된 LDPC 복호기 프로세서가 정상 동작함을 확인할 수 있다. 설계된 LDPC 복호기 프로세서는 Xilinx사의 Virtex-4 FPGA XC4v1x25 디바이스로 합성하여 디바이스 사용률과 동작속도를 평가하였으며, 120 MHz 클럭으로 동작하여 약 200 Mbps의 성능을 나타내었다. 설계된 LDPC 복호기 프로세서의 FPGA 합성결과는 표 1과 같다.

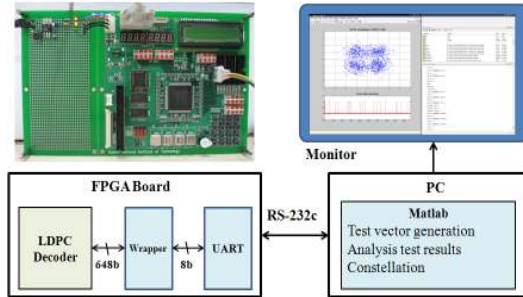


그림 4. FPGA 구현 검증 시스템 구성도

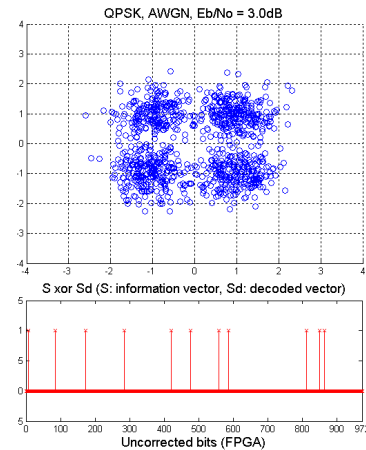


그림 5. 설계된 LDPC 복호기의 FPGA 검증 결과

표 1. 설계된 LDPC 복호기의 FPGA 합성 결과

	Used	Available	Usage
Device	XC4v1x25		
Slices	10,020	10,752	93%
Slice F/Fs	9,925	21,504	46%
4 input LUTs	21,225	21,504	98%
GCLKs	27	32	84%
Block Memory	ROM : 1,290bits, RAM : 21,870bits		
Clock freq.	48.896 MHz		
Throughput	205.6 Mb/s		

V. 결 론

IEEE 802.11n 차세대 WLAN 표준용 블록길이 1,944비트와 부호화율 1/2을 지원하는 LDPC 복호기

를 설계하고 검증하였다. 설계된 복호기는 검사노드 메모리에 저장되는 중간 결과값을 근사화 비트 폭에 무관하게 2비트의 정보만으로 저장하는 새로운 방법을 고안하여 적용함으로써 기존의 방법에 비하여 검사노드 메모리를 75% 감소시켰다. 설계된 LDPC 복호기의 FPGA 구현을 통해 하드웨어 동작을 검증하여 정상 동작함을 확인하였다. 향후 다양한 블록길이와 부호화율을 지원하는 다중모드 LDPC 복호기에 대한 연구가 진행될 예정이다.

참 고 문 헌

- [1] R. Gallager, "Low-Density Parity-Check Codes", *IRE Trans. Info. Theory*, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI
- [3] IEEE P802.11n/D3.07, Draft Amendment to Standard for Information Technology - Telecommunications and information exchange between systems - Local and Metropolitan networks-Specific requirements-Part11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: Enhancements for Higher Throughput, *IEEE Std. 802.11n*, 2008.
- [4] IEEE Standard for Local and metropolitan area networks Part 16: Air Interface for Fixed and Mobile Broadband Wireless Access Systems Amendment 2: Physical and Medium Access Control Layers for Combined Fixed and Mobile Operation in Licensed Bands and Corrigendum 1, *IEEE Std. 802.16e*, 2005.
- [5] D.J.C. MacKay and R. M. Neal. "Near Shannon limit performance of low density parity check codes," *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645- 1646, Aug. 1996.
- [6] F.R. Kschischang, B.J. Frey, and H.A. Loeliger, "Factor graphs and the sum product algorithm," *IEEE Transaction on Information Theory*, vol. 47, pp. 498-519, Feb., 2001.
- [7] J. Chen and M. Fossorier, "Density evolution for two improved BP-based decoding algorithm of LDPC codes," *IEEE Commun. Lett.*, vol. 6, pp. 208-210, May, 2002.
- [8] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," *IEEE Trans. Commun.*, vol. 47, pp. 673-680, May 1999.

※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.