

---

# 1V 200-kS/s 10-bit Successive Approximation ADC

어지훈\* · 김상훈\* · 장영찬\*

\*금오공과대학교

## A 1V 200-kS/s 10-bit Successive Approximation ADC

Ji-hun Uh\* · Sang-hun Kim\* · Young-Chan Jang\*

\*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

### 요 약

Rail-to-rail 입력 범위를 가지는 200kS/s 10-bit successive approximation (SA) ADC가 제안된다. 제안된 SA ADC는 DAC, 비교기, 그리고 successive approximation register (SAR) logic으로 구성된다. DAC는 전력소모를 줄이고 면적을 줄이기 위해 capacitor를 이용한 folded-type으로 구현되며, parasitic 성분에 의한 영향을 줄이기 위해 boosted NMOS switch를 사용한다. 또한 fully differential voltage-to-time converter를 이용하는 time-domain comparator를 제안한다. 이는 PSRR 및 CMRR을 향상시킨다. 또한 출력의 유효구간을 반으로 줄인 flip-flop을 사용함으로써 SAR logic의 전력소모와 chip area를 줄인다. 제안된 SA ADC는 1V supply를 가지는 0.18 $\mu$ m CMOS 공정을 사용한다.

### ABSTRACT

A 200kS/s 10-bit successive approximation(SA) ADC with a rail-to-rail input range is proposed. The proposed SA ADC consists of DAC, comparator, and successive approximation register(SAR) logic. The folded-type capacitor DAC with the boosted NMOS switches is used to reduce the power consumption and chip area. Also, the time-domain comparator which uses a fully differential voltage-to-time converter improves the PSRR and CMRR. The SAR logic uses the flip-flop with a half valid window, it results in the reduction of the power consumption and chip area. The proposed SA ADC is designed by using a 0.18 $\mu$ m CMOS process with 1V supply.

### 키워드

ADC, successive approximation, DAC, voltage-to-time converter, time-domain comparator

### 1. 서 론

센서, 휴대용 진단장치, 그리고 energy-harvest 시스템과 같은 저전력의 특성을 요구하는 응용분야에서 micro-powered SoCs 위한 회로기술에 대해 광범위한 연구가 이루어지고 있다. 특히 바이오 응용분야에서 의료장비 및 의료관련 센서를 위한 저속, 저전력의 analog-to-digital converter (ADC)의 연구가 활발히 이루어지고 있다. 뇌파의 종류인 Eelec-troencephalography(EEG)와 magnet-oencephalo-graphy(MEG) 신호를 측정하기 위해 50 ~ 70 dB 의 dynamic range와 100 ~ 100

khz의 sampling rate을 가지는 ADC가 요구되고 있다. 이와 같은 응용분야를 위해 8 ~ 12bit, 100kS/s 이상의 샘플링 속도를 가지는 successive approximation(SA) ADC가 적합한 구조이다[1]. 특히 switched capacitor를 이용하는 SA ADC는 아날로그 회로 블록의 최소한의 사용 때문에 저전력 응용분야에 선호되는 구조이다.

본 논문은 EEG와 MEG와 같은 bio-signal을 측정하기 위한 200kS/s 10-bit SA ADC를 제안한다. 제안하는 SA ADC는 fully-differential voltage-to-time converter를 이용한 time-domain comparator, folded-type의 capacitor를 이용한

rail-to-rail conversion range를 가지는 DAC, 그리고 출력의 유효구간을 반으로 줄인 flip-flop을 사용하는 SAR logic으로 구성되며, 1V supply의 0.18um CMOS 공정에서 설계된다.

## II. Successive Approximation ADC 구조

그림1은 Switched capacitor-based differential DAC, time-domain 비교기, 그리고 SAR logic으로 구현된 10-bit SA ADC의 블럭도이다. 데이터 변환은 총 12 클럭 주기가 필요하며, 첫 번째 클럭 주기는 reset mode로 DAC의 노드전압을 초기화한다. 두 번째 클럭 주기에서는 차동입력 전압( $V_{IN+}-V_{IN-}$ )을 sample하며, differential capacitor DAC의 출력( $V_{DAC+}$ ,  $V_{DAC-}$ )을  $V_{DD}/2$ 로 레벨을 변화시킨다. 데이터 변환은 이어지는 10번의 클럭 주기 동안 이루어진다. conversion 과정동안 DAC의 출력은  $V_{DD}/2$ 로 수렴한다.

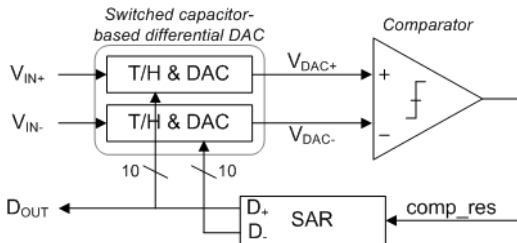


그림 1. 제안하는 SA ADC 구조

그림2는 folded-type의 capacitor를 이용한 rail-to-rail conversion range를 가지는 DAC의 회로도이다[2]. Reset 모드일 때, DAC의 출력 ( $V_{dac+}$ ,  $V_{dac-}$ )은 0으로 초기화된다. Sample모드일 때, DAC의 출력( $V_{dac+}$ ,  $V_{dac-}$ )은  $V_{IN+}$ 과  $V_{IN-}$ 가 sample 될 때 서로 연결된다. 그리고 DAC 출력은 rail-to-rail 입력 전압에서  $V_{DD}/2$ 으로 level-shift 시킨다. 또한 Boosted NMOS switch가 사용된다. Conversion cycle동안에는 DAC 출력 ( $V_{dac+}$ ,  $V_{dac-}$ )이 서로 분리되고 successive approximation이 동작이 수행된다.

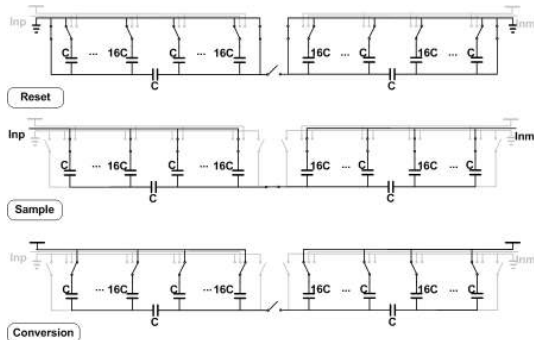


그림 2. Folded-type differential capacitor DAC

그림3은 fully differential voltage-to-time converter를 이용한 time-domain comparator이다. 제안된 time-domain comparator는 fully differential voltage-controlled delay converter (VCDC)와 binary phase detector로 구성된다[3]. Time-domain comparator는  $V_{DAC+}$ ,  $V_{DAC-}$ 의 voltage 차이를 VCDC를 이용하여 time delay 차이로 변환시키고 binary phase detector에서 time delay 차이를 서로 비교한다.

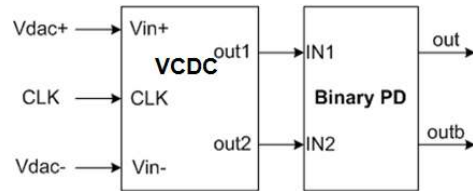


그림 3. Time-domain Comparator

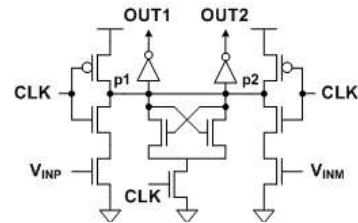
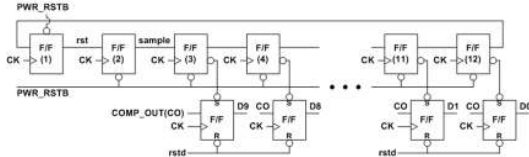


그림 4. Differential voltage controlled delay converter

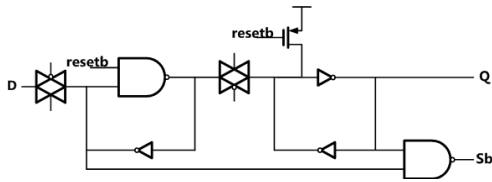
그림4은 제안하는 VCDC의 회로도이다. CLK 신호가 low일 때 두 입력단의 출력(p1, p2)이 high 상태로 pre-charge되어 VCDC 출력값 (OUT1, OUT2)가 모두 0이 된다. CLK 신호가 high일 때 두 입력단의 출력(p1, p2)이 high 상태에서 low 상태로 변한다. 이때  $V_{INP}$ 와  $V_{INNM}$ 을 입력으로 가지는 NMOS와 두 입력단 출력에 연결된 cross-coupled latch에 의해 VCDC의 출력값이 high로 변할 때 time delay 차이가 발생된다. VCDC 출력에서 delay difference를 binary phase-detector를 이용하여 서로 비교함으로써 비교기의 동작을 수행한다.

그림 5(a)는 successive approximation register 블록을 나타내었다. SAR 블록은 기본적으로 10번에 걸친 순차적으로 출력되는 비교기의 출력을 저장하기 위한 10개의 flip-flop과 Reset, Sample, 그리고 Conversion mode를 제어하기 위한 shift register 블록으로 구성된다. 이를 위해 SAR logic은 F/F(1)부터 F/F(12)까지 12 clock cycle을 1주기로 reset, sample, conversion signal을 만들고 이는 DAC에 boosted NMOS switch를 reset, sample, conversion signal에 맞춰 switching시킨다. 그리고 F/F(3)번부터 F/F(12)까지 연결된 F/F은 comparator의 출력값을 입력으로 받아 DAC의 10-bit conversion 값을 출력으로 내보낸다.

그림 5(b)는 SAR logic 와 출력의 유효구간을 반으로 줄인 D-FF이다. 이 flip-flop을 사용함으로써 각 모드사이의 non-overlap을 위해 별도의 회로를 사용하지 않아도 됨으로 전력소모와 하드웨어를 줄일 수 있다.



(a) SAR Logic의 전체 블록도



(b) SAR Logic에 사용된 flop/flip

그림 5. SAR Logic의 블록도

### III. 시뮬레이션 결과

제안된 200kS/s 10-bit SA ADC를 1V supply 를 가지는 0.18μm CMOS 공정에서 설계하였다.

그림 6은 VDCD의 static 특성에 대한 시뮬레이션 결과이다. Typical corner에서 1mV의 입력전압 차이를 69.3ps의 time delay 차이로 변환하였다. 1V supply에서 전류소모는 1uA 미만이다.

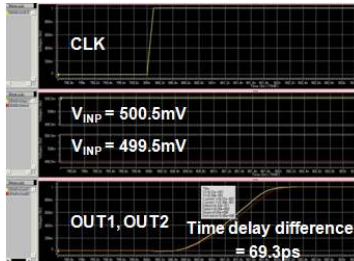


그림 6. VDCD의 static 특성 (@ TT corner)

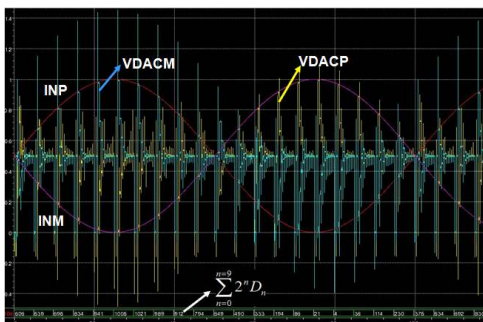


그림 7. SA ADC의 전체 시뮬레이션

그림 7은 10kHz, 1Vpp의 입력신호, 200kS/S의 sampling 속도에서 설계된 SA ADC의 전체 시뮬레이션 결과이다. 전체 전력소모는 5uW이다. 그림 8은 위와 동일한 조건에서 1.1kHz의 입력신호에 대한 SA ADC의 출력을 FFT한 결과이다. 58.3dB의 SNDR을 보였으며, 9.4bit의 ENOB를 나타내었다.

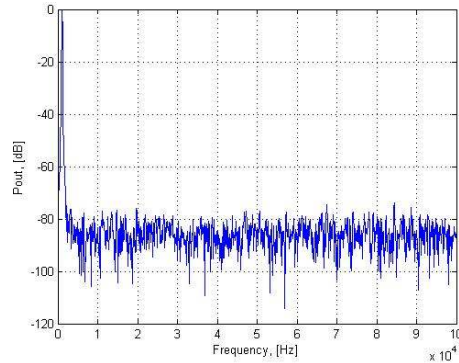


그림 8. SA ADC의 dynamic 특성

### IV. 결론

Rail-to-rail 입력 범위를 가지는 200kS/s 10-bit successive approximation (SA) ADC가 제안된 SA ADC는 1V supply를 가지는 0.18μm CMOS 공정에서 설계되었다. 제안된 SA ADC는 DAC, 비교기, 그리고 SAR logic으로 구성된다. PSRR 및 CMRR 등의 아날로그 특성을 향상시키기 위해 fully differential voltage-to-time converter를 이용하는 time-domain comparator를 제안하였다. 또한 출력의 유효구간을 반으로 줄인 flip-flop을 사용하여 SAR logic의 전력소모를 줄였다. 제안된 SA ADC는 1.1kHz, 1Vpp의 입력신호에 대해 200kS/s의 sampling 속도에서 58.3dB의 SNDR, 9.4bit의 ENOB를 나타내었다. 전력소모는 5uW이다.

### 참고문헌

- [1] N. Verma, et. al., "An ultra low energy 12-bit rate-resolution scalable SAR ADC for wireless sensor nodes," *IEEE JSSC*, vol. 42, pp. 1196-1205, Jun. 2007
- [2] S.k. LEE, et. al., "A 1.3uW 0.6V 8.7-ENOB Successive Approximation ADC in a 0.18um CMOS," *IEEE ISSCC*, pp. 242-243, 2009
- [3] S.K. Lee, et. al., "A 1GHz ADPLL with a 1.25ps Minimum-Resolution Sub-Exponent TDC in 0.18μm CMOS," *IEEE ISSCC*, pp. 482-483, 2010