

특성화된 수중음향통신모뎀을 위한 신호처리 모듈 구현

박영준*, 김영길**
아주대학교 전자공학과
e-mail : netro21c@ajou.ac.kr

Signal Processing Module Development for Specialized Underwater Acoustic Communication Modem

YoungJoon Park*, YoungKil Kim**
Ajou University

요 약

기존의 수중음향통신모뎀은 상용 제품들을 기반으로 개발되어 수중음향통신모뎀의 기능 및 성능 구현은 가능하지만 개발 시스템을 제품화하기에는 시스템의 크기나 개발 비용 등에서 단일 플랫폼으로의 시스템 구현이 필수적으로 요구되었다. 따라서 본 논문에서는 수중음향통신모뎀의 단일 하드웨어 플랫폼을 구현함에 있어 중요한 역할을 하는 신호처리 모듈을 TigerSHARC DSP 칩을 이용하여 설계 및 구현하고자 한다.

Abstract

The existing underwater acoustic communications modem is developing based on commercial products, so it is possible on functionality and performance of under water acoustic communications modem implementation. But the production of development system is required to single platform system implementation at the system's size and cost. So this thesis designs and implements the signal processing module as an important role to single hardware platform production of underwater acoustic communication modem by using TigerSHARC DSP chip.

Keywords

수중음향통신, 신호처리, DSP, TigerSHARC, 하드웨어 플랫폼

I. 서 론

지금까지 수중에서의 통신은 전파의 수중에서 흡수 및 산란되기 쉽고 전달 손실이 크기 때문에 지상에서 처럼 일반적인 방법에 의한 무선통신이 불가능하여 오직 음파에 의한 데이터 통신만이 가능하였다. 수중에서의 음파는 그 속도가 전파에 비해 매우 느려 데이터 전송 지연 시간이 길고 대역폭이 한정되어 있어 전송 속도가 낮다는 특징이 있다. 그럼에도 수중무선통신 기술은 음파를 이용하여 수중에서도 자유롭게 디지털 데이터를 송수신할 수 있는 해양개발 및 해양방위에 필요한 전략적 기술이다.

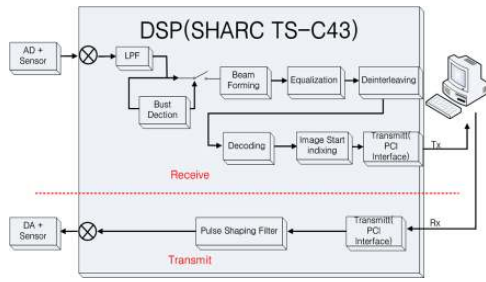
하지만 기존의 수중음향통신모뎀은 상용 제품들을 기반으로 개발되어 수중음향통신모뎀의 기능 및 성능 구현은 가능하지만 개발 시스템을 제품화하기에는 시스템의 크기나 개발 비용 등에서 단일 플랫폼으로의 시스템 구현이 필수적으로 요구된다. 이에, 본 논문에서는 신호처리를 위해 아날로그 디바이스사의 TigerSHARC 칩을 사용하고, TigerSHARC 칩에 부족한 peripheral을 위해 TI사의 TMS320 칩을 사용했

으며, 이 두 DSP 칩 간에 데이터를 주고받기 위해 DPRAM을 사용하여 수중음향통신모뎀의 신호처리 모듈을 설계 및 구현하고자 한다.

II. 기존 연구들

2. 1. 기존 수중무선통신모뎀

기존에 국내에서 개발된 수중무선통신모뎀은 주로 기존의 상용화된 시스템들을 이용하여 구성되었다. 특히 그 중 한국해양연구원에서 개발하였던 수중무선통신모뎀은 PCI 기반의 상용 제품인 TS-C43 DSP Board와 PMC-ADADIO A/D Board, PMC-16AO-12 D/A Board, 산업용 PC의 4 부분으로 구성되어 있다. 센서를 통해 받은 데이터는 A/D 보드를 통해 아날로그 값에서 디지털 값으로 변환되고, 이는 DSP 보드를 통해 계산 및 처리되고, 산업용 PC 부분에서 해당 결과값을 보여주었다. 또한 산업용 PC 부분에서 보낸 데이터는 DSP 보드 및 D/A 보드를 거쳐 Modulation되어 다른 수중무선통신모뎀으로 전송된다. 한국해양연구원의 기존 수중무선통신모뎀은 그림 1과 같은 전체 시스템 개요를 가진다.

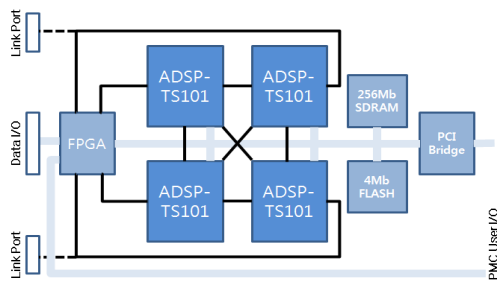


<그림 1. 기존 수중무선통신모형의 시스템 개요도>

또한 기존 수중무선통신모형의 DSP 보드는 4개의 DSP 칩을 가지고 있어 프로그램 소스도 4개의 DSP 칩에서 각각 다른 태스크들을 실행하기 위해 그림 1에 보이는 여러 태스크들을 4개의 NODE로 묶어 실행시키며, 이를 위해 VSPWorks라는 실시간 운영체계를 사용하였다. 각 태스크들은 VSPWorks에 의해 스케줄링 되어 실행된다.

2. 2. TS-C43 DSP Board

기존 수중무선통신모형에서 신호 처리를 담당하는 주요 부분이다. 그림 2와 같이 아날로그 디바이스사의 ADSP-TS101S 4개를 사용하였으며, PMC 모듈 구조로 이루어져 있다. 매우 높은 속도의 데이터 입출력을 제공하고, 7 GFLOPs 이상의 성능을 낼 수 있다. 또한, 클러스터 아키텍처와 빠른 공유 메모리 구조로 인해 차세대 통신 및 실시간 영상 처리에 이상적이며, 자일링스사의 Virtex-II FPGA를 포함하여 개발자에게 FPDP, LVDS, 채널 링크나 다른 디지털 인터페이스를 위해 주문 제작된 빠른 데이터 포트에 사용되어 질 수 있는 추가적인 프로세싱 소스를 제공한다.

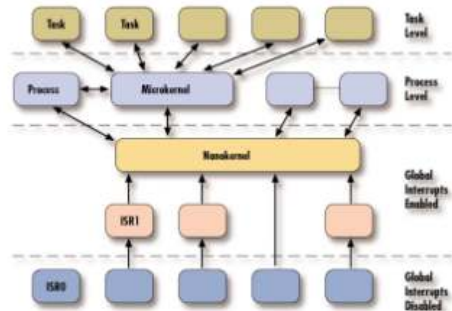


<그림 2. TS-C43 Block Diagram>

2. 3. VSPWorks

DSP 보드 내에서 태스크들을 스케줄링하고 실행시키기 위한 실시간 운영체제이다. VSPWorks는 멀티 프로세서 개발 환경, 유저 태스크들에 대한 프로파일링, 어플리케이션 개념에서 필요로 하는 여러 신호의 생성, 외부와의 인터페이스 용이성 등을 쉽고 이식성이 높게 하기 위한 실시간 운영체제이다. 진정한 의미의 병렬 Heterogeneous Parallel System을 위한 실시간 시스템 개발환경으로, 특히 순차성을 내재한 시스템 엔지니어가 병렬성을 내재한 프로세서 및 시스템을 위한 설계를 용이하게 하기 위하여 VSP(Virtual

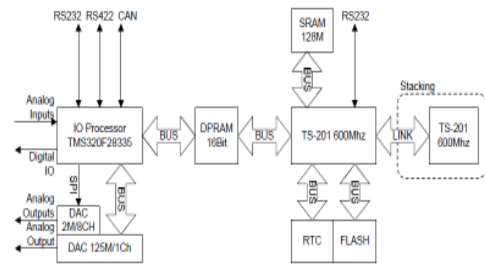
Single Processor) 개념을 도입하였다. 시스템 컨피규레이션과 태스크 코드를 분리함으로써, 하드웨어 사양이 변하더라도 소스 코드의 변경 없이 어플리케이션을 수행할 수 있도록 하였다.



<그림 3. VSPWorks Multilayered Architecture>

III. 신규 시스템 구성

신규 시스템은 그림 4와 같이 신호처리를 위해 아날로그 디바이스사의 Tighersharc 칩을 사용하고, Tighersharc 칩에 부족한 peripheral을 위해 TI사의 TMS320 칩을 사용했으며, 이 두 DSP 칩 간의 통신을 위해 DPRAM을 사용하여 수중음향통신모형의 신호처리 모듈을 설계 및 구현하고자 한다.



<그림 4. 신규 신호처리 모듈 시스템 구성도>

3. 1. ADSP-TS201S

신규 시스템은 표 1에서 보는 것과 같이 기존 수중음향통신모형에 사용하였던 ADSP-TS101S 보다 2배의 클럭 스피드와 성능을 가지는 ADSP-TS201S를 사용하였다. 따라서 기존에는 4개의 ADSP-TS101S를 사용하였으나 신규 시스템에서는 2개의 ADSP-TS201S를 사용하여 시스템의 성능은 유지하면서 그 크기를 줄일 수 있다.

<표 1. ADSP-TS101S와 ADSP-201S 비교>

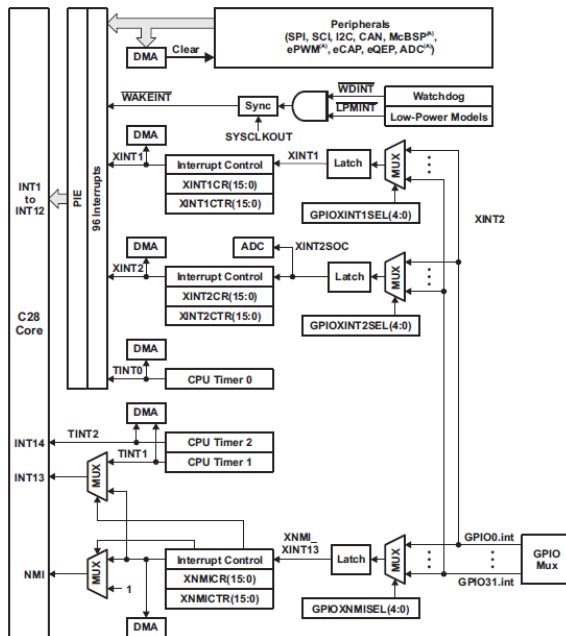
Spec.	ADSP-TS101S	ADSP-TS201S
Performance	300 MHz Clock Speed 1.8 GFLOPS 3.3V External Supply Voltage	600 MHz Clock Speed 3.6 GFLOPS 2.5V External Supply Voltage
Feature	Dual-computation blocks (ALU, multiplier, shifter, register file, CLU) -Floating Point 연산 Dual-integer ALUs	Dual-computation blocks (ALU, multiplier, shifter, register file, CLU) -Floating Point 연산 Dual-integer ALUs
Memory	6 Mbit on-chip Memory	24 Mbit on-chip Memory
Peripheral	4 Link Ports, External Port	4 Link Ports, External Port
Company	Analog Device, Inc.	Analog Device, Inc.

ADSP-TS201S는 큰 신호 처리 태스크들과 통신기반 시설에 최적화된 매우 우수한 성능을 가지는 정적 슈퍼스칼라 프로세서이며, 디지털신호처리 성능의 새로운 표준을 설정하기 위해 Dual Computation Block와 함께 매우 큰 메모리 크기를 가진다. 정적 슈퍼스칼라 구조로 각 사이클 당 4개의 인스트럭션을 수행하는데 이는 24개의 고정소수점 연산이나 6개의 부동소수점 연산 성능을 가진다.

3. 2. TMS320F28335

ADSP-TS201S에 부족한 peripheral을 보완하기 위해 다양한 peripheral을 가지는 TMS320F28335를 사용하였다. 그림 5에서 보는 것과 같이 TMS320F28335는 SPI, I2C, RS232, RS422, CAN 등의 다양한 peripheral을 가진다.

TMS320F28335는 고성능의 Static CMOS 기술을 적용한 32비트 CPU로 6채널의 DMA와 256K x 16 Flash, 34K x 16 SRAM, 16채널의 12비트 ADC, 4개의 16비트 타이머를 가진다.

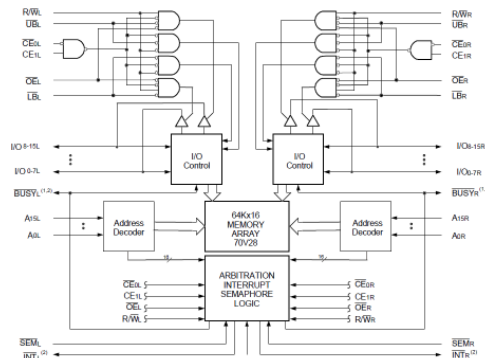


<그림 5. External and PIE Interrupt Sources>

3. 3. IDT70V28L

신호처리를 위한 ADSP-TS201S와 peripheral을 담당하는 TMS320F28335 사이에서 데이터를 주기 받기 위해 IDT70V28L를 사용하였다. 빠른 속도의 64K x 16 Dual-Port Static RAM으로, 그림 6에서처럼 좌 우측에서 서로 독립적으로 데이터를 읽고 쓸 수 있다.

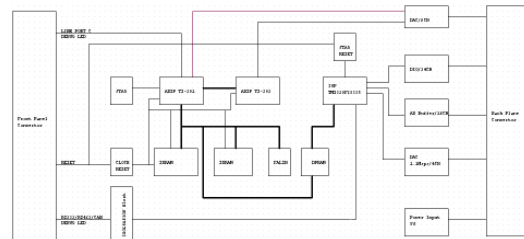
IDT70V28는 단독으로 1024 Kbit의 Dual-Port RAM 또는 32비트나 그 이상의 워드 시스템의 마스터/슬레이브로 결합된 Dual-Port RAM으로 사용될 수 있도록 설계되었다.



<그림 6. IDT70V28 Functional Block Diagram>

3. 4. 시스템 구현

시스템의 전체적인 구성은 그림 7의 Block Diagram을 기반으로 설계되었다.



<그림 7. 전체 회로 Block Diagram>

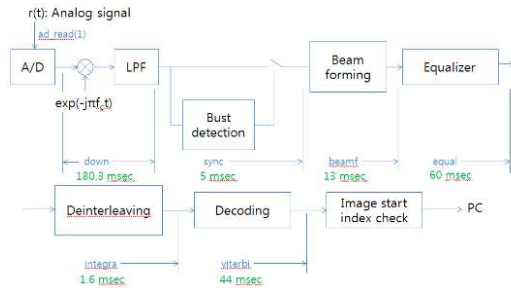
ADSP-TS201S 관련 회로에는 입력 전압 3.3V를 기준으로, DSP Core 쪽에 1.2V, DSP I/O 쪽에 2.5V, DRAM 쪽에 1.6V 등의 전압이 사용되었다. 2개의 ADSP-TS201S 중 하나를 Default ID를 0으로 설정하여 메인으로 설정하였으며, 다른 하나를 Default ID를 1로 설정하여 서브로 설정하였다. 각각 FLASH와 SDRAM에 연결하였고, JTAG Emulator를 사용하여 프로그램 및 디버깅할 수 있도록 하였으며, ADSP-TS201S 간의 Link Port를 연결하였다. DSP에 공급되는 Clock은 500MHz로 설정하였으며, DSP 자체에 외부 통신 peripheral이 없으므로 LED를 배치하여 디버깅 시 사용하도록 하였다.

DPRAM 관련 회로에는 ADSP-TS201S 측과 TMS320F28335 측의 IRQ와 FLAG를 DPRAM에 연결하여 DPRAM의 사용 여부 확인 및 한 쪽에서 메모리 사용 시 다른 쪽에 IRQ를 통해 알려줄 수 있도록 설계하였다. 또한 DPRAM은 3부분으로 나누어 ADSP-TS201S 측에서 쓰는 부분, TMS320F28335 측에서 쓰는 부분, DPRAM의 현재 상태를 나타내는 부분으로 각각 사용하도록 하였다.

TMS320F28335 관련 회로에는 프로그램 및 디버깅을 위해 JTAG를 연결하였고, 디버깅을 위해 외부와 시리얼 통신을 할 수 있는 포트와 LED를 배치하였다. 외부의 A/D 및 D/A 보드와도 연결할 수 있도록 백 플레인 쪽에 컨넥터를 설계하였다.

V. 결론

구현 시스템을 이용한 테스트는 각 Task 별 연산량을 측정하였다. 그 결과는 그림 8과 같은 연산량을 측정할 수 있었으며, 이는 기존 수중음향통신모형과 비슷한 성능을 내는 것으로 파악되었다. 다만 그림 8에서 보듯이 "down" Task에 많은 연산이 몰리는 것으로 파악되었으며, 따라서 LPF 부분을 하드웨어 적으로 처리하였다면 더 좋은 성능이 발휘될 것으로 생각된다.



〈그림 8. Task별 연산량 측정〉

본 논문을 통해서 기존 수중음향통신모형의 신호처리 모듈을 그 성능은 유지하면서 소형화 및 단일화시킬 수 있었으며, 추후 A/D, D/A 모듈과 파워 공급 모듈, 사용자 인터페이스 모듈 등을 구현하여 함께 적용한다면 좀 더 완벽하게 단일화되고 소형화된 수중음향통신모형을 완성할 수 있을 것이다.

참고 문헌

- [1] Transtech-DSP 社의 "TS-C43 Data Sheet"
- [2] WindRiver 社의 "VSPWorks Programmer's Guide"
- [3] Analog Device 社의 "ADSP-TS201S Data Sheet"
- [4] Texas Instruments 社의 "TMS320F28335 Data Sheet"
- [5] IDT 社의 "IDT70V28L Data Sheet"
- [6] Analog Device 社의 "ADSP-TS201S TigerSHARC Processor Hardware Reference"
- [7] Analog Device 社의 "ADSP-TS201S TigerSHARC Processor Programming Reference"
- [8] Analog Device 社의 "ADSP-TS201S EZ-KIT Lite Manual"
- [9] 박종원, 임용곤, 최영철, 김승근, 변성훈, 김시문, 수중 음향 데이터 통신 시스템 구현 및 실험, Journal of Ships & Ocean Engineering Vol.41 June 2006