

PDP에서 벽전압 손실이 어드레스 방전 지연 시간에 미치는 영향에 대한 연구

(Studies on the characteristics of an address discharge time lag on the effect of a wall voltage loss in PDPs)

김하나*, 김태식, 신범재
(Hana Kim*, Taesik Kim, Bhumjae Shin)

세종대학교 전자공학과

요약

본 논문에서는 어드레스 구간에서 벽전압 손실을 발생시키는 원인을 분석하고, 특히 어드레스 구간에서 각 전극간의 다양한 전위 조건이 어드레스 방전 지연 시간에 미치는 영향을 조사하였다. 실험 결과를 통하여 벽전압 손실은 전극간의 셀 전압이 동시 방전점에서 비방전 영역으로 이동한 조건에서는 큰 영향을 받지 않지만, 전극간의 셀 전압이 방전 개시 전압의 조건에서는 큰 영향을 받게 되는 것을 확인하였다. 특히, XY 전극간의 전위조건에 의한 벽전압 손실보다는 AY 전극간의 전위 조건에 의한 벽전압 손실이 어드레스 방전 지연 시간 특성을 저해하는 주요한 원인임을 확인하였다.

1. 서론

PDP는 기체 방전에 의한 Photoluminescence의 원리를 이용하는 대표적인 평판형 디스플레이이며, 화상을 구현하는 구동 원리는 기체 방전에 의한 발생하는 벽전압의 특성을 기반으로 하고 있다. 따라서 PDP 화소내의 벽전압의 거동 특성을 이해하는 것이 고효율 및 고화질 특성을 구현하는 데 있어서 매우 중요하다 [1].

현재 PDP의 구동 방식으로 채용되고 있는 ADS(Address and Display Separated) 구동 방식은 초기화(Reset) 구간, 어드레스(Address) 구간 및 유지(Sustain) 구간으로 구성되어 있다. 특히 Reset 구간은 어드레스 구간에서 화소의 On, Off를 선택적으로 수행하기 위하여 모든 화소의 벽전압을 동일한 조건으로 형성하는 구간으로 패널의 구동 특성 및 어드레스 방전 특성을 결정하는 가장 중요한 역할을 하는 구간이다.

기본적으로 PDP에서 사용하는 구동 방식은 행과 열의 조합으로 어드레스 동작을 수행하는 행렬(Matrix) 구동 방식이 적용되며, 계조를 표현하기 위해서 하나의 화면을 8개 이상의 부화면으로 분할하는 Sub-field 방식을 적용하고 있다. Matrix 구동 방식은 한번에 하나의 라인만을 선택할 수 있기 때문에 Full HD TV와 같이 1080라인을 갖는 고해상도의 화면을 구현하기 위해서는 라인당 어드레스 시간을 1.2 μ s로 가정하면 첫 번째 Y전극의 어드레스 방전 형성 시점과 마지막 Y 전극의 어드레스 방전 형성 시점

1msec 이상의 시간 차이가 발생하게 된다. 따라서 이러한 어드레스 방전의 형성 시점의 시간차에 의해 어드레스 방전 조건이 달라지며 어드레스 방전 형성 지연 시간 특성에 영향을 미치게 된다. 특히, 초기화 구간에서 화소내에 형성된 벽전압의 경우, 어드레스 구간에서 각 전극간의 전압 조건에 의해 벽전압의 손실이 발생됨이 보고되었다[2].

본 논문에서는 이러한 벽전압 손실을 발생시키는 원인을 분석하고, 특히 어드레스 구간에서 각 전극간의 다양한 전위 조건이 어드레스 방전 지연 시간에 미치는 영향을 조사하였다.

2. 어드레스 방전 지연 시간 측정 실험

그림 1에 본 실험에서 사용된 테스트 구동 파형을 표시하였다. 초기화 구간에서 Y 전극에 인가되는 기울기가 매우 작은 경사형 펄스(ramp pulse)에 의해 벽전압의 변동이 매우 작은 약방전(weak discharge)이 지속적으로 형성되어, 초기화 구간의 종료 시점에서 패널내의 모든 화소는 벽전압(Wall voltage)과 외부 전압(applied voltage)의 합인 셀 전압(Cell Voltage)이 방전 개시 전압의 조건을 만족하는 동시 동작점상에 위치하게 된다[1],[3].

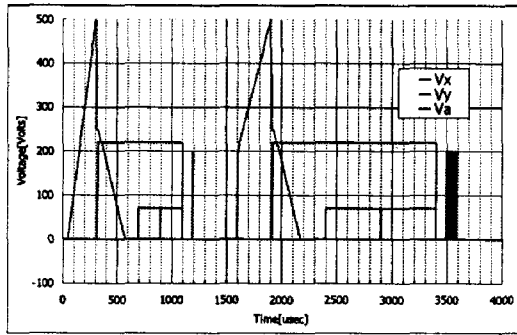


그림 1. 테스트 구동 파형

어드레스 구간에서는 순차적인 어드레스 동작을 위하여 Y전극에 양극성(positive)의 바이어스 전압을 인가한 후, Y 전극의 스캔 전압과 어드레스 전극에 인가되는 어드레스 전압의 조합에 의해 어드레스 방전을 선택적으로 형성하게 된다.

어드레스 방전 지연 시간은 형성 지연 시간 (Formative time lag: Tf)과 통계적 지연 시간 (Statistical time lag: Ts)으로 구성된다. Tf는 주요 벽전압과 외부 인가 전압에 의한 기체에 인가되는 전기장 (Electric field)에 의해 결정되며, Ts는 방전 개시 시점의 잔류 하전 입자 효과에 의해 결정된다. 그림 2는 200회 누적된 어드레스 방전의 광출력이며, Tf와 Ts의 정의를 표시하였다.

3. 실험 결과 및 검토

기본적으로 벽전압의 손실은 어드레스 구간에서 각 전극간의 전위 조건에 의해 MgO 표면에서의 Exo-emission, 전하의 표면 재결합 (Surface recombination) 및 전극간 전위에 의한 Townsend 방전 등이 원인으로 알려져 있다. 이러한 요인들은 화소 내의 전극간 전위가 증가할수록 벽전압 손실을 증가시키게 된다. 본 논문에서는 다음과 같은 두가지 관점에서 벽전압 손실 특성을 조사하였다.

첫째, 초기화 구간이 종료된 후 곧바로 어드레스 동작이 시작되는 첫 번째 라인의 경우는 초기화 상태에서 형성된 벽전압의 상태를 그대로 유지한 조건에서 어드레스 동작이 수행되는 조건이 되지만, 마지막 라인의 경우에는 1ms 이상의 시간이 경과 한 후 어드레스 방전이 수행되는 조건이 된다. 따라서 이러한 시간의 경과에 의한 벽전압의 손실에 대한 특성을 조사하였다.

둘째, 어드레스 구간에서 각 전극간에 인가되는 전위 조건을 변경하면서 면방전 형태로 전면 기판상에 배치되어 있는 XY 전극간의 벽전압의 손실과 대향형 방전의 형태로 각각 전면 기판과 배면 기판상에 배치되어 있는 AY 전극간의 벽전압의 손실에 대해 어드레

스 방전 지연 시간에 미치는 영향을 분리하여 조사하였다.

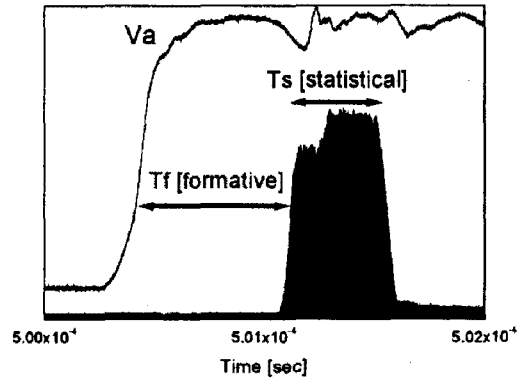


그림 2. 어드레스 방전 지연 시간 특성

1) 화소의 벽전압 조건에 의한 벽전압손실 특성

그림 3에 테스트 구동 파형에서와 같이 Y전극에 양극성의 스캔 바이어스 전압을 인가한 후 어드레스 펄스를 인가하는 시점[Boa(AD)]을 변경하면서 어드레스 방전 지연 시간 특성을 측정된 결과를 나타내었다. 그림 3의 결과에서와 같이 200us의 경우는 초기화 방전에 의한 하전 입자 효과에 의해 방전 지연 시간이 약간 빠르게 나타났지만, 어드레스 방전 지연 시간의 특성이 어드레스 펄스를 인가하는 시점에 크게 영향을 받지 않음을 알 수 있다.

이것은 기본적으로 Y 전극에 인가되는 스캔 바이어스 전압에 의해 XY 전극간의 셀 전압과 AY 전극간의 셀 전압이 모두 VTC Curve상의 비방전 영역으로 이동하여 전극간 전위 조건이 방전을 형성하는 조건에서 벗어나기 때문으로 판단되며, 전극간의 전위 조건이 방전 개시 전압보다 낮은 전위 조건의 경우에는 벽전압의 손실이 발생되지 않음을 의미한다. 따라서 현재와 같이 Y 전극에 스캔 바이어스 전압을 인가하는 파형은 XY간의 셀전압 및 AY간의 셀 전압을 동시에 비방전 영역으로 이동시켜 벽전압 손실을 최소화하는 효과적인 파형으로 판단된다.

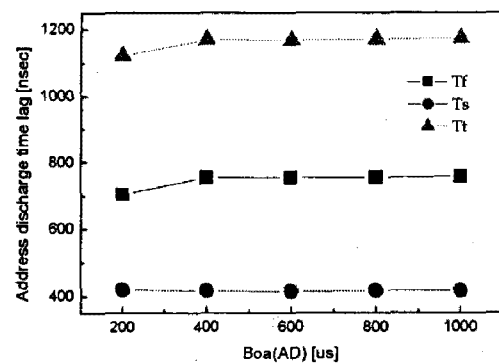


그림. 3 어드레스 펄스 인가 시점에 따른 어드레스 방전 지연 시간 특성

2) 화소의 전극간 전위 조건에 따른 벽전압손실 특성

어드레스 구간에서 Y전극에 스캔 바이어스 전압을 인가하면 전극간의 셀 전압이 동시 방전점에서 비 방전 영역으로 이동하여 방전을 형성하는 조건에서 벗어나게 되지만, AY 전극간의 셀 전압의 경우에는 화상의 구현을 위해 어드레스에 인가되는 어드레스 펄스에 의해 AY 전극간의 셀 전압이 동시 방전점으로 이동되게 된다. 본 논문에서는 이러한 전위 조건이 어드레스 방전 지연 시간에 미치는 영향을 보다 구체적으로 조사하였다.

그림 4는 어드레스 구간에서 X전극의 전위 조건을 기본 파형의 조건[Vxb(AD)=220V]에서 증가시키면서 어드레스 방전 지연 시간 특성을 측정한 결과이다. 어드레스 펄스의 인가 시점은 어드레스 방전 지연 시간 특성에 가장 큰 영향을 미칠 수 있도록 초기화 구간이 끝난 후 1000us가 경과한 시점에서 어드레스 방전 지연 시간을 측정 하였다. 그림 4의 결과에서 보듯이 $\Delta V_{xb}(AD)$ 가 40V 이하에서는 어드레스 방전 지연 시간 특성이 큰 영향을 받지 않지만, $\Delta V_{xb}(AD)$ 가 증가하여 XY 전극간 셀 전압이 방전 개시 전압과 가까워지는 60V에서 부터 어드레스 방전 지연 시간이 서서히 증가함을 알 수 있다.

그림 5는 어드레스 구간에서 A전극의 전위 조건을 기본 파형 조건[Vab(AD)=0V]에서 증가하면서 어드레스 방전 지연 시간 특성을 측정한 결과이다. 그림 5에서와 같이 $\Delta V_{ab}(AD)$ 가 40V 이하에서는 어드레스 방전 지연 시간 특성이 큰 영향을 받지 않지만, $\Delta V_{ab}(AD)$ 가 증가하여 AY 전극간 셀 전압이 방전 개시 전압과 가까워지는 60V에서 부터 어드레스 방전 지연 시간이 급격하게 증가함을 알 수 있다.

그림 4와 5의 결과로부터 어드레스 방전 지연 시간 특성을 저해하는 벽전압 손실은 주로 AY 전극간의 벽전압 손실에 기인하는 것으로 분석할 수 있으며, 이는 면방전 형태의 XY 전극간 방전 개시 전압보다 대향형 방전 형태인 AY 전극간 방전 개시 전압이 낮으며, 대향형의 구조가 면방전의 구조보다 전기장의 형성이 강하게 형성되기 때문인 것으로 사료된다.

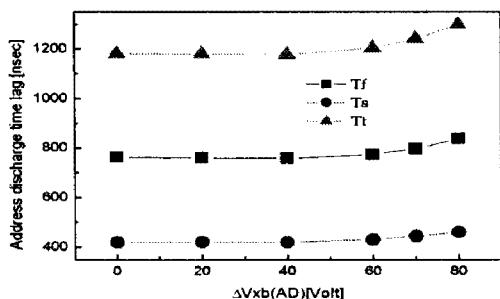


그림. 4 어드레스 구간에서 X 전극의 전압 변화에 따른 어드레스 방전 지연 시간 특성

PDP의 화상을 구현하는 실제적인 구동 조건에서는 그림 5와 같은 벽전압 손실이 발생할 수 있는 조건이 빈번하게 발생하며, 이러한 벽전압 손실은 구동 마진에 큰 영향을 미칠 것으로 판단된다. 따라서 실제적인 PDP의 화상 구현시 어드레스 전극의 전압 조건에 의해 발생할 수 있는 벽전압 손실을 조사하기 위한 모의 실험을 수행하였다.

그림 6은 초기화가 종료된 후 1000us에서 어드레스 방전을 수행하는 경우에 대해서, 이전 라인에 어드레스 펄스가 인가되는 시간[Da(AD)]을 변경하면서 어드레스 방전 지연 시간 특성을 측정한 결과이다.

그림 6의 결과에서와 같이 Da(AD)가 증가 할수록 어드레스 방전 지연 시간이 증가하며, 특히 형성 지연 시간(Formative time lag)이 증가하는 것을 볼 수 있다. 이것은 어드레스 전극에 인가되는 전압에 의해 AY 전극간의 셀 전압이 방전 개시 전압으로 이동하여 벽전압의 손실을 유발하여 어드레스 방전시의 유효 전압이 감소하기 때문으로 판단된다. 특히 Da(AD)가 100us 의 경우가 급격하게 증가하는 것을 볼 수 있으며, 이것은 이전 라인의 어드레스의 펄스가 작게 인가되는 경우에도 벽전압의 손실이 많이 발생할 수 있음을 의미하며, PDP의 구동 환경에서 동작 마진을 확보하기 위한 벽전압 손실의 최소화를 위한 파형의 개선이 필요함을 의미한다.

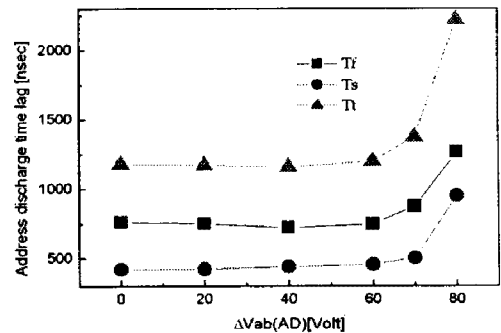


그림. 5 어드레스 구간에서 A 전극의 전압 변화에 따른 어드레스 방전 지연 시간 특성

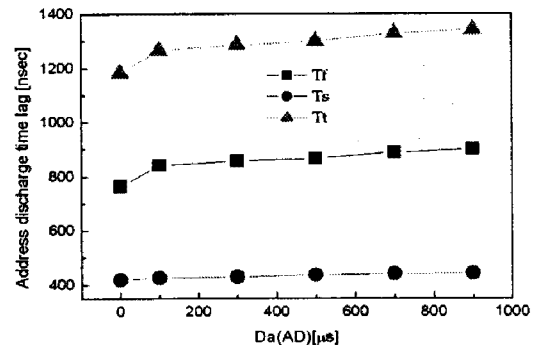


그림. 6 A전극의 전압 인가 시간에 따른 어드레스 방전 지연 시간 특성

4. 결 론

본 논문에서는 어드레스 구간에서 벽전압 손실을 발생시키는 원인을 분석하고, 특히 어드레스 구간에서 각 전극간의 다양한 전위 조건이 어드레스 방전 지연 시간에 미치는 영향을 조사하였다.

실험 결과를 통하여 벽전압의 손실은 전극간의 셀 전압이 동시 방전점에서 비방전 영역으로 이동한 조건에서는 큰 영향을 받지 않지만, 전극간의 셀 전압이 방전 개시 전압의 조건에서는 큰 영향을 받게 되는 것을 확인하였다. 특히, XY 전극간의 전위조건에 의한 벽전압 손실보다는 AY 전극간의 전위 조건에 의한 벽전압 손실이 어드레스 방전 지연 시간 특성을 저해하는 주요한 원인임을 확인하였다.

따라서 PDP가 다양한 환경 조건에서 안정적인 구동 마진을 확보하기 위해서는 어드레스 구간에서 AY 전극간의 전위 조건이 셀 전압 보다 낮은 전압 상태를 유지할 수 있는 구동 파형의 개발이 필요함을 확인할 수 있었으며, 향후 이러한 결과를 바탕으로 벽전압 손실을 최소화할 수 있는 개선된 구동 파형을 개발할 예정이다.

본 연구는 지식경제부의 21세기 프론티어기술개발사업인 차세대 정보디스플레이 기술 개발 사업단의 연구비(F0004072-2008-31) 지원으로 수행되었습니다.

참고문헌

- [1] K. Sakita, et al., "High-speed Address Driving Waveform Analysis Using Wall Voltage Transfer Function for Three Terminals and V_t Close Curve in Three-Electrode Surface-Discharge AC-PDPs", SID'01 Digest, pp. 1022-1025, 2001.
- [2] Hyung Dal Park, et al., "Analysis of statistical time lags based on wall charges", SID'07, pp. 569-572, 2007.
- [3] Bhum Jae Shin, et al., "Characteristics of an Address Discharge in AC Plasma Display Panels," IEEE trans. on Plasma science, Vol 33, No. 4, pp. 1426-1430, 2005.