PDP의 고속구동법에서의 초기화 펄스 특성 개선에 관한 연구

(A Study on Improvement of Initialization Pulse Characteristics on High Speed Driving Method for PDP)

한진호*, 이정섭, 강신호, 염정덕
(Jinho Han*, Jeongseop Lee, Sinho Kang, Jeongduk Ryeom)
숭실대학교 전기공학부

요 약

Full-HD 구현이 가능하고, 패널 전체에 priming 방전을 동시에 일으킬 수 있는 새로운 고속구동법인 표시기간 중첩 프라이밍 방전 기술의 초기화 펄스 특성을 연구하였다. ramp 펄스를 이용한 약방전으로 초기화 방전을 일으킬 경우 램프 기울기가 작아질수록 불필요한 광을 줄일 수 있어 명암비가 높아지므로 프라이밍 펄스폭을 증가시키는 것은 매우 중요한 일이다. 본 논문에서는 ramp의 기울기를 변화시키며 안정적인 표시방전이 유지되는 ramp 펄스폭을 실험을 통해 확인하였고, 그 결과 200μs(ramp 기울기 : 1.45V/μs)의 ramp 펄스폭에서도 표시방전이 안정적으로 발생한다는 것을 알았다.

1. 서 론

최근 OLED(Organic Light Emitting Diodes) TV가 상용화되며 PDP(Plasma Display Panel), LCD(Liquid Crystal Display)가 주류를 이루고 있던 평판 디스플레이 시장의 경쟁이 더욱 가속화되기 시작했다. 따라서 시장 경쟁력을 갖기 위해서는 낮은 비용과 고해상도 실현은 필수적인 요소이며 이를 실현하기 위한 연구가 활발히 진행되고 있다.

평판 디스플레이 소자 중에 대화면화가 용이하고, 디지털 방식으로 화상정보를 표현하는 PDP는 디지털 TV에 가장 적합한 디스플레이 장치라 할 수 있다. 하지만 PDP는 1080개의 수평주사선수를 갖는 Full-HD 구현 시 LCD나 OLED에 비해 화질이 열세인 문제가 있다. PDP의 고해상도 구현이 어려운 주된 이유는 상용화된 PDP에 적용되고 있는 ADS (Address Display Separated)구동방식에 근본적인 문제점이 있다.[1]

ADS 구동기술은 셀의 선택과 발광이 시간적으로 완전히 분리되어 있어 주사선수가 늘어나면 휘도가 감소하는 단점이 있다. 따라서 휘도를 감소시키지 않고, 고해상도를 구현하기 위해서는 어드레스 펄스의 폭을 감소시켜 표시방전 기간을 증가시켜야하나 어드레스 방전 시 발생하는 방전지연시간 때문에 펄스 폭 감소는 한계를 갖고 있다.

대안으로는 어드레스 기간과 표시방전 기간이 혼재되어 있는 AWD 구동기술이 있다.[2] 이 구동기술은 1TV Field의 90% 이상을 표시방전 기간으로 사용할 수 있어 이론적으로 휘도의 감소 없이 1080개의 수평주사선을 어드레싱 하는 것이 가능하다. 하지만 어드레스 방전과 프라이밍 방전을 일으키는 주사 펄스를 각기 다른 타이밍에 인가하여야하므로 구동회로의 수가 증가하고, 프라이밍이 어려운 단점이 있다.

최근에는 어드레스 방전 시 발생하는 공간전하를 sustain 방전에 이용하여 주사 펄스폭이 Full-HD 구현 가능 조건인 0.7μs 이하에서도 안정적인 표시방전을 일으킬 수 있는 표시기간 중첩 프라이밍 방전 기술이 개발되었다.[3]

이 기술은 AWD 구동기술에서 발생하는 프라이밍 방전 문제를 해결한 고속 구동 방식으로서 패널 전체에 동시에 프라이밍 방전을 일으킬 수 있으며 Full-HD 구현이 가능한 고속 구동법이다.

본 논문에서는 이 기술에서 프라이밍 방전에 사용되는 램프 펄스의 폭을 200μs 까지 늘려도 안정적인 표시방전이 발생하는지를 확인하여 작은 기울기의 약방전을 통해 불필요한 광을 줄이는 것이 가능한지 타당성을 검증하는 실험을 진행하였다.

2. 표시기간 중첩 프라이밍 방전기술의 원리

그림 1은 표시기간 중첩 프라이밍 방전기술의

구동 타이밍도이다. 그림과 같이 X, Y 전극의 서스테인 파형이 한 쌍 인가된 이후 휴지기에 어드레스 기간이 형성되어 있으며 어드레스 기간과 일치하여 데이터 펄스가 인가된다. 선택된 셀들은 데이터와 스캔 펄스 사이에 인가된 전위차에 의해 어드레스 방전을 일으키며 이 때 형성된 벽전하에 의해 표시방전이 지속되게 된다. 표시방전은 소거 펄스에 의해 방전이 종료될 때까지 유지된다. 이때 어드레스 펄스와 서스테인 펄스는 수 μs의 차이를 두고 인접해 있어 어드레스 방전 시 발생하는 공간전하를 항상 표시방전에 이용할 수 있다.

프라이밍은 램프 펄스를 사용하여 일정한 주기마다 패널 전체에 동시에 인가된다. 표시방전이 발생하지 않는 Y_n의 경우 프라이밍 방전이 발생하므로 셀을 균일한 조건으로 만든다. 표시방전이 발생중인 Y_k의 경우 반대 극성을 갖는 벽전하가 쌓여 있으므로 방전이 발생하지 않아 프라이밍 기간 이후에도 쌓여있던 벽전하가 거의 소멸되지 않고 표시방전이 지속된다. 따라서 표시방전 유·무에 상관없이 전 패널에 동시에 프라이밍 기간을 설치하는 것이 가능하다.

프라이밍 펄스는 램프 펄스를 사용하는데 이는 램프 펄스가 사각 펄스보다 약한 방전을 일으켜 불필요한 광을 줄이므로 명암비를 증가시킬 수 있기 때문이다. 램프 파형은 기울기가 작아질수록 적은 양의 광을 발생시키므로 램프 펄스폭을 넓히는 것은 명암비를 증가시키는데 주요한 역할을 한다.[4]

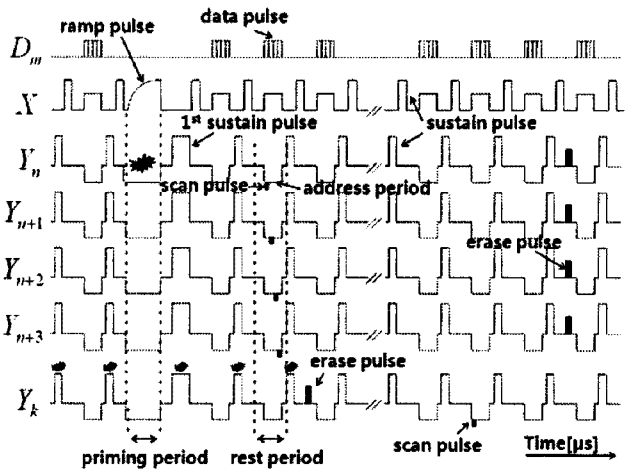


그림 1. 구동 타이밍도

3. 실험 결과 및 토론

램프 펄스폭의 변화가 전체 방전에 미치는 영향을 파악하기 위해 펄스폭이 50μs, 100μs, 150μs, 200μs(램프 기울기 : 5.8V/μs, 2.9V/μs, 1.93V/μs, 1.45V/μs)일 경우에 시험용 PDP의 구동실험을 진행하였으며 주사펄스는 Full-HD 구현 조건인 폭 0.7μs의 펄스를 사용하였다.

그림 2는 표시기간 중첩 프라이밍 방전 기술을 사용하여 각 전극에 구동전압을 인가한 결과를 오실로스코프로 측정한 것이다. 측정 데이터는 프라이밍 펄스폭이 200μs일 경우로서 data는 scan 펄스와 동일한 타이밍에 인가하였으며 그림에 나타난 것과 같이 스캔과 데이터에 인가한 전압의 합으로 어드레스 방전이 일어난 후 표시방전이 발생한다. 결과를 통해 표시방전 유지기간 중에 프라이밍 기간이 삽입된 경우 프라이밍 기간 이후에도 표시방전이 유지되는 것을 확인할 수 있었다.

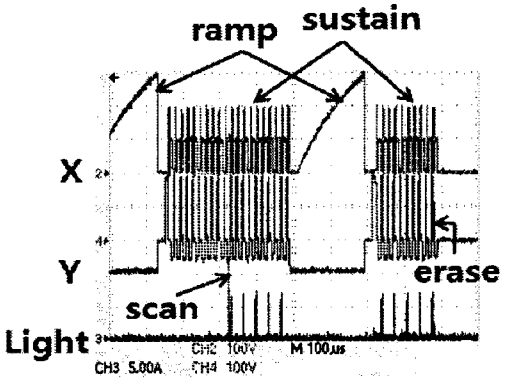


그림 2. 출력 파형도

그림 3은 램프 펄스폭의 변화에 따른 어드레스 방전의 상대적 방전강도와 방전지연시간을 각 10회 측정하여 평균값을 취한 결과이다. 측정 결과 펄스폭이 50 - 200μs인 경우 어드레스 방전의 방전강도와 방전지연시간은 거의 변화가 없는 것을 알 수 있었다.

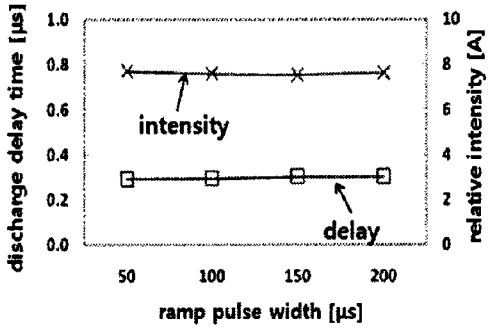
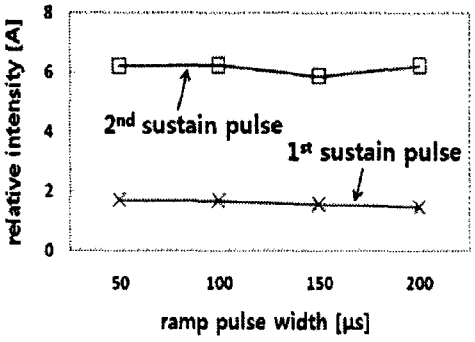


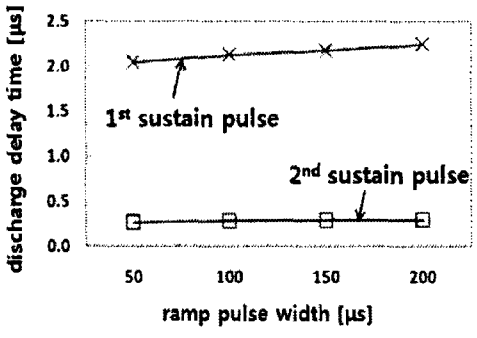
그림 3. 어드레스 방전의 상대적 방전강도 및 방전지연시간

그림 4는 램프 펄스 폭 변화에 따른 서스테인 방전의 상대적 방전강도 및 방전지연시간을 측정한 결과이다. 1^{st}서스테인 펄스는 프라이밍 기간이 지난 후 Y전극에 인가되는 폭이 10μs인 첫 표시방전 펄스이며 2^{nd}서스테인 펄스는 1^{st}서스테인 펄스에 이어서 X전극에 인가되는 표시방전 펄스이다.

실험 결과 1^{st}서스테인 펄스의 방전강도는 프라이밍 펄스폭이 200μs로 늘어나면 13% 가량 소폭 감소하나 2^{nd}서스테인 펄스의 방전강도는 펄스폭이 50μs일 때와 200μs일 때 거의 차이가 없는 것을 알 수 있었다. 방전지연시간 또한 2^{nd}서스테인 펄스에서 30ns 이내의 차이만이 발생하므로 프라이밍 펄스 폭이 50μs 이상일 경우 표시방전은 프라이밍 펄스 폭에 거의 영향을 받지 않는다는 것을 알 수 있었다. 이는 1^{st}서스테인 펄스의 폭을 10μs로 증가시켜 안정적인 방전을 유도하였고, 공간전하가 방전 발생 이후 40μs 가 지나면 거의 소멸되므로 프라이밍 기간 이후 표시방전은 축적된 벽전하 외에 공간전하의 영향을 받지 않기 때문인 것으로 사료된다.[5]



(a)



(b)

그림 4. 프라이밍 펄스폭 변화에 따른 서스테인 방전 변화
(a) 서스테인 방전의 상대적 방전강도
(b) 서스테인 방전의 방전지연시간

그림 5는 서스테인 방전의 동작전압 마진을 측정한 결과이다. 최소 전압은 측정 영역 전체의 셀이 안정적인 표시방전을 시작하는 전압이고, 최대 전압은 최소 전압에서 전압을 상승시켜 셀이 불안정한 표시방전을 하기 시작하는 전압이다. 측정 결과 서스테인 동작마진은 20.2[V]에서 21.3[V]로 거의 일정한 것을 알 수 있었다.

그림 6은 어드레스 방전의 동작전압 마진을 측정한 결과이다. 최소와 최대전압은 측정 영역에서 안정적으로 방전이 발생할 때의 데이터 전압을 측정한 것이다. 프라이밍 펄스 폭이 50μs일 경우 어드레스 마진은 16.5[V], 200μs일 경우 13.6[V]로 약 2.9[V] 정도 어드레스 마진이 감소한다는 것을 알 수 있었다.

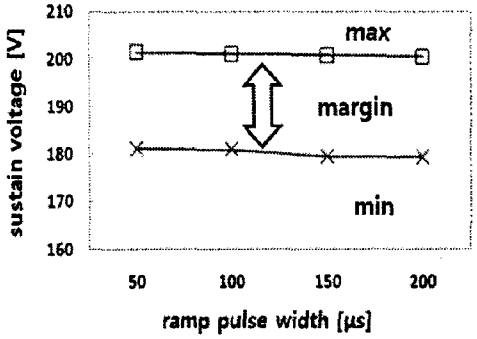


그림 5. 프라이밍 펄스폭 변화에 따른 표시방전 동작마진

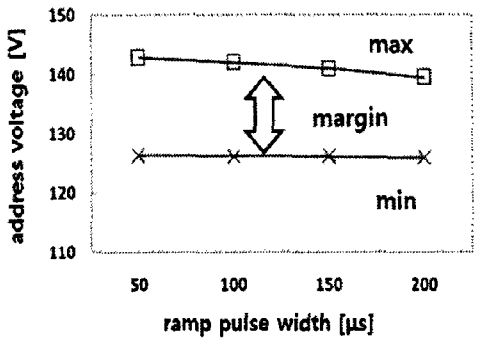


그림 6. 프라이밍 펄스폭 변화에 따른 어드레스 동작마진

4. 결 론

본 논문은 Full-HD 구현이 가능하며 패널 전체에 동시에 프라이밍 기간을 설치할 수 있는 새로운 구동법인 표시기간 중첩 프라이밍 구동기술에서 초기화 펄스인 램프 펄스의 특성에 관해 실험을 진행하여 램프 펄스의 폭이 표시방전에 미치

는 영향을 분석한 것이다. 명암비를 증가시키기 위해 프라이밍 펄스폭을 200μs(램프 기울기: 1.45V/μs)까지 늘려 실험을 진행한 결과 프라이밍 펄스폭이 증가하여도 표시방전에 거의 영향을 미치지 않는다는 것을 확인할 수 있었다. 이는 50μs이상의 펄스폭에서는 이전 표시방전에 의해 형성된 공간전하의 영향이 거의 없고 1^{st}서스테인 펄스의 펄스폭을 10μs로 넓혀 안정적인 표시방전을 유도했기 때문인 것으로 사료된다. 따라서 200μs의 램프 펄스를 초기화 펄스로 사용할 수 있으므로 표시기간 중첩 프라이밍 기술을 통해 더 높은 명암비를 갖는 Full-HD 구현이 가능하다는 것을 확인할 수 있었다.

참 고 문 헌

[1] S. Kanagu, Y. Kanazawa, T. Shinoda, K. Yoshikawa, T. Nanto Fujitsu Ltd., Akashi City, Japan "A 31-in -Diagonal Full-Color Surface-Discharge ac Plasma Display Panel", SID'92 Digest, pp.713-716.

[2] H. Homma, K. Totoki, K. Igarashi, S. Mikoshiba. H. Asai, and N. KikuchiThe University of Electro-Communications, Chofu, Tokyo 182, Japan* Noritake Company Limited, Nagoya, Japan "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90% with an HDTV Capability", IDRC, pp.285-288, 1997

[3] J. Ryeom, "Novel Priming Discharge Overlapping with Display Period Technique for the Plasma Display Panels", Journal of KIIEE, Vol.21, No.8, pp. 27-33, September 2007. [in Korean]

[4] Larry F. Weber, Plasmaco, Inc., Subsidiary of Matsushita Electric Industrial Co.,Ltd. Highland, New York USA "Plasma Display Device Challenges", ASIA DISPLAY'98, pp.15-27

[5] Jinho Han, Jeongseop Lee, Jeongduk Ryeom, 'An Influence of Space-Charge in the Address Discharge of the PDP', KIIEE, Spring Conference, 2008, pp.33-36.