

Silicon wafer via 상의 기능성 박막층 종류에 따른 Cu filling 특성 연구

Study of Cu filling characteristic on Silicon wafer via according to seed layer

김인락<sup>a\*</sup>, 이왕구<sup>a</sup>, 이영곤<sup>a</sup>, 정재필<sup>a</sup>  
<sup>a\*</sup>서울시립대학교 신소재공학과(E-mail:kir3622@uos.ac.kr)

**초록:** TSV(through via silicon)를 이용한 Via의 Cu 충전에서 Seed 층의 역할은 전류의 흐름을 가능하게 하는 중요한 역할을 하고 있다. Via에 각각Ti/Au, Ti/Cu를 증착한 후 Ti/Cu가 Ti/Au를 대체 할 수 있는지를 알아보기 위해 먼저 실리콘 웨이퍼에 via를 형성하고, 형성된 via에 기능성 박막층으로 절연층(SiO<sub>2</sub>) 및 시드층을 형성하였다. 전해도금을 이용하여 Cu를 충전한 결과 Ti/Au 및 Ti/Cu를 증착한 두 시편 모두 via와 seed층 접합면에 박리 등의 결함이 없었고, via 내부 또한 void나 seam 등이 관찰되지 않고 우수하게 충전된 것을 확인할 수 있었다.

1. 서론

최근 전자 부품 패키징은 2차원 실장법에서 3차원 실장법으로 적층하려는 연구가 활발히 진행되고 있다. 특히 가장 고집적도의 3차원 패키징을 위한 방법으로 칩으로 사용되는 실리콘웨이퍼에 관통홀(through via)을 형성, 관통홀에 도전성 금속인 Cu를 전해도금으로 충전시킨 후 칩 위에 형성된 범프를 통해 칩들을 직접 연결하는 TSV (Through Silicon Via) 방법에 많은 관심이 모아지고 있다. Cu 충전을 위해 절연층 위에 증착된 Ti/Au는 Cu 충전을 위한 전류 흐름이 좋고 산화에 대한 반응성이 적기 때문에 많이 사용 되었다. Ti/Cu는 Ti/Au에 비해 산화에 대한 반응성은 높지만 전류흐름이 Au와 대등하고 Cu 충전시 동일한 원소끼리의 접합이 이루어지기 때문에 접합력이 우수하다. 또 가격이 저렴한 장점이 있기 때문에 최근 많은 연구가 이루어지고 있다.

본 연구에서는 가격적인 측면과 접합력을 고려하여 시드층에 Ti/Au, Ti/Cu를 증착하여 Cu 충전을 실시, 분석하고 비교하는 연구를 진행하였다.

2. 본론

먼저 실리콘 웨이퍼 상에 직경 30um 깊이 60um의 원통형 via를 형성하기 위해 DRIE(Deep Reactive Ion Etching) 공정을 수행하였다. DRIE 공정은 etching term과 passivation term을 교대로 걸어줌으로써 직진성 식각이 가능한 공정이다. 그림1에 자세한 DRIE 공정에 대한 모식도를 나타내었다. DRIE로 비아홀을 형성 후에 절연층 형성을 위해 HDP(High Density Plasma) CVD를 이용하여 SiO<sub>2</sub>를 1um증착하였다. 이후 sputtering을 이용하여 adhesion층(접합층)으로 Ti를 0.3um, seed층으로 Au 및 Cu를 0.5um 두 종류 증착하였다. 기능성 박막 증착 후 Si-wafer via 상에 전해도금을 이용하여 Cu를 충전하였다. 충전된 Cu filled Via의 열충격 신뢰성 평가를 위해 -40°C(30min)/120°C(30min) 250 cycles 및 500 cycles 의 열충격 시험을 실시하였다.

시험결과 Ti/Au, Ti/Cu 두 시편 모두 Cu-fill/seed 층 간에 접합면 박리 등의 결함 없는 우수한 신뢰성을 나타내어 Ti/Au 를 Ti/Cu 가 대체할 수 있다고 밝혀냈다.

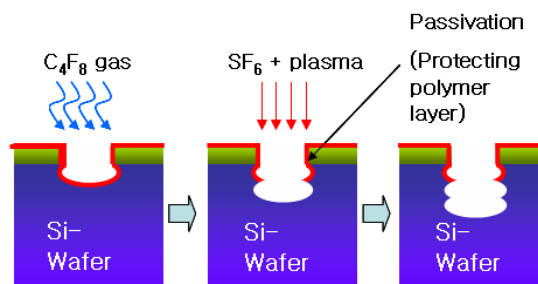
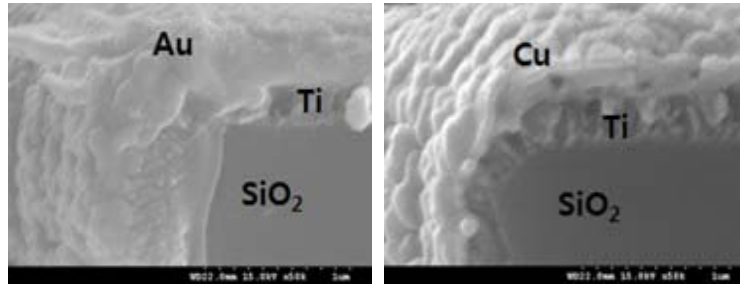


Fig. 1. Flow of DRIE process



(a) Ti/Au

(b) Ti/Cu

Fig. 2. Seed layer

### 3. 결과

3차원 적층 실장에서 TSV(through via silicon)를 이용한 Via의 Cu 충전에서 Seed층을 Ti/Au, Ti/Cu로 각각 달리하였을 경우 Ti/Au 및 Ti/Cu를 증착한 두 시편 모두 via와 seed층 접합면에 박리 등의 결함이 없었고, via 내부 또한 void나 seam 등이 관찰되지 않고 우수하게 충전된 것을 확인할 수 있었다.

Keywords : TSV, three dimensional stack packaging, seed layer, Cu filling

본 연구는 2009년도 정부(과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구입니다. (No. R01-2007-000-20811-0)

### 참고문헌

1. Said F. Al-sarawi, Derek Abbott and Paul D. Franzon, February 1998 "A Review of 3-D Packaging Technology", IEEE transactions on components packaging and manufacturing technology part B, Vol. 21, No. 1, pp 2.
2. Leonard W. Schaper, Susan L. Burkett, Silke Spiesshoefer, Gowtham V. Vangara, Ziaur Rahman, and Swetha Polamreddy : Architectural Implications and Process Development of 3-D VLSI Z-Axis Interconnects Using Through Silicon Vias, IEEE TRANSACTIONS ON ADVANCED PACKAGING, VOL. 28, NO. 3, AUGUST 2005
3. Ranganathan Nagarajan, Krishnamachar Prasad, Liao Ebin, Balasubramanian Narayanan, Development of dual-etch via tapering process for through-silicon interconnection, Sensors and Actuators, A139(2007) 323.