

## Tunnel barrier engineered 메모리 적용을 위한 터널링 절연막의 전기적 특성 및 계면 특성

오준석, 정명호, 정홍배, 이영희, 조원주

광운대학교 전자재료공학과

최근 플래쉬 메모리 소자의 특성 향상을 위해 high- $\kappa$  물질과 low- $\kappa$  물질을 적층시킨 tunnel barrier engineered (TBE) 절연막이 주목을 받고 있다. 적층 구조의 터널 절연막은 band-gap engineering 의 효과로 인해 빠른 데이터 쓰기/소거 동작이 가능하며 저전압 구동을 가능케 한다. 또한 절연막의 물리적인 두께의 증가로 인해 데이터 보존 특성을 동시에 개선할 수 있다. 이러한 적층 구조의 터널 절연막은 high- $\kappa$  물질과 low- $\kappa$  물질의 적층순서에 따라 variable oxide thickness (VARIOT) 구조와 CRESTED 구조로 구분할 수 있다. VARIOT 구조는 유효 산화막 두께를 줄여서 직접 (direct) 터널링과 Fowler Nordheim (FN) 터널링이 보다 쉽게 일어나게 하는 구조이며 CRESTED 구조는 중간물질인 low- $\kappa$  의 높이를 이용하여 전계에 대한 민감도를 증가시켜 쓰기 동작이 더 쉽게 일어날 수 있게 하는 구조이다. 하지만 High- $\kappa$  유전막과 실리콘 채널 사이의 우수한 특성을 갖는 계면을 형성하는 것은 매우 어렵다. 본 논문에서는 단일 SiO<sub>2</sub> 와 적층된 터널 절연막의 전기적 특성 및 계면 특성을 평가하고 비교하기 위해 Recessed channel 을 갖는 MOSFET 을 제작하였다. 적층 구조의 터널 절연막은 SiO<sub>2</sub>와 Si<sub>3</sub>N<sub>4</sub>를 이용하여 VARIOT (ONO) 과 CRESTED (NON) 구조로 제작되었으며 모두 5nm의 동일한 유효 산화막 두께 (EOT : Effective of thickness) 를 갖는다. 또한 스트레스를 인가한 후에 단일 SiO<sub>2</sub> 층과 적층된 터널 절연막에 따른 전기적 특성 및 계면 포획 준위 특성을 평가하고 비교하였다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

## Sidewall 산화막을 이용한 고밀도 트랜치게이트 power MOSFET 제작

김상기, 김용구, 박건식, 구진근, 유성욱, 김보우, 박성호<sup>1</sup>, 강진영

한국전자통신연구원, <sup>1</sup>(주)가인테크

최근 전력용 반도체의 수요는 이차전지 보호회로, DC-DC변환기, 휴대용컴퓨터, 이동통신기기, 휴대폰, 조명, 자동차, 전동자전거 등 다양한 종류의 전력소자들이 사용되고 있다. 이러한 전력소자의 수요증가는 IT, NT, BT 등의 융복합기술의 발달로 새로운 분야에 전력소자의 수요가 창출되고 있으며, 특히 환경오염을 최소화하고 녹색성장을 위해 하이브리드 자동차, 전동자전거 등에 사용되는 중전압 대전류 전력소자의 개발이 활발히 연구되고 있다. 종래의 planar 형의 power MOSFET에서 집적도가 증가 될수록 트랜치형의 power MOSFET으로 발전되고 있다. 그 이유는 트랜치 게이트를 이용한 power MOSFET은 단위면적당 많은 단위소자를 집적화하여 power 소자의 주요 변수인 on-저항을 낮출 수 있기 때문이다. 보다 on-저항을 낮추기 위하여 트랜치 게이트 power MOSFET의 단위소자 크기를 줄이고 셀수를 증가시킴으로써 여러 가지 장점이 많으나 트랜치 형성과 트랜치 내부를 채우는 공정상의 문제점도 가지고 있다. 본 연구에서는 단위셀의 수가 약 수십만개 이상 고집적화 시켜 E-bike용 고밀도 n채널 트랜치 게이트 power MOSFET을 제작하였다. 공정을 단순화하고 시제품 제작 기간을 줄이고 원가 절감을 위하여 종래에 7장의 마스크를 사용하여 제작하던 power MOSFET 소자를 본 연구에서는 sidewall 산화막을 이용한 트랜치 형성기술을 사용하여 마스크 수를 4장으로 줄여서 트랜치 게이트 power MOSFET 제조하였다. 단위소자의 크기는  $4 \times 4\mu\text{m}^2$  로  $\text{inch}^2$  당 320만개의 소자를 집적화 할 수 있다. Sidewall 산화막을 이용한 고밀도 트랜치 게이트 power MOSFET에서 수십A의 양호한 전류-전압 특성을 얻을 수 있었다.