

## 실리콘 나노점을 이용한 전계방출 연구

안승만<sup>1</sup>, 김은겸<sup>2</sup>, 이경수<sup>1</sup>, 임태경<sup>1</sup>, 원성환<sup>1,2</sup>, 홍완식<sup>1,2</sup>, 석중현<sup>1,2</sup>, 박경완<sup>1,2\*</sup>

<sup>1</sup>서울시립대학교 나노과학기술학과, <sup>2</sup>서울시립대학교 나노공학과

0차원 나노 구조물인 나노점은 그 물리적 특성으로 인해 많은 연구가 진행 중이다. 특히, 실리콘 나노점은 나노 전자소자와 광전자 소자에 잠재적 활용 가능성이 있다. 그러나 실리콘 나노점을 이용한 전계방출 연구는 그 가능성에 비해 아직 연구가 부족한 편이다. 실리콘 나노점의 소자 제작 공정은 현재 활발하게 연구되고 있는 탄소 나노 튜브 및 유사 다이아몬드 필름의 소자 제작 공정에 비해 비교적 간단하다. 또한 나노점의 크기와 밀도 조절이 용이하기 때문에 전계방출을 이용한 전자 소자에 실리콘 나노점을 음극탑으로 이용하는 연구는 의미가 있다. 본 실험에서는 LPCVD를 이용하여 N-type(0.008~0.01Ω) 실리콘 기판(100)에 실리콘 나노점을 제작하였다. 공정온도 400°C에서 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub> 가스를 30 ~ 50 초 동안 선형적으로 흘려주어 나노점을 증착하거나, 디지털 펄스 방식을 이용하여 가스를 주입함으로 실리콘 나노점을 형성 하였다. 샘플 아랫면에는 전극으로 알루미늄을 증착하였다. 나노점을 쌓기 전에 실리콘 기판 위에 실리콘 산화막을 증착하여 그 두께와 전계방출 전류밀도의 상관관계를 관찰 하였으며, 나노점의 밀도 변화와 전계방출의 상관관계도 관찰하였다.

## Improved Erasing Characteristics of Tunnel Barrier Engineered Charge Trap Flash Memory with HfO<sub>2</sub> Charge Trap Layer

김관수<sup>1</sup>, 정명호<sup>1</sup>, 박군호<sup>1</sup>, 유희욱<sup>1</sup>, 김민수<sup>1</sup>, 정종완<sup>2</sup>, 정홍배<sup>1</sup>, 이영희<sup>1</sup>, 조원주<sup>1</sup>

<sup>1</sup>광운대학교 전자재료공학과, <sup>2</sup>세종대학교 나노신소재 공학부

적층구조의 터널링 절연막 구조를 가지는 TBE (Tunnel Barrier Engineering)은 메모리 소자의 데이터 쓰기/소거 동작과 보존특성을 동시에 개선시킬 수 있다는 장점을 가지고 있다. 본 논문에서는 NON (Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>)의 적층구조를 가지는 CRESTED 구조의 터널링 절연막을 이용하여 HfO<sub>2</sub>를 charge trap layer로 이용한 CTF 메모리 capacitor를 제작하고 전기적 특성을 관찰하였다. NON 구조의 적층구조를 가지는 터널링 절연막은 5.1 nm 두께의 단일 SiO<sub>2</sub>를 가지는 터널링 절연막보다 우수한 터널링 특성을 가진다. 또한 C-V 측정을 통해 터널링 절연막에 charge trap 현상이 거의 발생하지 않는 것을 확인하였으며, 특히 Si과 Si<sub>3</sub>N<sub>4</sub> 층간의 interface 특성이 단일 SiO<sub>2</sub> 층과 유사한 interface trap 특성을 가지는 것을 확인하였다. ALD 방법으로 증착된 HfO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub>를 각각 charge trap layer와 blocking layer로 형성시키고, 게이트 전극으로 TiN을 이용한 TBE CTF memory capacitor는 단일 SiO<sub>2</sub>의 터널링 절연막을 가지는 memory 소자보다 우수한 소거 특성을 가짐을 확인하였다. 특히, NON구조의 터널링 절연막을 가지는 memory 소자는 약 1 μs부터 소거 동작이 시작되며, 이는 단일 SiO<sub>2</sub>보다 약 10<sup>4</sup> 배 빠른 소거 동작을 가진다. 따라서 NON의 적층구조의 engineered tunnel barrier는 차세대 초고속의 메모리 소자를 위한 효과적인 방법으로 기대된다.

감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.