

## Effect of Surface Roughness on the Formation of Low Resistance Ni-Silicide from Atomic Layer Deposited Nickel Film

방진배<sup>1</sup>, 강희성<sup>2</sup>, 하종봉<sup>2</sup>, 양충모<sup>2</sup>, 이정희<sup>2\*</sup>

<sup>1</sup>경북대학교 센서 및 디스플레이공학과, <sup>2</sup>경북대학교 전자전기컴퓨터학부

게이트와 소스/드레인 영역에서 낮은 저항의 실리사이드 박막을 만들 수 있는, self-aligned 실리사이드 공정은 MOSFET에서 기생저항을 줄일 수 있는 가장 중요한 기술들 중 하나이다. 특히 NiSi의 경우 폭이 0.1 $\mu$ m이하에서도 비저항의 증가가 거의 없고, Ni와 Si의 1:1반응으로 Si 소모량이 적다는 장점을 가지고 있다.

본 연구에서는, atomic layer deposition(ALD) 방법을 이용한 니켈 박막을 증착하기 전에 진행하는 실리콘 표면 전처리에 대하여 다양한 조건을 적용하여 니켈 박막 증착과 니켈 실리사이드 박막의 특성에 미치는 영향을 표면 거칠기, 면저항, 그리고 접촉 저항을 이용하여 알아보았다.

6인치 P-type Si(100) 웨이퍼에 다양한 전처리 조건을 적용하여 샘플을 준비하였다. 조건은 CF<sub>4</sub> 가스를 이용하여 800W와 600W로 3초동안 건식각 한 경우, DHF에서 60초동안 처리후 CF<sub>4</sub> 가스에서 3초동안 800W로 건식각 한 경우, CHF<sub>3</sub> 가스에서 3초동안 600W로 건식각한 경우, 그리고 DHF에서 60초 동안 처리한 경우이다.

실리콘 표면의 거칠기가 낮은 전처리 조건에서는 니켈 박막 증착 특성이 좋지 않으며, 증착된 박막의 면저항도 높게 나타났다. 이는 표면이 매끄러울수록 ALD의 초기증착시 니켈 전구체와 실리콘 사이의 반응이 일어나기 어렵기 때문이다. 실리콘 표면의 거칠기가 높은 전처리 조건에서 낮은 저항의 니켈 실리사이드 박막과 낮은 접촉 저항을 보여주었다. 이는 실리콘 표면에서 니켈과 실리콘의 높은 반응을 때문이다. 그리고, 건식각을 하기전에 DHF 세정을 적용하는 것이 니켈 실리사이드의 낮은 접촉저항을 구현하는데 도움을 주었다. 결과적으로, 45 nm 노드 이하의 소자에 적용하는 우수한 니켈 실리사이드 박막을 구현하기 위해서 전처리 조건을 최적화할 필요가 있다.