

비대칭 채널 도핑영역의 FinFET 구조를 갖는 멀티비트 낸드 플래시 메모리

유주태¹, 김현우², 김동훈¹, 유주형¹, 김태환¹

¹한양대학교 전자통신컴퓨터공학과, ²한양대학교 나노반도체공학과

플래시 메모리는 다른 저장 매체들보다 소형화가 쉽고, 휴대하여 사용하기에 편리한 장점이 있기 때문에 시장에서 수요가 점점 증가하고 있다. 그러나, 플래시 메모리 소자는 다른 저장 매체들에 비해 단위용량 당 가격이 비싼 단점도 가지고 있다. 이에 대해 가격 경쟁력을 높이고 성능향상을 위해 플래시 메모리 소자의 대용량을 위한 소형화와 멀티비트 구현에 대한 연구가 활발히 진행되고 있다. 플래시 메모리의 저장용량을 증대시키기 위해 소자를 비례-축소할 때 단 채널 효과, 편치스루 현상 및 셀 간 간섭현상 문제가 발생 한다. 본 연구에서는 이러한 문제를 최소화하면서 저장용량을 향상시킬 수 있는 비대칭 채널 도핑영역을 갖는 FinFET 구조위에 SONOS 형태의 낸드 플래시 메모리 소자를 제안하였다. 본 연구에서 제안한 낸드플래시 메모리 소자의 한 개의 셀 안에 소스-드레인 방향으로 채널1과 채널2로 도핑농도를 비대칭적으로 변화하여 그 위에 두 개의 컨트롤 게이트로 전자 트랩을 제어함으로 셀당 2-bit 구현이 가능하다. 2차원 시뮬레이션 툴인 MEDICI를 사용하여 이 소자의 동작특성을 시뮬레이션 하였다. 낸드플래시 메모리 소자의 Fin의 너비는 20 nm, 부유게이트의 두께는 4 nm 및 터널링 산화층의 두께는 2 nm 이다. 멀티비트를 구현하기 위해 채널1에 $1 \times 10^{17} \text{ cm}^{-3}$ 농도로 n-type 도핑 및 채널2에 $3 \times 10^{19} \text{ cm}^{-3}$ 농도로 n-type 도핑을 하였다. 제어게이트에 쓰기 전압을 인가하여 Si_3N_4 층에 전자를 포획하였다. 두 제어게이트에 의해 모두 쓰기가 된 상태를 00, 모두 소거된 상태를 11, 제어게이트 1이 소거되고 제어게이트 2에만 쓰기가 된 상태를 10, 제어게이트 2가 소거되고 제어게이트 1에만 쓰기가 된 상태를 01이라 정의하였다. 낸드플래시 메모리 소자의 한 개의 셀의 00, 11, 10 및 01 상태의 전자포획 영역층에 트랩된 전하량을 계산하였다. 쓰기 동작 후 각각의 네 가지 상태에 대해 제어게이트에 전압을 인가하여 전류-전압 특성 곡선을 얻었다. 쓰기 전압을 인가한 후의 소자의 문턱 전압이 쓰기 전압을 인가하기 전의 초기상태의 문턱 전압보다 훨씬 크고, 문턱전압의 이동으로 네 가지 상태가 서로 구별되어 2-bit로 동작하는 것을 확인되었다. 소자의 컨트롤 게이트에 음 전압을 인가하여 트랩된 전하를 소거하면 문턱전압이 초기 상태로 되돌아옴을 시뮬레이션을 통하여 제안된 소자의 플래시 동작특성을 확인하였다. 본 연구에서 제안한 낸드플래시 메모리 소자는 2-bit 동작이 가능한 대용량 메모리 소자로서의 응용가능성을 보여주고 있다.

This work was supported by the Korea Science and Engineering Foundation (KOSEF) grant funded by the Korea government (MEST) (No. R0A-2007-000-20044-0).