

두께가 다른 2개의 게이트 절연막을 포함한 FinFET 구조를 가진 멀티비트 낸드 플래시 메모리

김병권¹, 김현우², 김동훈¹, 유주형¹, 김태환¹

¹한양대학교 전자통신컴퓨터공학과, ²한양대학교 나노반도체공학과

플래시 메모리는 EEPROM보다 제작비용이 덜 들고 기억매체의 소형화와 저 전력화라는 장점으로 인해 점차 시장이 확대되어 가고 있다. 그러나 다른 저장 매체들에 비해 단위용량 당 가격이 비싼 점을 보완하고자 메모리 집적도를 높이기 위해 소자의 크기를 줄일 때 소자의 절연층 두께 감소에 의한 누설 전류의 발생, 단채널 효과 및 협폭효과 문제들에 의해 소자 크기의 축소가 제한을 받게 된다. 이러한 문제점들을 개선하기 위해 본 연구에서는 FinFET 구조 위에 ONO (Oxide-Nitride-Oxide)층을 적층한 멀티-비트 특성을 나타내는 플래시 메모리 소자를 제안하였다. 고집적화에 유리하고 소자의 작동전압을 크게 줄일수 있으며 소자의 크기가 작아지는 단채널효과의 문제점을 해결할 수 있는 FinFET 구조에서 제어게이트를 제어게이트1과 제어게이트2로 나누어 주어 독립적으로 쓰기 및 소거 동작을 제어할 수 있다. 각각의 제어게이트 영역에서의 coupling ratio를 다르게 하기 위해 제어게이트1의 게이트 절연막을 7 nm, 제어게이트2의 게이트 절연막을 6 nm로 두께를 다르게 하였다. 2차원 시뮬레이션 툴인 MEDICI를 사용하여 낸드플래시 소자의 각 셀이 2-비트 구현이 가능한 것을 시뮬레이션으로 확인 하였다. 두 제어게이트에 의해 모두 쓰기동작이 가해진 상태를 00, 모두 소거동작이 가해진 상태를 11, 제어게이트 1에 소거동작이 가해지고 게이트2에 쓰기동작이 가해진 상태를 01, 그리고 제어게이트 2에 소거동작이 가해지고 게이트1에 쓰기동작이 가해진 상태를 10이라고 정의하였다. 시뮬레이션을 통해 얻은 00, 11, 10 및 01 상태에서 각 전하 포획 층에 포획된 전하량 비교를 통해서 게이트 절연막 두께 차이로 인한 coupling ratio 차이로 인해 포획되는 전하량이 달라짐을 알 수 있다. 00, 11, 10 및 01 상태에서 제어게이트에 전압을 인가하여 전류-전압 시뮬레이션 결과를 얻었으며, 시뮬레이션 결과는 각 상태에서의 문턱전압들이 충분히 구분됨을 확인함으로써 셀 당 2-비트 동작이 이루어짐을 보여주고 있다. 본 연구에서 제안한 낸드플래시 메모리 소자는 멀티비트 동작이 가능한 대용량 메모리 소자로서의 응용가능성을 보여주고 있다.

This work was supported by the Korea Science and Engineering Foundation (KOSEF) grant funded by the Korea government (MEST) (No. R0A-2007-000-20044-0).