

Al-Oxide 계면간의 Thermal/Mechanical stress mismatch에 의해 기인된 Morphological Defect 제거를 위한 HDP gap-fill 공정 최적화에 대한 연구

서한재^{1,2*}, 김호준², 송재원², 김광년², 박종왕²

¹삼성전자 공과대학교(SSIT)

²삼성전자 메모리사업부 TC기술팀

Stress-induced void는 Interconnection 공정 중 절연막 증착 공정에서 중요한 신뢰성 문제를 유발하는 불량률의 하나로 특정 회로 배선에서 집중적으로 발생하는 현상인 영역의존성(Areal Dependency)에 대해 연구하였다. Post-annealing 공정에 의한 heat budget이 특정 회로 배선에 미치는 영향성을 규명하고 스트레스 유발현상을 분석 및 최적의 회로 배선을 찾기 위해 COMSOL社의 multiphysics tool을 이용한 시뮬레이션을 수행하였다. 또한 절연막 증착 공정 평가를 통해 stress-induced void의 영역의존성을 최소화 할 수 있는 절연막 증착 공정을 제시하고자 한다.