

Top-gate 실리콘 나노선 트랜지스터의 제작 및 특성평가

허정훈^{1,2}, 박경수¹, 김대현¹, 김규태², 최경진¹, 박재관¹

¹한국과학기술연구원 나노재료연구센터, ²고려대학교 전자공학과

실리콘은 field-effect transistor (FET), 태양전지, 광센서 등 광범위한 산업 응용 분야에서 핵심 소재로서 이용되고 있다. 그 중 FET의 경우, 전자 기기의 소형화 및 경량화 추세에 따라 좁은 공간에 전자 소자를 고밀도로 구현할 수 있는 고집적화가 요구된다. 이에 따라, 기존의 박막 기반 소자 대신 실리콘 나노선 기반의 FET가 차세대 전자 소자로서 각광받고 있다. 그러나 나노선은 박막에 비해 비표면적이 훨씬 크기 때문에 고농도의 표면 결함이 존재할 수 있다. 표면 결함은 나노선 FET의 I-V 측정 시, hysteresis뿐만 아니라 비이상적인 sub-threshold slope를 유발하는 등 소자 특성을 현저하게 저해하게 것으로 알려져 있다. 또한, 현재 사용되고 있는 back-gate 기반의 소자 제조 방식의 경우, 실리콘 나노선에 SiO₂를 단순히 물리적으로 부착하기 때문에 위와 같은 문제점이 여전히 존재할 수밖에 없다.

본 연구에서는 실리콘 나노선 FET 소자에서 흔히 관찰되는 hysteresis 문제를 해결하기 위해 실리콘 표면에 고온 열처리를 통한 양질의 절연산화막을 형성함으로써 hysteresis 현상이 최소화된 실리콘 나노선 FET 소자를 제작하였다. 사용된 실리콘 나노선은 p-형 반도체로서 화학 증착 기상법을 이용해 100 torr 압력과 530 °C 온도에서 SiH₄와 B₂H₆ 기체를 반응시켜 vapor-liquid-solid 방법으로 합성하였다. 합성된 실리콘 나노선은 [111]과 [110] 두 방향으로 주로 합성되었고 길이와 굵기는 각각 수십 μm 와 50 nm 미만으로 관찰되었다. 실리콘 나노선 표면에 산화막을 형성하기 위해서 나노선을 950 °C에서 약 10분 동안 산소 열처리를 하였다. 그 결과 10 nm 두께의 산화막이 형성되어 실리콘-산화막의 core-shell 구조가 형성되었다. SiO₂ shell을 절연산화막으로 활용하여 Ni top-gate 구조의 FET 소자를 제작하였는데 I-V 측정 결과, back-gate 기반의 소자에 비해 top-gate 소자의 경우 hysteresis와 구동 게이트 전압이 현저히 감소함을 확인하였다. 본 발표에서는 실리콘 나노선의 합성, top-gate FET 제작, 표면 결함 농도와 hysteresis 현상과의 상관관계 등에 대해서 토의하고자 한다.