

# 3상 계통연계형 인버터를 위한 SRF-PLL 시스템의 제어기 설계

임덕영, 권경민, 최재호, 정교범\*  
충북대학교, 홍익대학교\*

## SRF-PLL system controller design for 3-phase grid connected inverter

Deokyoung Lim, Kyoungmin Kwon, Jaeho Choi, Gyo-Bum Chung\*  
Chungbuk National University, Hongik University\*

### ABSTRACT

Phase Locked Loop(PLL) 시스템은 UPS, 전력용 능동필터, PWM 정류기 등 여러 전력변환 장비에서 사용되어 왔다. 특히 계통에 연계된 능동 전력변환 시스템은 계통과의 동기화를 위해 위상각의 정확한 정보가 필요하며 PLL 시스템을 사용하여 측정한다. 실제 계통의 위상각과 추출된 위상각 사이의 오차는 기준 전류나 전압에 더 큰 고조파를 야기한다. 본 논문은 계통 고장에 강인한 PLL 시스템의 제어기를 제안한다.

### 1. 서론

계통에 연계되는 분산전원시스템에서 중요한 사항은 계통전압과 동기화를 이루는 것으로, 동기화 알고리즘은 계통전압의 크기와 위상을 검출한다. 이 정보는 유효전력과 무효전력의 제어와 역률제어 등에서 전류나 전압의 지령치 계산에 사용된다.

최근 주로 사용되는 동기좌표계에서의 PLL방법은 매우 간단하고 안정적이다. 하지만 계통의 사고에 의한 불평형 전압 조건에서 저차의 고조파 전압이 발생되므로 왜곡전압이 발생하는 계통전압 조건에는 적합하지 못하다.<sup>[1][2]</sup> 계통전압이 불평형인 경우에 정확한 위상각을 추정하기 위해서는 계통 전압으로부터 정상분 전압을 빠르고 정확하게 추출하는 것이 중요하다. 정상분 전압을 추출하는 방법에는 3상 전원으로부터 직접 추출하는 방법과 정지좌표계에서 APF를 이용하여 추출하는 방법 그리고 두 동기 좌표계를 이용하여 추출하는 방법이 연구 되었다.<sup>[3]</sup>

제안된 알고리즘은 불평형 계통전압 조건에 강인하고, 빠른 동특성을 갖도록 동기좌표계에서 정상분 전압을 검출하는 알고리즘을 제안하였고, 측정된 전원에 센서의 노이즈에 의해 포함되는 LPF를 고려한 PLL시스템의 제어기 모델링을 제안한다.

## 2. SRF-PLL 시스템

### 2.1 불평형 전원 해석

불평형 3상 전압은 식(1)과 같이 평형 정상분 3상전압과 평형 역상분 3상전압의 합으로 나타낼 수 있다.

$$\begin{bmatrix} v_{as} \\ v_{bs} \\ v_{cs} \end{bmatrix} = V_p \begin{bmatrix} \cos(\omega t + \phi_p) \\ \cos(\omega t - \frac{2\pi}{3} + \phi_p) \\ \cos(\omega t + \frac{2\pi}{3} + \phi_p) \end{bmatrix} + V_n \begin{bmatrix} \cos(\omega t + \phi_n) \\ \cos(\omega t + \frac{2\pi}{3} + \phi_n) \\ \cos(\omega t - \frac{2\pi}{3} + \phi_n) \end{bmatrix} \quad (1)$$

식(1)을 복소수 형태로 나타내면 식(2)로 표현된다.

$$\vec{v}_{abc} = \vec{v}_{dqs} = V_p e^{j(\omega t + \phi_p)} + V_n e^{-j(\omega t + \phi_n)} \quad (2)$$

여기서 p와 n은 각각의 정상분 변수와 역상분 변수를 의미하며, 3상 3선식을 가정하여 영상분 전압은 고려하지 않았다. 식(2)를 동기 좌표계로 변환하면 식(3)과 같다.

$$\vec{v}_{dqe} = v_{de} + jv_{qe} = V_p e^{j(\omega t + \phi_p - \theta_e)} + V_n e^{-j(\omega t + \phi_n + \theta_e)} \quad (3)$$

식(3)을 오일러 공식을 사용하여 d-q 축으로 나누어 표현하면 식(4)와 같다.

$$\begin{cases} v_{de} = V_p \cos(\omega t + \phi_p - \theta_e) + V_n \cos(\omega t + \phi_n + \theta_e) \\ v_{qe} = V_p \sin(\omega t + \phi_p - \theta_e) - V_n \sin(\omega t + \phi_n + \theta_e) \end{cases} \quad (4)$$

만약 SRF-PLL시스템 동기좌표계의 회전각  $\theta_e = \omega t$ 의 조건을 만족한다면, 식(4)는 식(5)와 같이 표현된다.

$$\begin{cases} v_{de} = V_p \cos \phi_p + V_n \cos(2\omega t + \phi_n) \\ v_{qe} = V_p \sin \phi_p - V_n \sin(2\omega t + \phi_n) \end{cases} \quad (5)$$

식(5)에서 불균형 계통전압에 포함된 역상분 전압은 동기좌표계로 표현된 d, q 전압에 주파수  $2\omega$ 의 맥동 성분으로 나타난다.

### 2.2 역상분 제거 알고리즘

역상분에 의한  $2\omega$ 의 맥동 성분을 제거하기 위해 식(5)에 APF(all pass filter)를 적용하면 식(6)과 같다. 이때 APF의 차단 주파수는 역상분 전압에 포함된 주파수  $2\omega$ 의 맥동 성분은 90도 위상지연을 적용하기 위해 계통전원주

$$\begin{cases} \bar{v}_{de} = V_p \cos \phi_p + V_n \cos(2\omega t + \phi_n - \frac{\pi}{2}) \\ \bar{v}_{de} = V_p \cos \phi_p + V_n \sin(2\omega t + \phi_n) \\ \bar{v}_{qe} = V_p \sin \phi_p - V_n \sin(2\omega t + \phi_n - \frac{\pi}{2}) \\ \bar{v}_{qe} = V_p \sin \phi_p + V_n \cos(2\omega t + \phi_n) \end{cases} \quad (6)$$

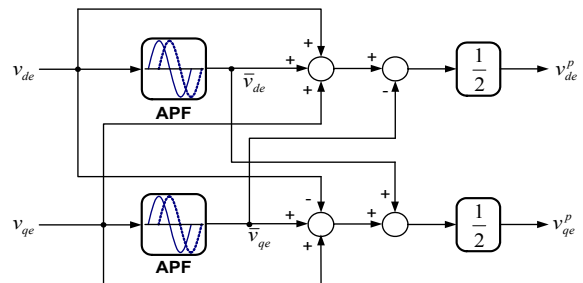


그림 1 정상분 전압 검출 블록도  
Fig.1 Block diagram of positive sequence voltage detection

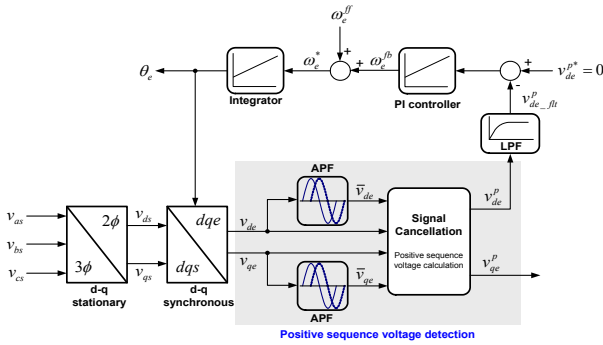


그림 2 SRF-PLL의 블록도  
Fig. 2 Block diagram of SRF-PLL

파수의 2배로 설정한다. 식(5)와 식(6)을 적용하여 정상분 전압을 식(7)과 같이 유도할 수 있다.

$$\begin{cases} v_{dc}^p = V_p \cos \phi_p = \frac{1}{2}(v_{dc} + v_{qc} + \bar{v}_{dc} - \bar{v}_{qc}) \\ v_{qc}^p = V_p \sin \phi_p = \frac{1}{2}(-v_{dc} + v_{qc} + \bar{v}_{dc} + \bar{v}_{qc}) \end{cases} \quad (7)$$

그림 1은 식 (7)을 이용한 d,q 축 전압 성분 추출을 위한 블록도를 보여주고 있다.

그림 2는 SRF-PLL의 블록도이다. SRF-PLL 블록도에서 보여지는 것과 같이 안정된 위상 검출을 위해 정상분 d축 전압분에 사용되고 있는 LPF의 특성을 고려하여 PLL 시스템 전체의 동특성을 설계하고 그 응답 성능을 개선하도록 하였다.

### 2.3.1 LPF를 고려한 PLL 시스템의 제어기 설계

PLL의 구현을 위해서 전압 센싱이 필요하며, 전력계통내에 상존하는 왜곡으로 인한 노이즈 성분의 제거를 위해서 동기 좌표계 d축 전압에 LPF를 사용한다. 전원의 급격한 변동에 대해 전원의 위상과 크기를 정확히 알아내기 위해서는 이러한 LPF가 시스템의 응답특성에 미치는 영향을 분석하고 이를 제어기 설계에 반영할 필요가 있다. 그림 3은 LPF를 고려한 PLL 시스템의 모델링을 나타내며 LPF는 식(8)와 같이 1차 지연요소로 계산되어진다.[4]

$$K(s)_{LPF} = \frac{\omega_c}{s + \omega_c} \quad (8)$$

그림 3의 LPF를 고려한 위상각 제어 시스템에서의 폐루프 전달함수는 식(9)와 같다.

$$H(s)_{LPF} = \frac{G(s)}{1 + G(s)K(s)_{LPF}} = \frac{V_p K_p \left[ s^2 + \left( \omega_c + \frac{1}{\tau} \right) s + \frac{\omega_c}{\tau} \right]}{s^3 + \omega_c s^2 + V_p K_p \omega_c s + \frac{V_p K_p \omega_c}{\tau}} \quad (9)$$

여기서  $K_p$ 는 PI 제어기의 비례이득이고,  $\tau$ 는 PI 제어기의 시정수이며,  $\omega_c$ 는 LPF의 대역폭이다. PLL 시스템의 폐루프 전달함수를 일반적인 2차 제어 시스템 모델과 같아지도록 하기 위해 근사적으로 극점과 영점을 상쇄될 수 있도록 하면 식(10)과 같이  $\zeta$ ,  $\omega_n$ 에 의해 2차 원형계통의 전달함수로 설계할 수 있다.

$$H(s)_{model\_LPF} \cong \frac{2\zeta\omega_n s^2 + (2\zeta\omega_n \alpha + \omega_n^2) s + \alpha\omega_n^2}{s^3 + 2(\zeta\omega_n + \alpha) s^2 + (2\zeta\omega_n \alpha + \omega_n^2) s + \alpha\omega_n^2} \quad (10)$$

여기서  $\zeta$ 는 제동비이고  $\omega_n$ 은 시스템 대역폭이다.

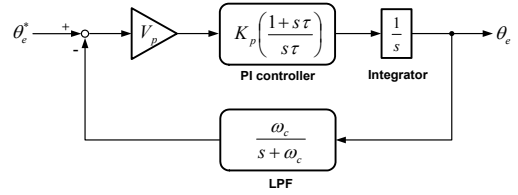
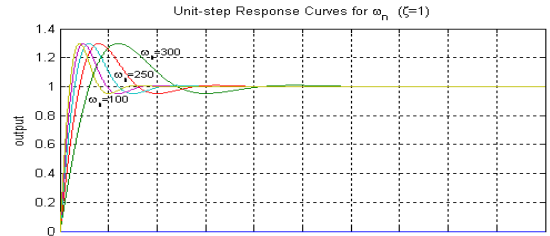
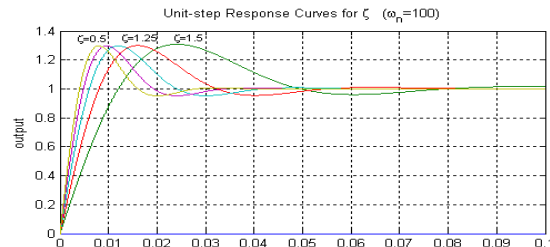


그림 3 LPF를 고려한 PLL 시스템의 모델링  
Fig. 3 Modeling of PLL system with LPF



(a):  $\omega_n = 100; 150; 200; 250; 300$



(b):  $\zeta = 0.5; 0.75; 1.0; 1.25; 1.5$

그림 4 그림 4 제안된 시스템의 단위 응답  
Fig. 4 Unit step response of proposed system.

이러한 관계를 이용하기 위하여  $\alpha = 1$ 인 경우로 가정하고, 식 (9)와 식(10)을 비교하면 식(11)과 식(12)의 결과와 같이 LPF의 절점주파수와 제어기의 이득을 산정할 수 있다.

$$\omega_c = 1 + 2\zeta\omega_n \quad (11)$$

$$K_p = \frac{2\zeta\omega_n}{V_p}, \quad \tau = \frac{K_p V_p \omega_c}{\omega_n^2} \quad (12)$$

이 때  $\omega_n$ 과  $\zeta$ 에 따른 제어기 응답은 그림 4와 같다.

### 3. 시뮬레이션 및 실험

본 논문의 내용을 검증하기 위해 시뮬레이션은 PSIM을 사용하여 수행하였고 실험에는 DSP(tms320vc33)을 적용하여 구현하였다. 시뮬레이션과 실험은 3상 전원이 평형 조건하에서 순시 정전등에 의해 전압의 크기와 위상이 급변하였을 때의 응답 특성과 계통의 왜란에 의한 3상 불평형 전원이 발생하였을 경우의 응답 특성을 확인함으로써 LPF가 고려된 제어기의 동특성이 매우 우수함을 검증하였다.

그림 5는 계통의 3상 전원이 평형 조건하에서 순시 정전등에 의해 전압의 크기와 위상이 급변하였을 때의 시뮬레이션으로 계통전압의 크기와 위상은 0.2[s]를 주기로 311[V]에서 180[V]로 변동하고 위상은 45 점프하였다. 그 결과 위상각(theta)과 각속도(angle)가 빠르게 추종함을 확인 할 수 있다. 또한 계통전원의 동기좌표변환 시 값( $V_{dsc\_grid}$ ,  $V_{qsc\_grid}$ )과 계통전원의 정상분 전압의 값( $V_{dsc\_P\_LPF}$ ,  $V_{qsc\_P}$ )을 비교한 결과 전압의 크기와 위상의 변동에 대해서 3상이 평형한 조건에서는 두 결과가

동일함을 확인 할 수 있다.

그림 6은 계통의 왜란이나 순시정전등에 의해 3상 불평형이 생겼을 때의 시뮬레이션으로 0.2[s]를 주기로 c상 전압의 크기만 311[V]에서 180[V]로 변동하고, 위상은 90° 점프하였다. 그 결과 그림 5의 계통전원의 평형조건에서와 같이 위상각을 빠르게 추종함을 확인 할 수 있다. 하지만 불평형 상태 일 때 동기 좌표계로 변환된 전압( $V_{dsc\_grid}$ ,  $V_{qsc\_grid}$ )에는 전원 주파수의 2배수 리플이 발생됨을 확인 할 수 있고, 제안된 역상분 제거 알고리즘에 의해 동기좌표계로 변환된 정상분 d-q축 전압( $V_{dsc\_P\_LFF}$ ,  $V_{qsc\_P}$ )에 리플이 제거되었음을 확인 할 수 있다.

그림 7은 계통의 3상 전원이 평형 조건하에서의 실험 결과로 실험에 사용된 계통전원의 조건은 시뮬레이션과 동일하게 적용하여 수행하였다. 수행결과 시뮬레이션과 마찬가지로 제어기의 빠르고 정확한 동특성을 확인할 수 있었다.

마찬가지로 그림 8은 계통의 3상 전원이 불평형 조건인 경우에 대하여 실험한 결과로서 이 실험의 조건 역시 시뮬레이션의 불평형 조건과 동일하게 구성하였다. 이 실험 결과에서도 시뮬레이션과 동일한 결과를 확인할 수 있다.

#### 4. 결론

계통전원과 동기화를 이루는 PLL알고리즘은 유효전력과 무효전력의 제어와 역률제어 등에서 중요한 역할을 담당하고 있다. 이러한 PLL에서 중요한 요소는 계통전원으로부터 정상분 전원을 빠르고 정확하게 검출하고 이로부터 계통전원에 정상분에 해당하는 전원을 공급하는 것이다. 본 논문에서는 동기 좌표계에서 APF를 이용하여 정상분 전원을 검출하는 알고리즘을 제안하였다. 또한 센서의 노이즈 저감을 위해 포함되는 LPF를 고려하여 절점주파수( $\omega_n$ )와 댐핑계수( $\zeta$ )에 의해 LPF를 설계하고 제어기를 구성함으로써 LPF에 의한 제어기의 영향을 분석 하였다. 제안된 알고리즘은 시뮬레이션과 실험을 통하여 우수성을 검증하였다.

“본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음”  
(NIPA-2009-(C1090-0904-0007))

#### 참 고 문 헌

- [1] Masoud Karimi-Ghartemani, M. Reza Irvani, "A Method for Synchronization of Power Electronic Converters in Polluted and variable-Frequency Environments", IEEE TRANSACTIONS ON POWER SYSTEMS, VOL. 19, NO. 3, AUGUST 2004.
- [2] Sang-Joon Lee, Jun-Koo Kang, Seung-Ki Sul, "A new phase detecting method for power conversion systems considering distorted conditions in power system", Industry Applications Conference, Vol. 4, pp. 2167 - 2172, 1999.
- [3] 김윤현, 김왕래, 임창진, 김광섭, 권병기, 최창호, "불평형 계통전압에 강인한 연료전지용 전력변환시스템의 PLL 방법", 전력전자학회 학술대회 논문집, pp. 103 ~ 105, 2008. 6.
- [4] 최형진, 송승호, 정승기, 최주엽, 최익, "3상 계통연계형 인버터를 위한 SRF-PLL시스템의 동특성 개선", 전력전자학회 2008년도 추계학술대회 논문집, pp. 71 ~ 73, 2008. 10.

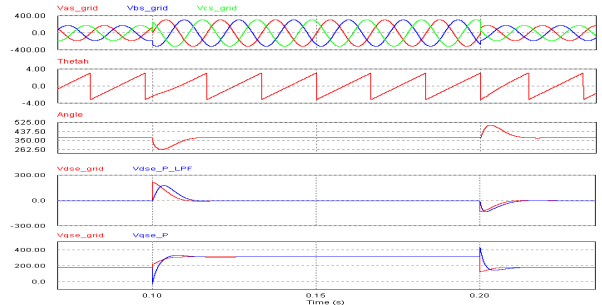


그림 5 계통전원의 평형조건하에서의 PLL 시뮬레이션 결과  
Fig. 5 PLL simulation under phase and voltage variation

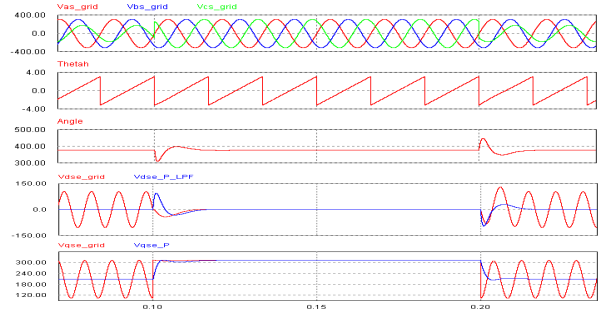


그림 6 계통전원의 불평형 전원에서의 PLL 시뮬레이션 결과  
Fig. 6 PLL simulation under unbalanced voltage condition.

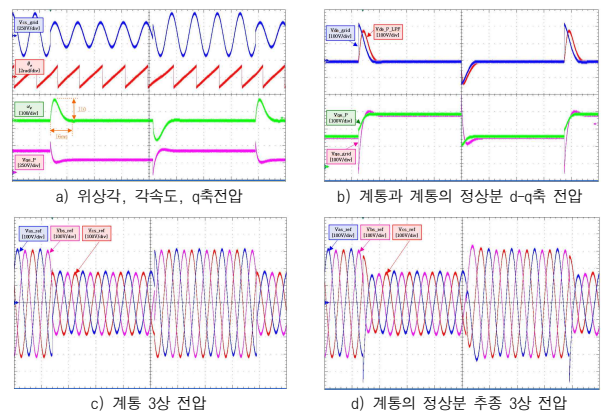


그림 7 계통전원이 평형한 조건에서 PLL 실험 결과  
Fig. 7 PLL experiment under phase and voltage variation

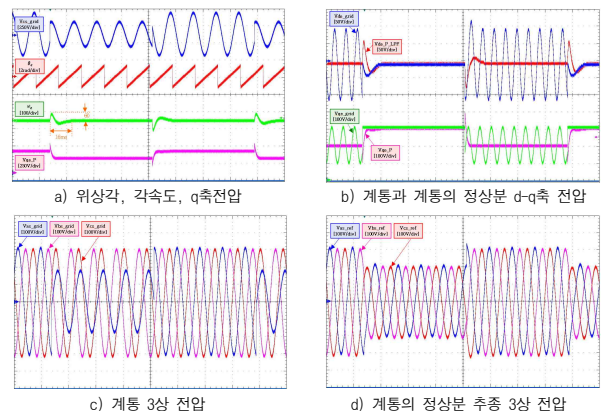


그림 8 계통전원이 불평형한 조건에서 PLL 실험 결과  
Fig. 8 PLL experiment results under unbalanced voltage condition.