

# 산화막 두께에 따른 20nm 이하 MOSFET의 전류-전압 특성 곡선 분석

한지형 · 정חק기 · 이재형 · 정동수 · 이종인 · 권오신

군산대학교 전자정보공학부

Analysis of sub-20nm MOSFET Current-Voltage characteristic curve by oxide thickness

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee · Ohshin Kwon

School of Electronic and Information Eng., Kunsan National University

E-mail : hkjung@kunsan.ac.kr

## 요 약

본 연구에서는 산화막 두께에 따른 20nm 이하 MOSFET의 전류-전압 특성 곡선 분석하였다. 산화물 내의 등가 포획 전하는 가우시안 함수를 사용하였다. 채널의 길이가 20nm 이하인 LDD MOSFET를 설계하여 사용하였고, 소자를 시뮬레이션 하기 위하여 실리콘 공정 디바이스 시뮬레이터인 MicroTec의 SemSim을 사용하였다. SemSim은 디바이스 시뮬레이터로써 입력 바이어스에 의해 공정 시뮬레이션인 SiDif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다. 산화막의 두께를 2nm, 3nm, 4nm로 시뮬레이션 한 결과 산화막의 두께가 얇아짐에 따라 드레인에 흐르는 전류가 증가함을 알 수 있었다.

## I. 서 론

반도체 물성 연구에 대해서 많은 세월 동안 연구되어 왔으며, 그에 따른 물성 연구를 위한 시뮬레이터도 오랜 기간동안 개발되어왔다. 소자가 점점 축소되어지고, 그에 따른 디바이스가 변화하여, 알맞은 시뮬레이터를 개발해야만 했다. 최근 소자의 집적도가 증가하고, 소자들의 크기가 스켈링 이론에 의해서 단위면적당 집적도가 높아졌다. 이러한 현상에 의해서 더욱 소자들의 특성에 대하여 연구하게 되었으며, 그 소자를 모의실험하기 위해서 여러 가지 시뮬레이터가 등장하게 되었다. 본 논문에서는 캐나다 Siborg사에서 만든 MicroTec을 사용하였다. MicroTec은 세 가지 시뮬레이터가 함께 연동을 하여 시뮬레이션 한다. 공정 시뮬레이션으로 SiDif(two-dimensional SIMulator for DIFfusion and oxidation)가 있으며, 두 개 시뮬레이션의 인터페이스 역할을 하는 MergIC(program for MERGing fragments of IC elements)가 있으며, 소자 시뮬레이션인 SemSim(two-dimensional steady - state SEMiconductor device SIMulator)이 있다. 각각의 시뮬레이션에서 2차원, 3차원으로 결과를 볼 수 있으며, 내부에 발생한 특성을 쉽게 볼 수 있는 즉, 간단하게 틀을 접할 수 있다. 현재 반도체 소자들이 전력감소, 도핑농도 증가, 캐리어 속도 증가를 위해서 많은 변화를 가져왔으며,

집적도의 증가로 인하여 소자의 크기가 감소하였다 [1]. 많은 시뮬레이터에 사용되어진 식들이 소자의 감소함에 따라 그 식이 적합한지 부적합한지에 대해서 연구되어지고 있다. 이러한 변화를 받아들이기 위해서, 채널의 길이와 공급 전압이 감소해야하며, 그것으로 인해 소자가 더욱 작아지게 되었다. 본 논문은 소스와 드레인 접합깊이가 얇을 때 소스와 드레인 저항이 증가하여 소자 성능이 떨어지게 되며, 또한 얇은 접합에서는 드레인 영역이 고농도가 되므로 드레인 접합 부근에서 전계가 높아지게 되어 고온 캐리어 효과가 일어하게 되는데[2][3], 이를 해결하기 위해 드레인 영역의 전계를 낮추기 위해서 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인 도전율의 감소를 방지하기 위해 기존의 높은 도핑 농도를 유지하고, 저도핑 드레인(Lightly Doped Drain : LDD)를 추가한 MOSFET를 사용하였다.

## II. MicroTec을 이용한 공정설계

기판은 B를  $1 \times 10^{15}/\text{cm}^3$  농도로 도핑하여 사용하였다. 웨이퍼는 (100)방향의 실리콘 웨이퍼를 사용하였다.  $2\mu\text{m}$ 길이의 기판에 중심을 기준으로 하여  $0.8\mu\text{m}$ 만큼 창을 내어 As를 100KeV 에너지

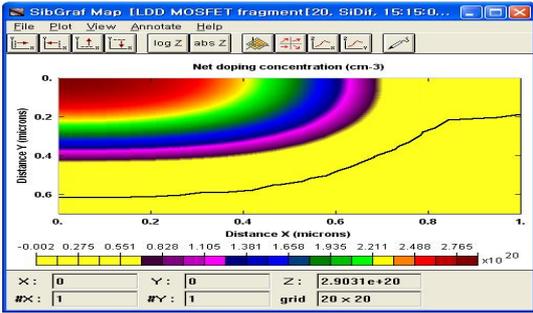


그림 1. SiDif의 도핑 농도의 맵 구조

로  $6.25 \times 10^{14}/\text{cm}^2$ 만큼 도핑하고, 다시 중심을 기준으로 하여  $0.995\mu\text{m}$ 만큼 창을 내어 As를 100KeV 에너지로  $1 \times 10^{12}/\text{cm}^2$ 만큼 도핑한다. 산화막의 두께는  $0.003\mu\text{m}$ 이다.

그림1 은 SiDif의 도핑 농도의 맵 구조이다. SiDif는 여러 다양한 제조 단계들을 수행하며, VLSI 요소들의 2차원적인 불순물 측면을 계산하는데 사용되어진다 [4]. 제조 공정은 여러 개의 공정 단계들을 포함하는데 즉, 순차적인 열처리와 함께 이온 주입, 표면 침전(비소, 붕소, 인)등이 그것이다.

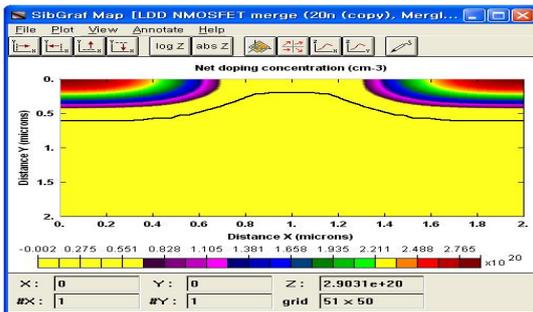


그림 2. MergIC 도핑 농도 맵 구조

그림 2는 MergIC의 구조를 그래픽으로 나타내고 있다. MergIC는 공정 시뮬레이션 툴인 SiDif와 소자 시뮬레이션 툴인 SemSim 사이의 인터페이스를 제공한다. MergIC는 소자 시뮬레이션에서 사용되어지는 소자 영역에 SiDif에 의해서 시뮬레이션된 디바이스 부분들을 결합시킨다. 그 부분들은 디바이스 영역에 대칭되어 위치하게 된다. MergIC의 출력 파일은 수치적 도핑 입력 파일로 SemSim에 입력된다.

그림 3은 SemSim의 도핑 농도 맵 구조를 보여주고 있다. 수치 해석 소프트웨어 툴은 2차원 반도체 디바이스 시뮬레이션에 이용된다. 최근들어 새로운 방법의 선형 반도체 방정식은 비선형 반도체 방정식들의 효율적인 해법에 적용되어졌다. 이 방정식으로 인해 요구되어지는 메모리가 줄어들게 되었다. SemSim에서 이방정식을 사용하였으며, 다른 시뮬레이터에 비해 속도와 메모리 사용량이 줄어들었다.

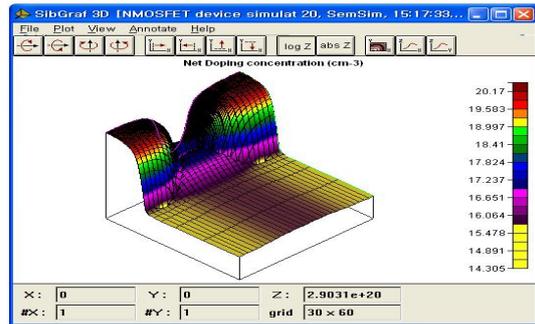


그림 3. SemSim 도핑 농도 맵 구조

SemSim은 디바이스 시뮬레이션으로써 입력바이어스에 의해 공정 시뮬레이션인 SiDif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다[5].

### III. 결과 및 고찰

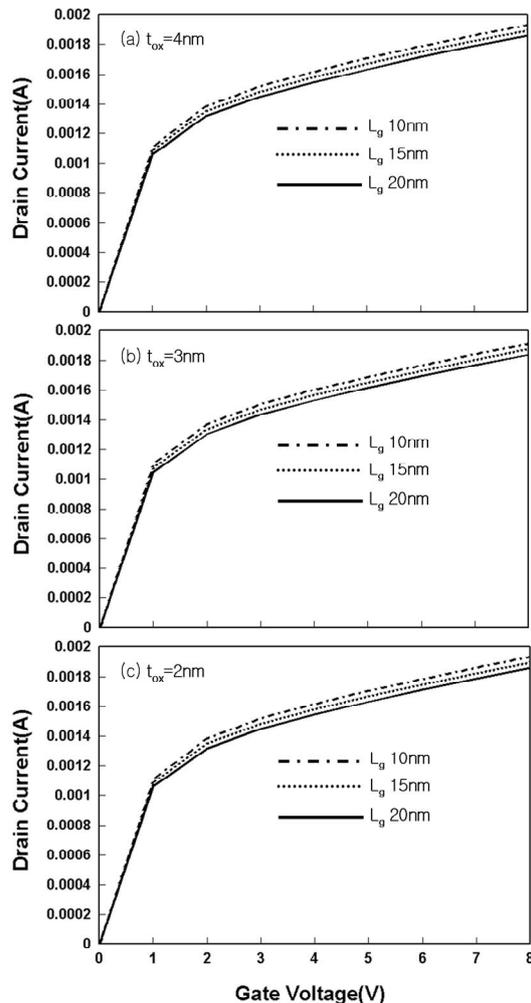


그림 4. 산화막 두께에 따른 전류-전압 특성 곡선

그림 4는 산화막 두께에 따른 전류-전압 특성 곡선을 도시한 그림이다. 그림(a)는 산화막 두께가 4nm일 때, (b)는 3nm일 때, (c)는 2nm일 때의 전류-전압 특성 곡선이다. 사용한 바이어스로는 소스는 0V, 기판 0V, 드레인은 0V에서 1V씩 증가하여 8V까지 증가시켰으며 게이트는 3V를 사용하였다. 산화막 두께가 4nm일 때 채널 길이가 20nm일 때 보다 채널 길이가 10nm일 때 더 높은 드레인전류가 흐름을 알 수 있었다. 게이트 전류가 1V 이고 채널 길이가 10nm일 때 흐르는 전류는 0.0011087A 이고, 15nm일 때 0.0010842A, 20nm일 때에는 0.0010633A이다. 산화막 두께가 3nm, 드레인 전류가 1V일 때 채널 길이가 10nm이면 흐르는 전류는 0.0011025A 이고, 15nm는 0.0010764A, 20nm는 0.00105A이다. 산화막 두께가 2nm, 드레인 전류가 1V일 때 채널 길이가 10nm이면 흐르는 전류는 0.0010925A 이고, 15nm는 0.0010684A, 20nm는 0.0010472A이다. 표1-3은 산화막 두께에 따라 드레인 전압과 전류의 값을 표기하였다.

표 1. 산화막 두께가 4nm일 때 전류-전압

채널 길이 드레인전압	10nm	15nm	20nm
	드레인 전류(단위A)		
1V	0.0011087	0.0010842	0.0010633
2V	0.0013835	0.0013503	0.0013157
3V	0.0015189	0.0014838	0.0014474
4V	0.0016169	0.0015812	0.0015441
5V	0.0017047	0.0016691	0.0016318
6V	0.0017846	0.0017492	0.0017124
7V	0.00186	0.001825	0.0017886
8V	0.0019295	0.0018952	0.0018592

표 2. 산화막 두께가 3nm일 때 전류-전압

채널 길이 드레인전압	10nm	15nm	20nm
	드레인 전류(단위A)		
1V	0.0011025	0.0010764	0.00105
2V	0.0013713	0.0013388	0.0013043
3V	0.0015051	0.0014701	0.0014337
4V	0.0016014	0.001566	0.001529
5V	0.0016877	0.0016523	0.0016151
6V	0.0017661	0.001731	0.0016942
7V	0.00184	0.0018052	0.001769
8V	0.0019082	0.001874	0.001874

표 3. 산화막 두께가 2nm일 때 전류-전압

채널 길이 드레인전압	10nm	15nm	20nm
	드레인 전류(단위A)		
1V	0.0010925	0.001068	0.0010472
2V	0.0013592	0.0013265	0.0012922
3V	0.0014902	0.0014555	0.0014193
4V	0.0015848	0.0015496	0.0015128
5V	0.0016695	0.0016343	0.0015973
6V	0.0017464	0.0017115	0.0016749
7V	0.0018188	0.0017841	0.0017481
8V	0.0018854	0.0018513	0.0018157

#### IV. 결 론

본 연구에서는 산화막 두께에 따른 20nm 이하 MOSFET의 전류-전압 특성 곡선 분석하였다. 채널 길이가 10nm, 15nm, 20nm인 LDD MOSFET를 설계하여 채널 길이에 따른 전류-전압 곡선을 분석하였다. 표에 나타난 바와 같이 채널 길이가 감소할수록 드레인 전류가 증가함을 알 수 있다. 채널의 길이가 작아진다는 것은 소스와 드레인 간의 거리가 줄어든다는 의미이고, 이 짧아진 거리는 캐리어가 통과하는 시간이 줄어들기 때문이다. 또 크기가 작아진 만큼 기생 저항과 기생 용량 또한 줄어들므로 같은 전류 수준에서 동작하는 회로의 동작이 빨라지게 된다. 또한 산화막 두께에 따른 드레인 전류를 비교해보면 산화막 두께가 4nm일 때가 2nm일 때보다 더 높은 드레인 전류가 흐름을 알 수 있었다.

#### 참 고 문 헌

[1] Takayasu Sakurai, "VLSIs in the year 2010 and beyond From a designer's point of view", JSAP International N0.3, 2001, pp.15-21

[2] J. Y. Tang and K. Hess, "Theory of hot electron emission from silicon into silicon dioxide", J. Appl. phys., vol. 54, 1983, pp.5145-5151

[3] T. H. Ning and H. N. Yu, "Optically induced injection of hot electrons into SiO<sub>2</sub>", J. Appl. phys., vol. 45, 1978, pp.5373-5378

[4] M.Sobrecht, A.L.Alexzndrov, "SIDIF-a program for two-dimensional modeling of diffusion and oxidation," Solid-State Electronics, Software Survey Section, vol. 34, No 8, 1991.

[5] "MicroTec Semiconductor Process and Device Simulator, Version 4.0 for windows", Siborg Systems Inc, pp35-54, 2003.