
FinFET의 게이트산화막 두께에 따른 문턱전압특성

한지형, 정학기, 이재형, 정동수, 이종인, 권오신
군산대학교 전자정보공학부

Gate Oxide Thickness Dependent Threshold Voltage Characteristics for FinFET

Jihyung Han-Hakkee Jung-Jaehyung Lee-Dongsoo Jeong-Jongin Lee-Ohshin Kwon
School of Electronic and Information Eng., Kunsan National University

요 약

본 연구에서는 FinFET 제작시 단채널효과에 가장 큰 영향을 미치는 게이트산화막두께에 따른 문턱전압의 변화를 관찰하고자한다. 산화막두께의 영향을 분석하기 위하여 분석학적 3차원 포아송방정식을 이용한 전송모델을 사용하였다. 나노구조 FinFET에서 문턱전압에 영향을 미치는 구조적 요소 중 게이트 산화막은 매우 중요한 소자파라미터이다. 본 연구의 모델이 타당하다는 것을 입증하기 위하여 포텐셜분포값을 3차원 수치해석학적 값과 비교하였다. 결과적으로 본 연구에서 제시한 포텐셜모델이 3차원 수치해석학적 시뮬레이션 모델과 매우 잘 일치하였으며 FinFET의 산화막두께에 따라 문턱전압특성을 분석하였다.

Abstract

In this paper, the dependence of threshold voltage on the gate oxide thickness, which it mostly influenced on short channel effects in fabrication of FinFET, has been investigated. The transport model based on three dimensional Poisson's equation has been used to analyze influence on gate oxide thickness. The gate oxide thickness is the most important factor to influence on the threshold voltage in nano structure FinFET.

The potential distributions of this model are compared with those of three dimensional numerical simulation to verify this model. As a result, since potential model presented in this paper is good agreement with hree dimensional numerical model, the threshold voltage characteristics have been considered according to the gate oxide thickness of FinFET.

I. 서 론

FinFET와 같은 다중게이트 트랜지스터는 10nm 이하의 소자까지도 제작가능한 것으로 알려지고 있다.[1] 특히 스케일링에서 가장 중요한 단채널효과를 줄이면서 나노소자를 제작할 수 있다. 단채널효과는 문턱전압의 변화, 문턱전압이하전류스윙, 드레인전압 유기장벽감소 등 여러 가지 효과로 나타나면서 결국 소자의 특성을 저하시켜 집적회로에서의 사용을 제한하고 있다. 최근 소자가 20nm이하의 나노화가 진행되면서 양자역학적 효과(Quantum Mechanical

Effects)까지 소자해석에 포함하고 있는 실정이다.[2]

본 논문에서는 FinFET의 게이트 산화막두께가 문턱전압에 미치는 영향을 고려하고자한다. 문턱전압은 정확히 설계되지 않으면 소자의 완벽한 동작을 보장할 수 없는 소자설계에서 가장 중요한 전기적 인자이다. 그러므로 본 논문에서는 3차원 포아송방정식을 이용하여 게이트산화막두께에 따른 문턱전압의 변화를 관찰하고 설명할 것이다.

II. 이론 및 결과고찰

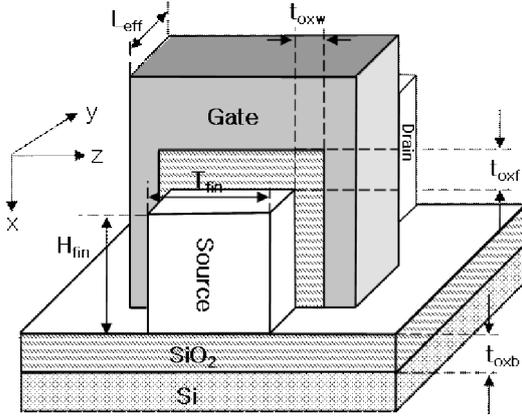


그림 1. FinFET의 개략도
Fig. 1 Schematic view of FinFET

그림 1은 이 논문에서 사용한 FinFET의 개략도이다. 이 구조의 x,y,z방향에 대한 포텐셜분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \Psi = qN_A / \epsilon_{Si} \quad (1)$$

여기서 N_A 는 채널내 도핑농도이다. 이 식에 대한 분석학적 모델은 이미 발표한 논문의 식을 참조하였다.[3]

$$\begin{aligned} \psi_{1D} &= \psi_{sb} + E_{sb}(H_{fin} - x) + \frac{q}{2\epsilon_{Si}} N_A (H_{fin} - x)^2 \\ \psi_{2D} &= \sum_{r=1}^{10} [V_r \sinh(\gamma_r y) + V_r \sinh(\gamma_r (L_{eff} - y))] \\ &\quad \times [\sin(\gamma_r x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \gamma_r \cos(\gamma_r x)] / \sinh(\gamma_r L_{eff}) \\ \psi_{3D} &= \sum_{s=1}^1 \sum_{r=1}^{10} P_{sr} [\sinh\{\chi_{sr}(T_{fin} - z)\} + \sinh(\chi_{sr} z)] \\ &\quad \times \frac{\sin(\alpha_s (y - L_{eff}))}{\cos(\alpha_s L_{eff})} [\sin(\beta_r x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \beta_r \cos(\beta_r x)] \end{aligned}$$

즉, ψ_{1D} , ψ_{2D} , ψ_{3D} 의 값을 더하여 총 포텐셜을 구하였으며 이에 대한 검증도 기존의 논문에서 발표하였다. 위의 포텐셜분포를 이용하여 채널깊이방향의 포텐셜중 최소값을 기준으로 상단의 전류를 상단전류 I_{fd} , 하단전류를 I_{bd} 라하면 총 전류 I_{ds} 는 I_{fd} 와 I_{bd} 의 합으로 구할 수 있다.

그림 2(a) (b) (c)는 FinFET에 존재하는 게이트 산화막 즉, 상단게이트산화막 t_{oxf} , 하단게이트산화막 t_{oxb} , 측면게이트산화막 t_{oxw} 에 대한 문턱전압의 변화를 채널 길이에 따라 나타낸 것이다. 그림 2(a) (b) (c)에서 알 수 있듯이 채널길이가 감소하면

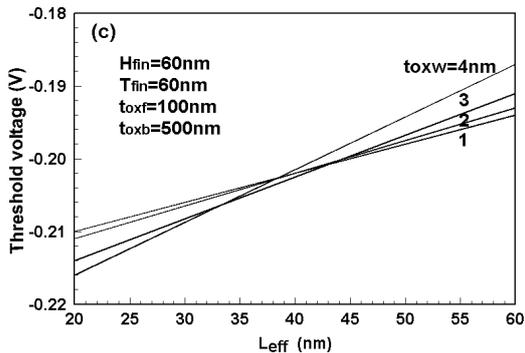
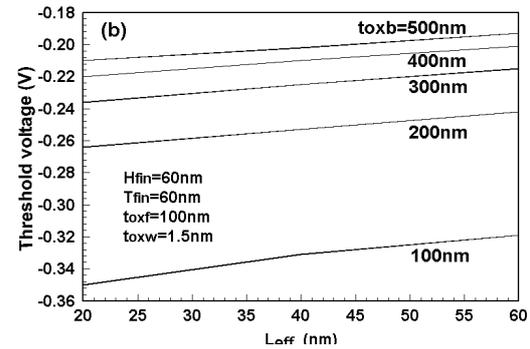
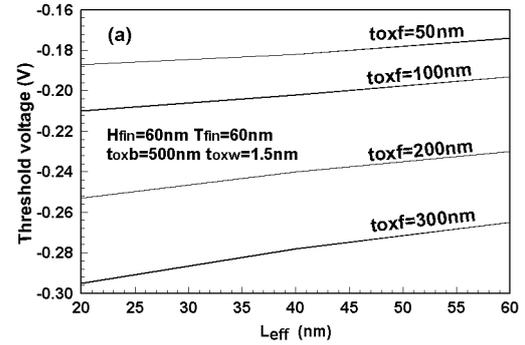


그림 2. 게이트산화막의 두께를 파라미터로 한 채널 길이에 따른 문턱전압의 변화

Fig. 2. The variation of threshold voltage with the change of channel length according to gate oxide thickness

단채널효과에 의하여 문턱전압의 절대값이 증가하는 것을 알 수 있다. 그림 2(a)에서 상단게이트 산화막 두께가 증가할수록 문턱전압의 절대값이 증가하므로 상단게이트 산화막의 두께는 작게 제작하여야한다. 또한 그림 2(b)의 하단게이트 산화막 경우는 두께가 감소할수록 문턱전압의 절대값이 증가하므로 두겹

제작하여 단채널효과를 감소시켜야만 한다는 사실을 알 수 있다. 그림 2(c)의 측면 게이트산화막의 경우는 채널길이에 따라 문턱전압의 절대값이 변화하는 것을 알 수 있다. 즉 채널길이가 약 40nm보다 짧을 때는 측면 게이트산화막의 두께가 클수록 문턱전압의 절대값이 증가하나 채널길이가 약 40nm보다 클 때는 측면게이트 산화막의 두께가 작을때 문턱전압의 절대값이 증가하는 것을 알 수 있다. 그러므로 측면 게이트 산화막의 두께는 채널길이에 따라 더욱 세심하게 제작되어야만 할 것이다.

III. 결 론

이 논문에서는 게이트산화막의 두께에 따라 문턱전압의 변화를 관찰하였다. 이를 위하여 이미 기존의 논문에서 검증된 분석학적 포아송방정식이 사용되었으며 채널길이의 변화에 따라 게이트전압에 따른 드레인 전류의 변화를 관찰하며 문턱전압을 구하였다. 이때 게이트전압은 상단게이트에 인가한 전압이다. 문턱전압은 게이트산화막의 두께에 따라 심하게 변화하며 상단게이트 산화막의 두께가 작을수록 그리고 하단게이트 산화막의 클수록 문턱전압의 절대값은 작아지는 것을 알 수 있었다. 특히 측면게이트 산화막두께에 따른 변화를 고찰해보면 채널길이에 따라 영향이 달라진다는 것을 알 수 있었다. 이와같은 결과는 FinFET를 이용한 집적회로 설계에 이용될 수 있을 것이라 사료된다.

참 고 문 헌

- [1] ITRS 2007 ; <http://public.itrs.net/>
- [2] L.Ge et al., IEEE TED, vol. 40, No. 12, p.2326, 1993
- [3] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.