

SSTL2-II Logic의 데이터 전달특성 연구

김석환*, 허창우**

*카이스트 바이오 및 뇌공학과, **목원대학교 전자공학과

A Study on Data Transmission Specific Property of SSTL2-II

Soke-Hwan Kim*, Chang-Wu Hur**

*KAIST, **Mokwon University

요약

어떤 데이터를 전송할 경우 시스템의 설계에 좌우 되는 경우가 많다. 상호간에 정보를 전달 할 경우 오류 없이 정확히 전송하기 위한 여러 가지 요소 중에서 기본적인 베이스 설계 시 고려 사항, 전송속도, 프로세서의 Logic 선정에 관한 내용을 본 연구를 통해서 제안 하고자 한다. 본 연구는 FPGA의 구현 가능 Logic 중 SSTL2-II 2.5V Logic을 가지고 실험을 하였으며, 전송 선로의 길이 변화와 데이터 속도의 변화 시 얻어지는 데이터 특성을 살펴보았다. 제작된 PCB상에 30cm의 패턴과 케이블을 이용 하였고 전송속도변화에 따른 특성을 측정 하였다. 전송 선로의 길이가 30cm로 하고 데이터 속도가 100Mbps일 경우 비교적 안정한 특성을 얻었다..

I. 서론

통신 기술의 발달과 새로운 반도체 소자의 발달로 인하여 데이터의 고속 전송뿐만 아니라 대용량의 데이터를 얼마나 정확하게 전송 하느냐에 관심을 가지고 있다. 이 관점을 맞추기 위해 본 연구는 시스템의 부분 중 FPGA를 기반으로 한 저전압 SSTL2-II 로직을 구현 하였으며 로직의 특성분석을 통한 최대 안정하게 전달할 수 있는 데이터의 정도를 알아보하고자 한다.

II. 본론

본 연구는 데이터 전달 특성을 알아보하고자 하는 실험으로 Xilinx FPGA를 이용하여 보드를 직접 설계를 하였으며 일정한 전송선로의 길이에 데이터 전송속도를 높였을 경우 얻어지는 결과를 통해 적정한 데이터 전송속도를 알아보았다. 이 결과를 통해 이 로직 구현 시 데이터 전달 특성을 정확히 이해해서 구현 가능한 시스템의 한계점을 제시하고자 한다.

표 2-1. SSTL2-II 전압특성

Parameter	Min	Typ.	Max
VCCO	2.3	2.5	2.7
VIH	1.33	1.43	3.0
VIL	0.3	1.07	1.17
VOH	1.95	2.05	-
VOL	-	0.45	0.55

III. 하드웨어 구현

1. 전체 시스템 블록도

데이터 전송특성을 분석하기 위해 PCB 상에 FPGA를 실장하고 여러 로직 중 SSTL2-II 구성, 데이터 분석을 하기 위한 시스템 구성을 다음 그림과 같이 구성하여 측정하였다. 이 실험에서는 패턴 제너레이터, 데이터 제너레이터,

eye_pattern 장비로 구현 했으며 데이터 제너레이터에서 생성한 64비트의 데이터를 PCB 보드의 FPGA 입력포트에 연결하였다.

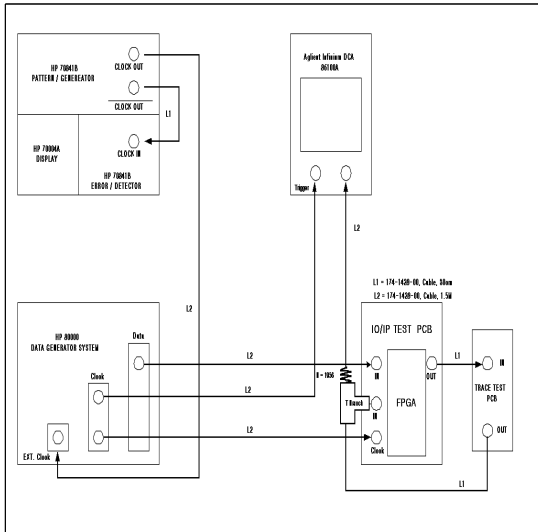


그림 3-1. 시스템 연결선도

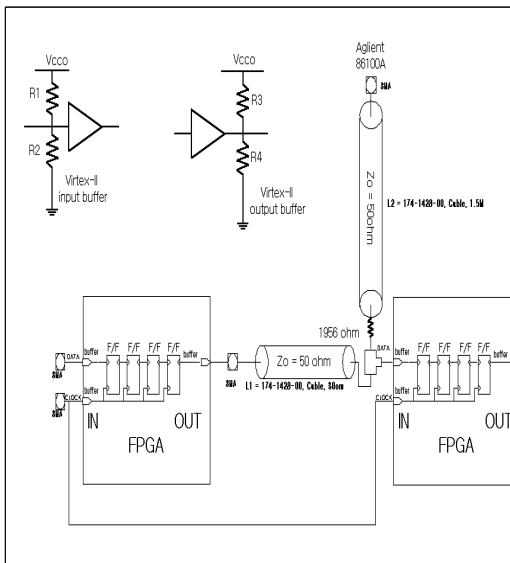


그림 3-2. FPGA 블록 내부도

IV. 데이터 전달 특성 측정

데이터 전송속도를 25Mbps ~ 125Mbps까지 변화와 전송선로의 길이 43cm를 살펴보았다.

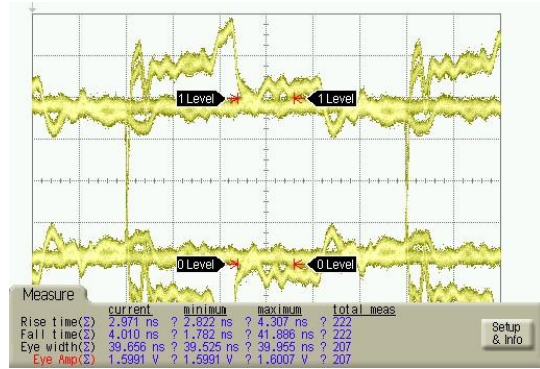


그림 4-1. 데이터 전송속도 25Mbps

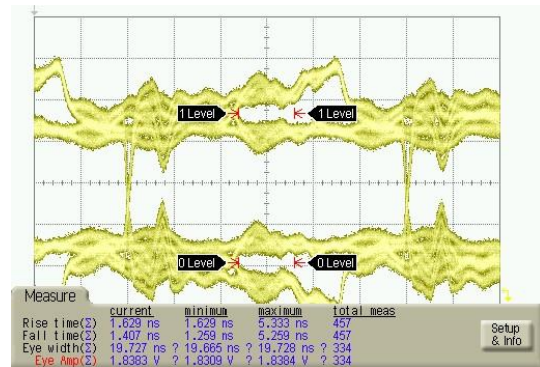


그림 4-2. 데이터 전송속도 50Mbps

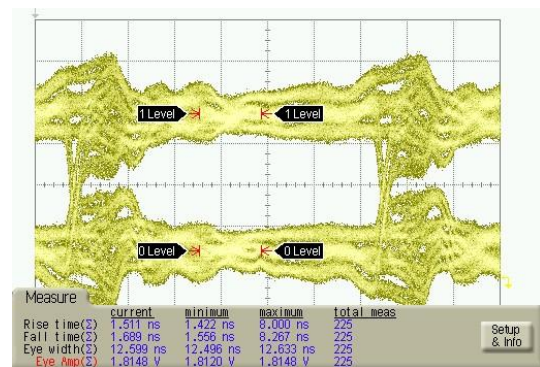


그림 4-3. 데이터 전송속도 75Mbps

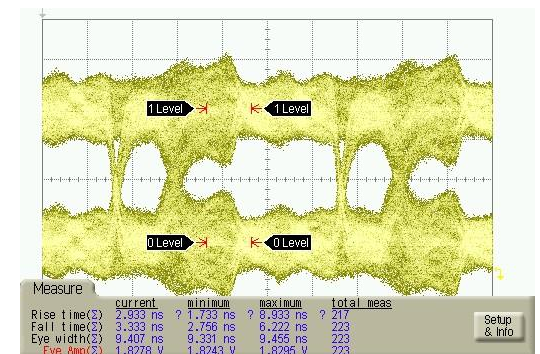


그림 4-4. 데이터 전송속도 100Mbps

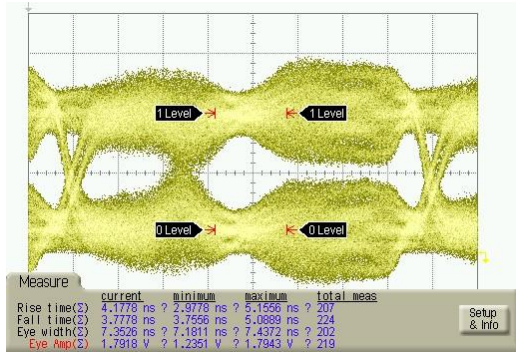


그림 4-5. 데이터 전송속도 125Mbps

실험 측정 결과를 통해 75Mbps까지 데이터의 전송이 가능한 듯 하며 100Mbps에서 부터는 노이즈가 심하게 발생하고, 100Mbps, 125Mbps에서는 데이터의 진폭레벨이 많이 아래로 되었으며, 시간상의 여유도 적어졌다.

V. 결론

FPGA를 이용한 SSTL2-II로직을 구현하여 데이터 전달 특성을 분석을 통하여 전송 가능한 데이터 전달속도와 안정된 전달속도, 전송선로길이를 알았다.

전송선로길이 43cm 기준, 데이터 전송속도 25MHz, 50MHz, 75MHz, 100MHz, 125MHz로 변화 시켜가며 SSTL2-II의 데이터 전달특성을 살펴보았다. 측정 결과 25Mbps ~ 75Mbps 구간에서는 이 로직이 지니는 전압 특성에 맞는 파형을 얻을 수 있었으나 100Mbps 부터는 노이즈가 많이 발생하여 이 구간에 데이터를 실어서 전송할 수는 없다. 손실될 경우가 매우 높은 구간이다. 그러므로 이 로직을 시스템에 적용할 수 있는 최대 데이터 전송구간은 전송선로 길이가 43cm 일 경우 최대 데이터 전송속도는 75Mbps이다.

참고 문헌

- [1] 김석환, 이규정, 허창우 "통신 시스템의 데이터 전송 선로에 대한 연구," 한국 해양 정보통신 학회 논문지 제 9권 6호, pp. 1277-1281, 2005년 10월
- [2] Andrea Boni "1.2Gb/s True PECL 100K Compatible I/O Interface in 0.35 μ m CMOS" IEEE Journal of Solid-State Circuits, Vol.36,

NO.6, June 2001.

[3] J.M. Benedetoo, Oliver Aeroflex UTMIC, " High-Speed Data Transmission for Spaceborne Applications, " Proceedings of the 2001 IEEE Radiation Effects Data Workshop, pp. 67-71, 2001.