

# LLR 근사화에 따른 LDPC 디코더의 성능 분석

나영현\*, 정상혁\*, 신경욱\*

\* 금오공과대학교 전자공학부

An analysis of the effects of LLR approximation on LDPC decoder performance

Yeong-Heon Na\*, Sang-Hyeok Jeong\*, Kyung-Wook Shin\*

\*School of Electronic Engineering., Kumoh National Institute of Technology

E-mail : yhna@kumoh.ac.kr

## 요 약

본 논문에서는 LLR (Log-Likelihood Ratio) 근사화가 LDPC (Low-Density Parity Check) 복호기의 성능에 미치는 영향을 분석하였으며, 이를 통해 LDPC 복호기의 최적 설계조건을 도출하였다. LLR 합-곱 (LLR sum-product) LDPC 복호 알고리즘을 근사화시킨 최소합 알고리즘 (Min-Sum Algorithm; MSA)을 Matlab으로 모델링한 후, 시뮬레이션을 통해 근사화 비트 폭과 최대 반복 복호 횟수에 따른 비트오율 (BER) 성능을 분석하였다. 모델링된 LDPC 복호기는 IEEE 802.11n 표준에 제안된 블록길이 1,944비트, 부호화율 1/2인 패리티 검사 행렬을 사용하였으며, QPSK 변조와 백색 가우시안 잡음채널 하에서 시뮬레이션 하였다. LLR 근사화에 따른 비트오율 성능을 분석한 결과, LLR 비트 폭은 (7,5)이고 반복복호 횟수는 7인 경우에 비트오율 성능이 가장 우수함을 확인하였다.

## ABSTRACT

In this paper, the effects of LLR (Log-Likelihood Ratio) approximation on LDPC (Low-Density Parity-Check) decoder performance are analyzed, and optimal design conditions of LDPC decoder are derived. The min-sum LDPC decoding algorithm which is based on an approximation of LLR sum-product algorithm is modeled and simulated by MATLAB, and it is analyzed that the effects of LLR approximation bit-width and maximum iteration cycles on the bit error rate (BER) performance of LDPC decoder. The parity check matrix for IEEE 802.11n standard which has block length of 1,944 bits and code rate of 1/2 is used, and AWGN channel with QPSK modulation is assumed. The simulation results show that optimal BER performance is achieved for 7 iteration cycles and LLR bit-width of (7,5).

## 키워드

LDPC, error correction code, LLR approximation, IEEE 802.11n

## 1. 서 론

LDPC (Low-Density Parity-Check) 부호는 1962년 R. Gallager에 의해 제안된 오류정정 부호의 한 형태이며, 패리티 검사 행렬에서 '0'이 아닌 원소의 수가 부호길이에 비해 현저히 적게 존재하는 부호로 정의된다<sup>[1]</sup>. LDPC 부호가 제안된 당시에는 기술적인 한계로 인해 구현이 어려워 관심을 받지 못하였으나, 그 후 30여년동안 정보기술과 반도체 기술의 발달에 힘입어 디지털통신 분야에서 관심을 받고 있다. 1993년 Berrou 등에 의해 터보부호(Turbo code)<sup>[3]</sup>가 발견된 이후에, MacKay와 Neal<sup>[4]</sup>에 의해 LDPC 부호가 재조명되었으며, 반복적 부호를 사용하면서도 복잡도가 크게 증가하지 않

는 LDPC 부호의 특성 및 생성방법, 복호기 구조 등에 관한 연구가 활발히 진행되고 있다.

LDPC 부호는 Shannon의 한계치에 가장 근접하는 오류정정 부호로 평가되고 있으며<sup>[6]</sup>, 터보부호에 의해 정정되지 못하는 오류들을 검출할 수 있다. LDPC 부호는 복호화 복잡도가 낮을 뿐만 아니라 오류마루 현상이 나타나지 않으며, 완전 병렬처리가 가능하여 고속연산이 가능하다는 여러 가지 장점을 갖는다. LDPC 부호에서는 오류정정 및 검출 능력을 나타내는 최소거리가 부호의 블록길이에 비례하여 선형적으로 증가하는 특성이 있으며, 이는 블록길이에 비례하여 비트오율 성능이 점진적으로 개선됨을 의미한다.<sup>[7]</sup>

본 논문에서는 근사화된 LDPC 복호 알고리

딤인 최소합 (min-sum) 알고리즘을 Matlab으로 모델링한 후, 시뮬레이션을 통해 LLR 근사화 비트 폭과 최대 반복 복호 횟수에 따른 비트오율 성능을 분석하고, 이를 통해 최적의 설계사양을 도출한다.

## II. 본 론

### 2.1. LDPC 부호

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 패리티 검사 행렬 (Parity Check Matrix)에 의해 정의되는 선형 블록부호의 일종이다. 적은 수의 패리티 검사 방정식들을 사용하여 계산량을 줄이고 확률적인 반복복호 방법에 의해 오류정정 성능을 향상시킨다. 2008년 초에 공개된 차세대 무선 랜 표준인 IEEE 802.11n Draft2.0<sup>[8]</sup>에는 표 1과 같은 LDPC 파라미터들이 정의되어 있으며, 3가지의 블록길이 (648, 1,296, 1,944)와 각 블록길이에 대해 4가지의 부호화율 (1/2, 2/3, 3/4, 5/6)을 규정하고 있다.

LDPC 부호는 패리티 검사 행렬의 구성에 따라 여러 가지 형태로 구분된다. 구조화된 부호의 일종인 Quasi Cyclic LDPC의 패리티 검사 행렬은  $B \times B$ 의 부행렬로 분할될 수 있으며,  $n = N/B$  블록의 열과  $m_i = (1-R) \cdot n$  블록의 행으로 구성된다. IEEE 802.11n 표준의 부호길이  $N=1944$ , 부호율  $R=1/2$ 인 패리티 검사 행렬은 그림 1과 같으며, 각 블록은  $81 \times 81$  크기의 부행렬을 나타낸다. 회색블록은 단위행렬 (unity-matrix)을 주어진 수만큼 오른쪽으로 순환 시프트시킨 행렬을 나타내며, 흰색블록은 영(zero) 행렬을 나타낸다. 이와 같은 구조화된 행렬을 이용한 LDPC 부호는 규칙적인 확장을 통해 블록길이와 부호화율에 따른 행렬을 생성할 수 있다. 따라서 다양한 블록길이와 부호화율을 지원하는 가변적인 LDPC 복호기를 구현할 수 있어 효율적인 하드웨어 구현이 가능하다는 장점을 갖는다.

표 1. IEEE 802.11n의 LDPC PCM 파라미터

부호화율 (R)	LDPC information block length(k)	LDPC codeword block length(n)
1/2	972	1,944
1/2	648	1,296
1/2	324	648
2/3	1,296	1,944
2/3	864	1,296
2/3	432	648
3/4	1,458	1,944
3/4	972	1,296
3/4	486	648
5/6	1,620	1,944
5/6	1,080	1,296
5/6	540	648

### 2.2. LDPC 복호 알고리즘

LDPC 부호의 복호는 패리티 검사 행렬에 의해 구성되는 그림 2와 같은 테너 그래프 상의 변수노드(variable node)와 검사노드(check node) 사이에서 반복적인 메시지 전달과정에 의해 이루어진다. 대표적인 LDPC 복호 알고리즘으로 합-곱 알고리즘(sum-product algorithm; SPA)<sup>[9]</sup>, SPA의 계산 복잡도를 감소시킨 LLR-SPA<sup>[10]</sup>, 그리고 LLR-SPA를 근사화하여 계산 복잡도를 더욱 감소시킨 최소합 알고리즘 (min-sum algorithm; MSA)<sup>[11]</sup> 등이 있다.

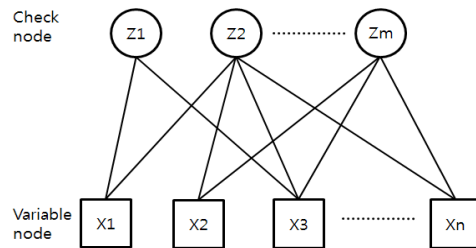


그림 2. 테너 그래프

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	
0	57				50		11		50		79		1	0											
1	3		28		0				55	7				0	0										
2	30				24	37			56	14					0	0									
3	62	53			53			3	35						0	0									
4	40			20	66			22	28							0	0								
5	0				8		42		50			8					0	0							
6	69	79	79				56		52				0						0	0					
7	65				38	57			72	27										0	0				
8	64				14	52			30			32									0	0			
9		45		70	0				77	9												0	0		
10	2	56		57	35						12												0	0	
11	24		61		60			27	51			16	1												0

그림 1. IEEE 802.11n 표준의 LDPC 패리티 검사 행렬 (N=1944, R=1/2인 경우)

1) 합-곱 알고리즘(SPA)<sup>[9]</sup>

SPA는 검사노드와 변수노드 사이의 메시지 전달과정에서 합과 곱의 연산이 이루어지며, 가장 널리 이용되는 성능이 우수한 LDPC 복호 알고리즘이다. SPA의 검사노드와 변수노드에서의 관계식은 다음과 같다.

- (i) 수평단계 연산 (검사노드에서 수행)  
 $1 \leq n \leq N$  이고  $m \in M(n)$  일 때,

$$U_{mn}^{(i)} = 2 \tanh^{-1} \prod_{n' \in N(m) \setminus n} \tanh \frac{V_{mn'}^{(i-1)}}{2} \quad (1)$$

- (ii) 수직단계 연산 (변수노드에서 수행)  
 $1 \leq n \leq N$  이고  $m \in M(n)$  일 때,

$$V_{mn}^{(i)} = U_{dn,n} + \sum_{m' \in M(n) \setminus m} U_{m'n}^{(i-1)} \quad (2)$$

2) LLR-SPA<sup>[10]</sup>

SPA는 수평단계에서 나타나는  $\tanh(\cdot)$  함수와 곱셈에 의해 연산의 복잡도가 크므로, 근사화를 이용하여 복잡한 연산을 제거한 알고리즘이 LLR-SPA이다. LLR-SPA의 검사노드와 변수노드에서의 관계식은 다음과 같다.

- (i) 수평단계 연산 (검사노드에서 수행)

$$L_{j \rightarrow i} = \left( \prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j} \right) \cdot \phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}) \right) \quad (3)$$

- (ii) 수직단계 연산 (변수노드에서 수행)

$$L_{i \rightarrow j} = F_i + \sum_{j \in \Omega(i) \setminus \{j\}} L_{j \rightarrow i} \quad (4)$$

여기서

$$\alpha_{ij} = \text{sign}(L_{i \rightarrow j}) \quad (5)$$

$$\beta_{ij} = |L_{i \rightarrow j}| \quad (6)$$

$$\phi(x) = -\ln \tanh\left(\frac{1}{2}x\right) = \ln \frac{e^x + 1}{e^x - 1} \quad (7)$$

함수  $\phi(x)$ 는 일반적으로 LUT(Look-Up Table)로 구현된다.

3) 최소합 알고리즘(MSA)<sup>[11]</sup>

LLR-SPA에서 함수  $\phi(x)$ 는  $x$ 가 작을 때 매우 큰 값을 가지며,  $x$ 가 커지면 거의 0에 근접하는 특성을 가진다. 식(3)에서  $\phi(x)$  함수의 값들의 합은  $x$ 값이 매우 작을 때, 가장 큰 영향을 주므로  $\sum \phi(X) \approx \phi(\min(X))$ 로 변환 할

수 있다. 그리고  $\phi(x)$  함수는 식(7)과 같이 정의하고  $x$ 가 0보다 클 때 역함수와 본 함수의 값이 같으므로  $\phi(\phi(\min(X))) = \min(X)$ 로 변환되고 식(8)과 같이 근사화될 수 있다.

$$\phi \left( \sum_{i \in \omega(j) \setminus \{i\}} \phi(\beta_{ij}) \right) \approx \phi \left( \phi \left( \min_{i \in \omega(j) \setminus \{i\}} \beta_{ij} \right) \right) = \min_{i \in \omega(j) \setminus \{i\}} \beta_{ij} \quad (8)$$

따라서 식(8)을 이용하면 식(3)은 식(9)과 같이 근사화될 수 있다. 이러한 근사식으로 대체한 알고리즘을 최소합(Min-Sum) 알고리즘이라 한다.

$$L_{j \rightarrow i} \approx \left( \prod_{i \in \omega(j) \setminus \{i\}} \alpha_{ij} \right) \square \min_{i \in \omega(j) \setminus \{i\}} \beta_{ij} \quad (9)$$

그림 3은 MSA과 LLR-SPA로 계산된  $L_{j \rightarrow i}$  값의 비교를 보이고 있다. 100개의 랜덤 수열에 대해 계산한 결과, 준 최소값으로 갱신되는  $L_{j \rightarrow i}$ 을 제외하면 거의 일치되는 결과를 보이고 있다. MSA는 LLR-SPA에 비해 노드 간의 값의 차이가 작게 나타난다. 이는 수식의 근사화 과정에서 연산 정밀도가 감소했기 때문이며, 이러한 특징으로 인해 LLR-SPA 알고리즘에 비해 반복복호 횟수가 늘어날 수 있다. 그러나 복잡한  $\phi(x)$ 의 연산과정을 피할 수 있고, LUT를 사용하지 않기 때문에 연산 복잡도와 하드웨어 면적이 감소하는 장점을 갖는다.

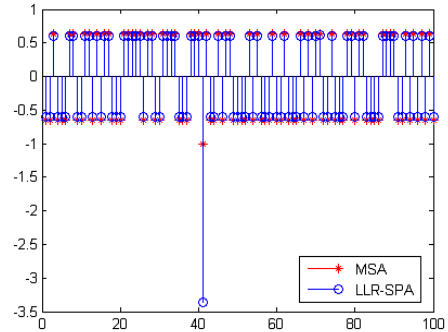


그림 3. MSA과 LLR-SPA의  $L_{j \rightarrow i}$  값 비교

## III. 시뮬레이션 결과 및 분석

LDPC 복호기의 최적 설계조건을 찾기 위해 그림 4의 과정을 통해 LLR 비트 폭과 반복복호 횟수에 따른 비트오율 성능을 MATLAB 시뮬레이션으로 평가하였다. 시뮬레이션 조건은 표 2와 같으며, 랜덤 데이터를 생성하여 LDPC 부호화한 후 QPSK 변·복조하고 백색 가우시안 잡음채널 하에서  $E_b/N_0$ 를 0.5~3 dB 범위에서 0.5 dB 단위로 변경하면서 시뮬레이션 하였

다. IEEE 802.11n의 블록길이  $N=1944$ , 부호율  $R=1/2$ 인 패리티 검사 행렬을 사용하였으며, LLR 비트 폭은 (6,4)에서 (8,7)까지의 6가지 경우와 최대 반복복호 횟수는 6~10 범위에 대해 시뮬레이션 하였다. 여기서 (n,m)의 표현에서 n은 전체 비트수를 나타내며, m은 소수점이하의 비트수를 나타낸다.

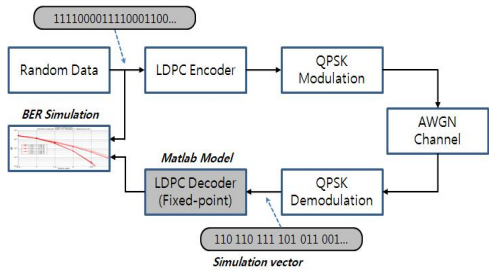


그림 4. 비트오율 성능 시뮬레이션

표 2. 시뮬레이션 조건

파라미터	사 양
채널	AWGN $E_b/N_0=0.5\sim3$ dB (0.5 dB step)
블록크기(N)	1,944
부호화율(R)	1/2
최대 반복복호 횟수	6~10
LLR 비트 폭	(6,4), (6,5), (7,5), (7,6), (8,6), (8,7)

그림 5는 최대 반복복호 횟수가 7인 경우의 비트 폭에 따른 비트오율 성능을 보인 것이다. 비트 폭에서 정수 자릿수가 1인 경우보다 2인 경우의 성능이 월등히 높은 것을 확인할 수 있다. 이를 바탕으로 본 논문에서는 비트폭 (6,4), (7,5), (8,6)에 대한 성능을 중점으로 분석하였다. 비트오율이  $10^{-3}$ 인 경우에 비트 폭 (6,4)와 (7,5)의  $E_b/N_0$ 는 0.62 dB의 성능 차이를 보였다. 비트 폭 (7,5)와 (8,6)의  $E_b/N_0$ 는 0.02 dB의 성능 차이만 나타났다. 따라서 비트 폭은 (7,5)가 면적대비 성능이 가장 우수한 것으로 평가되었다.

그림 6은 비트 폭 (7,5)에 대해, 최대 반복복호 횟수를 6~10으로 변화시키면서 비트오율 성능을 비교한 것이다. 최대 반복복호 횟수가 6인 경우와 7인 경우를 비교하면, 약 0.3 dB 이상의 성능 차이를 보였다. 최대 반복복호 횟수가 증가할수록 선형적인 성능개선이 나타났지만 6에서 7로 증가시켰을 때의 성능개선 보다는 작았다. 따라서 최대 반복복호 횟수는 7로 결정하는 것이 연산시간 대비 성능이 가장 우수한 것으로 평가되었다.

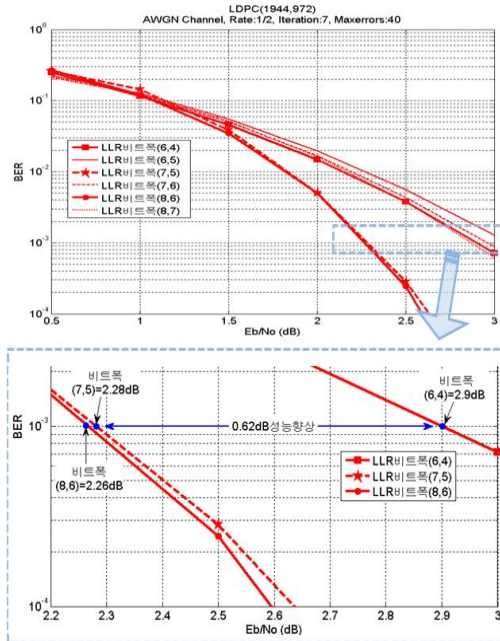


그림 5. LLR 비트 폭에 따른 비트오율 성능 (최대 반복복호 횟수가 7인 경우)

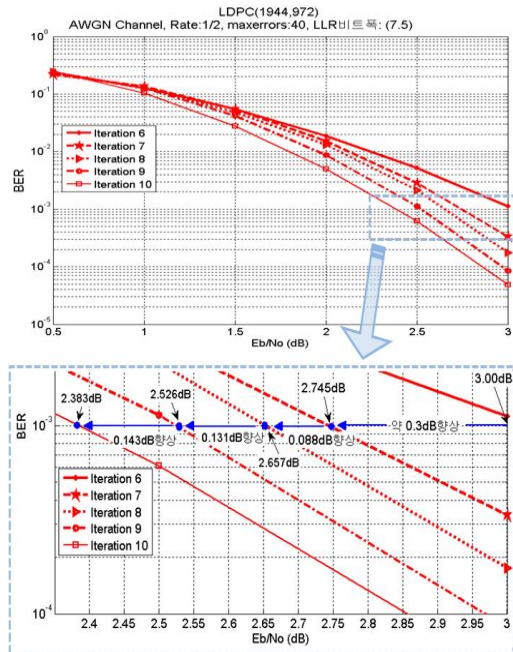


그림 6. 최대 반복 복호 횟수에 따른 비트오율 성능(LLR 비트 폭 (7,5)인 경우)

#### IV. 결 론

본 논문에서는 LLR 근사화가 LDPC 복호기의 성능에 미치는 영향을 분석하여 LDPC 복호기의 최적 설계조건을 평가하였다. LLR 근사화에 따른

비트오율 성능을 Matlab 모델링을 통해 분석한 결과, 최대 반복복호 횟수는 7 이상, LLR 비트 폭은 (7,5)로 전체 7비트에 소수점 이하 5비트인 경우가 면적 및 연산시간 대비 성능이 가장 우수함을 확인하였다. 이를 바탕으로 복호기를 설계하면 최적의 LDPC 디코더 설계가 가능할 것으로 예상된다.

### 참고문헌

- [1] R.G. Gallager, "Low-Density Parity-Check Codes," *IRE Trans. Inform. Theory*, pp. 21-28, vol. 8, no. 1, Jan. 1962.
- [2] R.G. Gallager, *Low-Density Parity-Check Codes*, M.I.T. Press, Cambridge, MA, 1963.
- [3] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding : Turbo-codes(1)," *Proceeding of IEEE ICC'93*, Geneva, Switzerland, pp. 1064-1074
- [4] D.J.C. MacKay and R. M. Neal. "Near Shannon limit performance of low density parity check codes," *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [5] D.J.C. MacKay, "Good error-correcting codes based on very sparse matrices," *IEEE Trans. Inform. Theory*, vol. IT-45, no. 2, pp. 399-431, Mar., 1999.
- [6] T.J. Richardson and R.L. Urbanke, "The capacity of low-density parity-check codes under message-passing decoding," *IEEE Trans. Inf. Theory*, vol. 47, pp. 599-618, Feb. 2001.
- [7] 이문호, 이광재, 여운동, *LDPC(Low Density Parity Check)*, 한국과학기술정보연구원, 2005. 11.
- [8] *IEEE P802.11n/D3.07*, "Draft Amendment to Standard for Information Technology-Telecommunications and information exchange between systems-Local and Metropolitan networks-specific requirements - Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: Enhancements for Higher Throughput", 2008.
- [9] F.R. Kschischang, B.J. Frey, and H.A. Loeliger, "Factor graphs and the sum product algorithm," *IEEE Transaction on Information Theory*, vol. 47, pp. 498-519, Feb., 2001.
- [10] J. Chen and M. Fossorier, "Density evolution for two improved BP-based decoding algorithms of LDPC codes," *IEEE Commun. Lett.*, vol. 6, pp. 208-210,

May, 2002.

- [11] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," *IEEE Trans. Commun.*, vol. 47, pp. 673-680, May 1999.

※ 2009년도 IT SoC 핵심설계인력양성 사업의 SoC 전공실습프로젝트 지원에 의한 연구 결과의 일부임.  
 ※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.