

단일메모리 구조의 가변길이 FFT/IFFT 프로세서 설계

임창완* · 신경욱*

*금오공과대학교 전자공학부

A variable-length FFT/IFFT processor design using single-memory architecture

Chang-Wan Yeem* · Kyung-Wook Shin*

*School of Electronic Eng., Kumoh National Institute of Technology

E-mail : cwyeem@kumoh.ac.kr

요 약

본 연구에서는 OFDM 기반 통신 시스템을 위한 가변길이 FFT/IFFT 프로세서를 설계하였다. 설계된 FFT/IFFT 프로세서는 $N=64 \times 2^k$ ($0 \leq k \leq 7$)의 8가지 크기에 대해 FFT/IFFT 연산이 가능하며, in-place 방식의 단일 메모리 구조를 기반으로 FFT 길이에 따라 radix-4와 radix-2 DIF 알고리즘의 혼합구조가 적용된다. 메모리 감소와 연산 정밀도 향상을 위해, 중간결과 값의 크기에 따른 2단계 조건적 스케일링 기법을 적용하여 설계되었다. 설계된 가변길이 FFT/IFFT 프로세서의 성능을 평가한 결과, 64점~8,192점 FFT 연산의 경우 평균 60-dB 이상의 정밀도를 가지며, 0.35- μm CMOS 셀 라이브러리로 합성한 결과 75-MHz@3.3-V의 클럭주파수로 동작 가능한 것으로 평가되었다. 64점 FFT 연산에 2.55- μs 가 소요되고, 8,192점 FFT 연산에 762.7- μs 가 소요되어 OFDM 기반의 무선 랜, DMB, DVB 시스템의 요구조건을 만족한다.

ABSTRACT

This paper describes a design of variable-length FFT/IFFT processor for OFDM-based communication systems. The designed FFT/IFFT processor adopts the in-place single-memory architecture, and uses a hybrid structure of radix-4 and radix-2 DIF algorithms to accommodate FFT lengths of $N=64 \times 2^k$ ($0 \leq k \leq 7$). To achieve both memory size reduction and the improved SQNR, a two-step conditional scaling technique is devised, which conditionally scales the intermediate results of each computational stage. The performance analysis results show that the average SQNR's of 64~8,192-point FFT's are over 60-dB. The processor synthesized with a 0.35- μm CMOS cell library can operate with 75-MHz@3.3-V clock, and 64-point and 8,192-point FFT's can be computed in 2.55- μs and 762.7- μs , respectively, thus it satisfies the specifications of wireless LAN, DMB, and DVB systems.

키워드

Variable-length FFT, OFDM, WLAN, DMB, DVB

1. 서 론

최근에 많은 디지털 유·무선 통신시스템에서 고속 데이터 전송을 위해 OFDM(Orthogonal Frequency Division Multiplexing) 방식을 기술표준으로 채택하고 있다^[1]. OFDM 방식은 다수의 부반송파를 사용하는 다중반송파 변조 방식(MCM)

의 일종으로 다중경로 페이딩(multipath fading)을 갖는 무선통신 채널에서 주파수 선택성 페이딩(frequency selective fading)을 보상하기 위하여 하나의 탭을 갖는 간단한 등화기로 대처가 가능하며, 협대역 간섭(narrowband interference)이 일부 부반송파에만 영향을 주기 때문에 협대역 간섭에 강한 특성을 가진다. OFDM 방식은 고속의

데이터 전송에 적합하기 때문에 무선 랜, 휴대 인터넷 (Wi-Bro), 광대역 무선 액세스(BWA)의 표준으로 채택되었으며, 단일 주파수망이 가능하여 Digital Audio/Video Broadcasting (DAB, DVB)의 표준으로 채택되는 등 디지털 무선통신 및 방송 시스템에 폭넓게 이용되고 있다.

OFDM 방식의 송·수신단에서는 다수의 부반송파를 고속으로 변·복조하기 위해서 IFFT(Inverse Fast Fourier Transform)와 FFT를 사용한다. FFT/IFFT는 OFDM 방식의 통신 시스템에서 다수 부반송파의 변·복조를 수행하는 핵심블록이며, OFDM 기반 변·복조기는 응용 시스템에 따라 반송파의 수가 다르기 때문에 다양한 길이의 FFT/IFFT 코어가 사용된다^{[2][3]}. 따라서 FFT 길이를 가변 할 수 있는 FFT/IFFT 코어가 필요하다.

FFT 코어는 일반적으로 파이프라인 구조와 단일 메모리 구조가 사용되는데^[4], 파이프라인 구조는 다수의 복소수 덧셈기와 복소수 곱셈기를 사용하면 높은 처리율을 얻을 수 있지만 큰 면적을 차지하는 단점을 가진다. 반면에 단일 메모리 구조는 하나의 나비연산기와 하나의 메모리를 사용하므로 다른 구조에 비하여 처리율은 낮으나 작은 면적으로 구현이 가능한 장점을 갖는다^[4].

II. 단일 메모리 구조의 FFT/IFFT 코어

2.1 가변길이 FFT/IFFT 프로세서의 구조

본 연구에서는 단일 메모리 구조를 기반으로 $N=64 \times 2^k$ ($0 \leq k \leq 7$)의 8가지 FFT 길이에 대해 FFT 연산과 IFFT 연산을 수행할 수 있는 가변 길이 FFT/IFFT 프로세서 코어(VL_FCore)를 설계하였다. VL_FCore는 중간 결과값을 단일메모리에 저장하기 위하여 in-place 방식의 메모리 주소를 사용하였고, 저면적 구현을 위하여 하나의 나비연산기와 하나의 복소수 승산기만 사용되었다. 복소수 승산기는 RB(Redundant Binary) 수치계를 기반으로 문헌 [5]에 발표된 radix-4 booth 인코딩과 RB 부분곱 변환을 사용하여 구현함으로써 고속으로 동작이 가능하도록 하였다. 또한 2단계 조건적 스케일링(Two-Step Conditional Scaling; TS_CS) 방법을 적용하여 연산 정밀도를 향상시켰다. IFFT 연산과 FFT 연산은 VL_FCore의 입·출력의 실수부와 허수부의 위치를 상호 교환함으로써 수행되도록 하였다.

VL_FCore의 구조는 그림 1과 같이 단일 메모리 구조를 기반으로 하며, 입력버퍼(INput Buffer; INB), R2/R4 hybrid 나비연산기(ButterFly Unit; BFU), 복소수 승산기(Complex MULtiplier; CMUL), 격자계수 생성기(Twiddle Factor Generator; TF_Gen), TS_CS를 위한 CSB_1st와 CSB_2nd, dual port RAM인 Bank Memory, 그리고 이들 블록의 동작을 제어하기 위한 제어블록(Control Logic Unit; CLU) 등으로 구성된다.

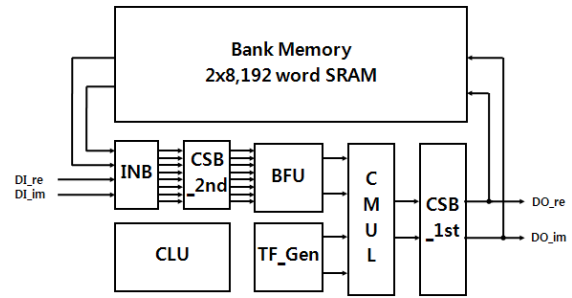


그림 1. VL_FCore의 구조

2.2 R2/R4 Hybrid 구조의 나비연산기

일반적으로 나비연산기는 radix-2 또는 radix-4가 사용되며, radix-2의 경우 구현이 간단하고, 크기가 $N=2^k$ 인 FFT/IFFT의 구현이 용이한 장점이 있다. 그러나 $\log_2 N$ 의 연산단계가 필요하여 하나의 OFDM 심볼에 대한 FFT/IFFT 연산시간이 증가하는 단점이 있다. 반면에 radix-4의 경우는 $\log_4 N$ 의 연산단계를 가져 radix-2에 비해 고속으로 연산이 가능하나, FFT 크기가 $N=4^k$ 이 아닌 경우에는 적용하기 힘들다^[6].

본 연구에서는 $N=64 \times 2^k$ ($0 \leq k \leq 7$)의 8가지 크기에 대하여 FFT/IFFT 연산을 수행할 수 있도록 그림 2와 같이 radix-2 DIF 알고리즘(R2)과 radix-4 DIF 알고리즘(R4)을 선택적으로 적용하는 R2/R4 hybrid 구조를 사용하였다. R2/R4 hybrid 구조의 나비연산기에서 swap 블록은 실수부와 허수부의 상호교환을 수행하며, 4개의 MUX는 radix-2 연산을 위해 사용된다.

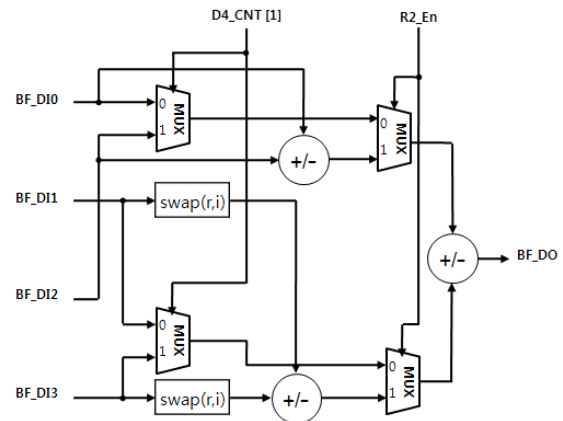


그림 2. R2/R4 Hybrid 구조의 나비연산기

이와 같은 구조의 나비연산기를 이용하면 FFT 길이가 $N=4^M \times 2^R$ 에 대한 FFT/IFFT 연산을 수행하기 위해서 M번의 radix-4 나비연산과 R번의 radix-2 나비연산이 요구되어 총 (M+R)번의 연산 단계가 필요하며, N점 FFT/IFFT 연산에 (M+R) × N 사이클이 소요된다.

2.3 메모리 뱅크와 메모리 주소 생성회로

VL_FCore에서는 단일 메모리를 이용하여 FFT 연산의 중간 값을 저장하며, 이때 사용되는 메모리는 dual-port RAM으로서 각각 16비트의 실수부와 허수부 데이터를 저장하기 위한 $2 \times 8,192$ words를 가진다. 이들 메모리의 주소는 읽기와 쓰기 간의 데이터 충돌을 피하기 위하여 in-place 방식을 사용하였다.

본 연구에서는 가변길이 FFT 연산을 수행하는 FFT 코어의 메모리 주소를 생성하기 위하여 그림 3과 같이 0에서 N-1까지 증가하는 증가 계수기인 Main_CNT와 13개의 MUX를 이용하여 메모리 주소 생성회로를 그림 3과 같이 구현하였으며, SEL_BA 신호에 의해 BANK_ADDR이 결정된다. In-place 방식을 사용하기 때문에 읽기와 쓰기 주소는 동일하다.

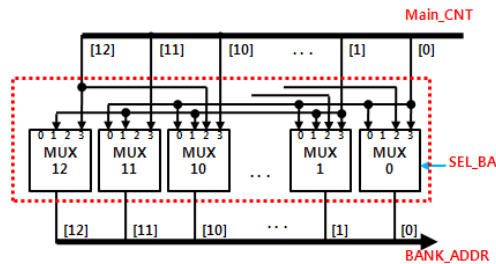


그림 3. 메모리 주소 생성 회로

2.4 2단계 조건적 스케일링 방법

FFT/IFFT 연산은 나비연산과 복소수 곱셈으로 구성되는 연산단계를 거치면서 내부 데이터의 비트 수가 지속적으로 증가하게 된다. 따라서 고정된 메모리 비트를 갖는 단일 메모리 구조에서는 증가된 데이터에 대한 스케일링이 필수적이다.

본 논문에서는 연산 정밀도를 높이기 위하여 2 단계 조건적 스케일링을 수행하는 TS_CS 방법을 고안하여 적용하였다. TS_CS는 복소수 연산이 완료된 데이터를 스케일링하는 CSB_1st 블록과 각 연산단계에서 공통으로 적용되는 스케일 지수인 SSI(Stage Scaling Index)를 기준으로 다운 스케일링하는 CSB_2nd 블록으로 구성된다.

그림 4는 TS_CS의 흐름도를 나타낸 그림이며, CSB_1st 블록은 NCB_Detector(Number of Continuous Bits Detector) 블록, USU(Up Scaling Unit)블록, 그리고 SSI_Gen(SSI Generator) 블록으로 구성된다. NCB_Detector는 복소수 곱셈기(CMUL)의 출력 31비트 가운데 상위 4비트를 이용하여 스케일 가능한 비트인 NCB를 찾는 블록이며, USU 블록에서는 NCB를 이용하여 첫 번째 스케일링을 수행하게 된다. 스케일 된 14비트의 데이터는 2비트의 NCB와 함께 뱅크메모리에 저장한다. SSI_Gen 블록은 매 연산단계마다 가장 작은 NCB 값인 SSI를 생성한다. CSB_2nd 블록은 8개의 DSU(Down Scaling Unit) 블록으로 구성되며, 각각의 DSU 블록은 이전 연산단계에서 발생

되는 SSI와 입력되는 데이터의 NCB에 해당하는 상위 2비트의 차이를 구하고, 이를 이용하여 스케일 보정을 한다.

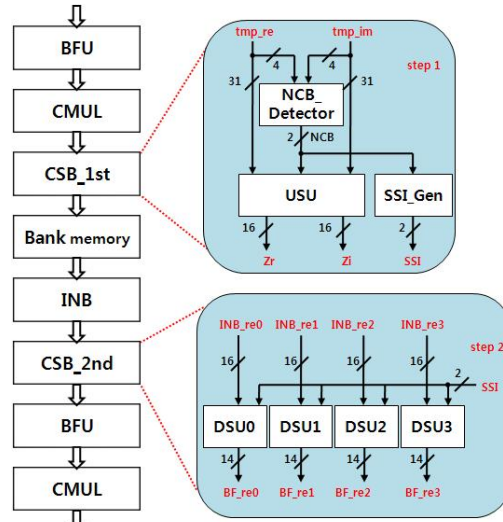


그림 4. TS_CS의 흐름도

TS_CS를 8,192점 FFT 연산에 적용하는 경우, 7 개의 연산단계 중 마지막 연산단계를 제외한 6개의 연산단계에서 TS_CS가 적용되어 최대 18비트의 스케일링 효과가 발생된다. 따라서 본 논문에서 제안한 TS_CS 방법에 의한 스케일링은 단일 메모리 구조에서 연산 정밀도를 높이기 위한 효과적인 방법이다.

III. 설계 검증 및 성능 분석

설계된 VL_FCore의 성능평가는 Matlab에서 얻어진 이상적인 FFT 출력과 Modelsim 시뮬레이션으로 얻어진 결과의 비교를 통해 이루어졌다. 성능평가를 위한 입력 데이터는 2진 랜덤 신호를 생성하여 16-QAM으로 변조한 후, 부동점 연산을 갖는 이상적인 IFFT와 이득 조절을 거쳐 얻어졌다. 그림 5는 FFT 길이가 8,192인 경우의 성능 평가 결과이며, 좌측 상단의 성상도는 입력 데이터를 나타내고 좌측 하단의 성상도는 Matlab에서 얻어진 이상적인 FFT 출력이며, 우측 하단의 성상도는 VL_FCore 코어에서 얻어진 FFT 출력이다. 이상적인 FFT 출력과 VL_FCore의 출력을 비교한 결과, 그림 5의 우측 상단의 성상도와 같이 매우 작은 범위의 연산오차를 나타내었다. SQNR은 식(1)에 의해 계산되었으며, A는 Matlab에서 연산된 이상적인 결과 값을 나타내며, B는 VL_FCore 코어에서 연산된 결과 값을 나타낸다.

$$SQNR = \frac{\sum [Re(A)]^2 + \sum [Im(A)]^2}{\sum [Re(A) - Re(B)]^2 + \sum [Im(A) - Im(B)]^2}$$

(1)

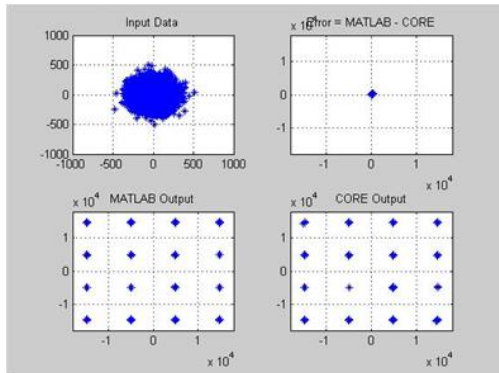


그림 5. VL_FCore의 성능 평가(N=8,192)

표 1은 입력 10비트, 격자계수 14비트, 중간 결과 값의 비트수가 14비트로 동작하는 VL_FCore에 대하여 FFT 길이(N)에 따른 SQNR, 연산 시간, 그리고 통신 시스템에 따른 유효 심볼길이를 나타낸 것이다. VL_FCore 코어의 FFT 연산 정밀도는 최소 57.39-dB (N=2,048)에서부터 최대 64.68-dB (N=64)의 SQNR을 가지며, FFT 코어의 연산시간은 각 통신시스템에서 요구하는 조건을 모두 만족하는 것으로 나타났다.

표 1. FFT 길이에 따른 성능 분석

FFT 길이(N)	SQNR		연산 시간 [μs]	유효 심볼 길이[μs] (통신 시스템)
	FFT	IFFT		
64	64.68	59.65	2.55	3.2 (WLAN)
128	61.74	58.75	6.81	160 (ACIS)
256	61.47	59.11	13.62	125 (DAB III)
512	59.53	57.63	34.05	250 (DAB II) 234 (ADSL)
1,024	59.97	58.28	68.10	500 (DAB IV) 102.4 (Wi-Bro)
2,048	57.39	56.40	163.43	1000 (DAB I) 224 (DVB-T:2k)
4,096	58.60	56.95	326.86	448(DVB-H:4k)
8,192	57.76	55.40	762.68	896 (DVB-T:8k)

설계된 VL_FCore 코어는 0.35-μm CMOS 셀 라이브러리로 합성하여 게이트 수와 지연 시간을 추출하였다. 메모리를 제외한 게이트 수는 22,965로 나타났으며, 최대지연시간(critical path delay)은 10.0-ns로 나타났다. 따라서 배선의 지연 30%를 고려하더라도 지연시간이 13.0-ns를 넘지 않을 것으로 판단되며, 3.3-V 전원전압에서 75-MHz로 안전하게 동작 가능할 것으로 평가된다.

IV. 결 론

본 연구에서는 OFDM 방식의 통신 시스템에 활용하기 위한 FFT/IFFT 프로세서인 VL_FCore를 설계하였다. 설계된 코어는 FFT 길이 $N=64 \times 2^k$

($0 \leq k \leq 7$)에 대하여 FFT/IFFT 연산이 가능하고 단일 메모리 구조를 가지며, in-place 방식을 적용하여 설계되었다. 또한 나비 연산기와 복소수 승산기를 각각 하나씩 사용하여 저면적으로 구현하였고, 메모리 크기의 감소와 연산정밀도의 향상을 위해 2단계 조건적 스케일링을 적용하였다. FFT 연산에 대한 성능평가를 수행한 결과 SQNR이 평균 60-dB 이상으로 나타났으며, 75-MHz@3.3-V로 동작 가능하여 8,192점 FFT/IFFT 연산시간은 762.7-μs로서 DVB-T 표준에서 제시하는 유효 심볼 구간인 896-μs를 충분히 만족한다. 설계된 VL_FCore는 WLAN, DAB, DVB-T, DVB-H, Wi-Bro, VDSL 등 OFDM 기반의 다양한 통신 시스템에 폭넓게 사용될 수 있을 것이다.

참고문헌

- [1] 조용수, 무선 멀티미디어 통신을 위한 OFDM 기초, 대영사, 2001.
- [2] J. C. Kuo, C. H. Wen, A. Y. Wu, "Implementation of a programmable 64~2048-point FFT/IFFT processor for OFDM-based communication systems," *Proceedings of the IEEE international symposium on circuits and systems*, vol.2, pp 121-124, May 2003
- [3] 이진우, 신경욱, 김종환, 백영석, 어익수, "OFDM 모뎀용 FFT/IFFT IP 자동 생성기," 한국통신학회논문지 제31권 제3A호, pp. 368~376, 2006
- [4] B. M. Baas, "A low-power, high-performance, 1024-point FFT processor," *IEEE J. Solid-State Circuits*, vol. 24, no. 3, pp. 380-387, Mar. 1999.
- [5] Kyung-Wook Shin, Bang-Sup Song, Kantilal Bacrania, "A 200-MHz complex number multiplier using redundant binary arithmetic", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 6, pp.904-909
- [6] Y.J. Hongil and J. Kim, "New efficient FFT algorithm and pipeline implementation result for OFDM/DMT applications", *IEEE Trans. on Consumer Electronics*, vol. 49, no. 1, pp. 14-20, Feb. 2003.

※ 본 논문은 2009년도 IT SoC 핵심설계인 역량성 사업의 SoC 전공실습프로젝트 지원에 의한 연구 결과의 일부임.

※ 반도체설계교육센터(IDECE)의 CAD Tool 지원에 감사드립니다.