

H.264/AVC 복호기를 위한 효율적인 인트라 예측기 설계

김 옥 · 류 광 기

한밭대학교 정보통신전문대학원

Efficient Intra Predictor Design for H.264/AVC Decoder

Ok Kim · Kwangki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : kusl2510@gmail.com, kkryoo@hanbat.ac.kr

요 약

H.264/AVC는 ITU-T와 ISO/IEC의 최신 동영상 압축 코덱 규격으로 MPEG-2보다 2배 이상의 압축률과 고화질로 최근 그 적용 영역을 넓혀 가고 있다. 본 논문에서는 H.264/AVC에서 압축 성능을 높이기 위해 사용된 기법중 하나인 인트라 예측에 대해 설명하고 인트라 예측 모드 연산을 효율적으로 수행하기 위한 인트라 예측기의 구조를 제안한다. 제안된 인트라 예측기는 공통 연산기와 전처리 연산기를 사용하여 연산량을 줄이고, 효율적인 레지스터를 사용하여 외부 메모리와의 접근을 최소화 하였다. 제안된 인트라 예측기는 Verilog-HDL을 이용하여 설계하였으며 적합한 테스트 벡터를 이용하여 검증 되었다. 제안된 인트라 예측기는 기존에 비해 약 60%의 향상된 결과를 얻었다.

ABSTRACT

H.264/AVC is a video coding standard of ITU-T and ISO/IEC, and widely spreads its application due to its high compression ratio more than twice that of MPEG-2 and high image quality. In this paper, we explained Intra Prediction in H.264/AVC, which is able to achieve higher compressing efficiency from correlation removal of adjacent samples in spatial domain, and proposed efficient Intra Predictor architecture design for H.264/AVC decoder. The proposed system reduced computation cycle using processing element and precomputation processing element and also reduced the number of access to external memory using efficient register. We designed the proposed system with Verilog-HDL and verified with suitable test vector. The proposed Intra Predictor achieved about 60% cycle reduction comparing with existing Intra Predictors.

키워드

H.264, H.264/AVC Decoder, Intra Prediction, 화면 내 예측

I. 서 론

디지털 신호 처리 기술, 각종 저장 매체의 출현, 네트워크 기술의 진보와 함께 기존의 음성 정보에 국한되었던 미디어 서비스는 영상과 데이터가 포함되는 멀티미디어 서비스로 진화해왔다. H.264/AVC는 ITU-T와 ISO/IEC가 공동으로 개발한 고성능 동영상 압축 표준으로 다양한 네트워크 환경에 쉽게 부응할 수 있는 유연성과 동영상 부호화 효율성 측면에서 기존 기술 표준들에 비해 많은 진보가 있었

다.[1] H.264/AVC는 1/4 픽셀 화소 보간, 다중 참조 프레임, 다양한 인트라 예측 모드, 블록현상 제거 필터 등의 여러 기법을 적용하여 이전 표준보다 높은 압축 효율과 우수한 화질을 제공하는 반면 이를 위한 새로운 알고리즘들의 도입으로 복잡한 연산처리가 요구됨에 따라 각 알고리즘을 구현하기 위한 연산기가 가지는 복잡도가 훨씬 증가 하게 되었다. 따라서 각 알고리즘 요소들을 효율적으로 구현하는 적용기술이 매우 중요하게 되었다.

본 논문에서는 H.264/AVC가 기존의 동영상 압축

본 연구는 IDEC의 지원, 중소기업청의 산학협력실 지원사업 및 ETRI, 시스템반도체산업진흥센터의 IT SoC 핵심설계인력 양성사업의 연구결과임.

규격과 차별화되는 특징 중 하나인 인트라 예측 부호화를 위한 효율적인 인트라 예측기 구조에 대해서 제안한다. 제안된 인트라 예측기는 다양한 패턴으로 이루어지는 인트라 예측 모드 연산을 효율적으로 수행하기 위해 공통 연산기를 사용 하였고, 복잡한 예측 연산을 위해 전처리 연산기를 사용하였으며, 효율적인 레지스터의 사용으로 외부 메모리와의 접근을 최소화 하였다.

II. H.264/AVC 인트라 예측 알고리즘

인트라 예측은 부호화 하는 슬라이스의 유사성을 제거함으로써 프레임 내의 공간 중복성을 줄이는 과정으로 변환과 양자화 이전 단계에서 화면 내 예측 과정을 거치게 하여 I-슬라이스의 압축효율을 높일 수 있는 방법이다. 이는 인접한 매크로 블록들이 유사한 특성을 가지고 있는 것에 기초를 두고 있으며 현재 슬라이스의 공간적 중복성을 제거하기 위하여 부호화된 이전 매크로블록의 픽셀 값을 참조하여 가장 유사한 매크로블록을 생성한다. 인트라 예측은 4x4 단위 휘도 예측과 16x16 단위 휘도 예측 그리고 8x8 단위 채도 예측으로 나뉜다.

1. 4x4 단위 휘도 예측

4x4 블록의 휘도 예측은 매크로블록에 대해 4x4 블록 단위로 주어진 순서에 따라 예측 연산이 수행된다. 4x4 블록의 휘도 예측에는 9가지 예측 모드가 사용된다. 9가지 예측 모드가 그림 1에 나타나 있다. 예측하고자 하는 블록의 좌측블록, 좌측상단 블록, 상단 블록, 우측 상단 블록을 이용하여 블록 내의 4x4 화소의 값을 예측 하는데 이는 이전에 부호화 되고 복원된 값이다.

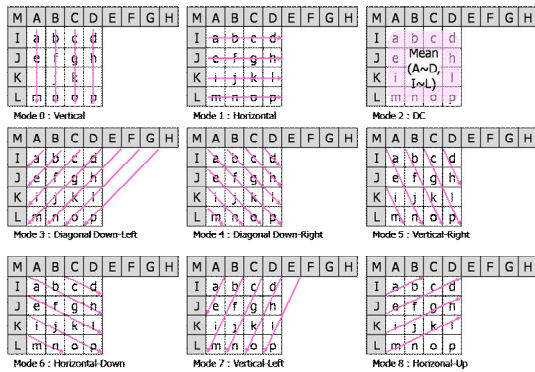


그림 1 4x4 단위 휘도 예측

2. 16x16 단위 휘도 예측

16x16 블록의 휘도 예측은 이미지의 단조로운 영상 부분에서 가장 좋은 결과를 나타낸다. 16x16 블록의 휘도 예측에는 4가지 예측 모드가 사용 된다. 4가지 예측 모드가 그림 2에 나타나 있다.

3. 8x8 단위 채도 예측

채도 블록은 8x8 단위로 예측된다. 예측 모드는

16x16 휘도 예측과 마찬가지로 4가지 예측 모드가 사용 된다. 동일한 방법으로 예측되며 블록 크기, 모드 순서 차이만 있다.

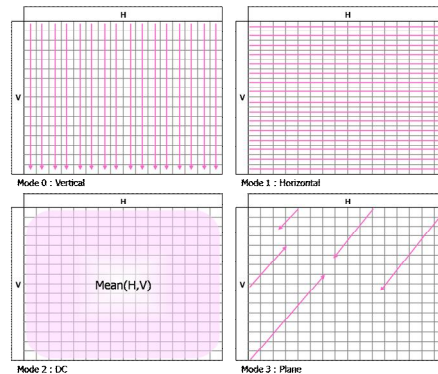


그림 2 16x16 단위 휘도 예측

III. 제안한 인트라 예측기의 하드웨어 구조

본 논문에서 제안한 인트라 예측기의 하드웨어 구조가 그림 3에 나타나 있다. 제안된 인트라 예측기는 전체 인트라 예측기의 동작을 제어 하는 인트라 예측 컨트롤러 부분과 실제 픽셀 값을 계산하는 공통 연산기 부분, 인트라 예측만을 위한 내부 메모리, 내부 메모리의 값을 예측 연산에 맞게 제어 해주는 레지스터 컨트롤러 부분으로 구성된다.

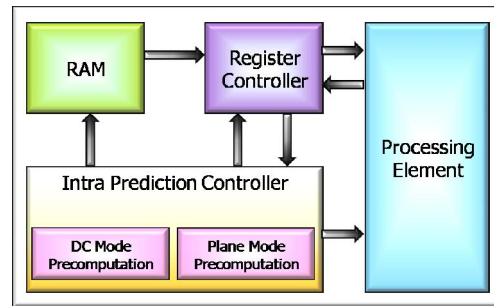


그림 3 인트라 예측기의 하드웨어 구조

1. 공통 연산기

인트라 예측에는 예측 연산 과정이 서로 상이한 17가지 모드가 존재하며 동일한 예측모드일 경우에도 픽셀 마다 서로 다른 연산을 통해 예측되기 때문에 예측 연산을 위한 연산기의 구조가 많이 복잡해질 수 있다. 따라서 이러한 다양한 예측 연산을 효율적으로 수행하기 위하여 모든 예측 연산에 사용 가능한 공통 연산기(Processing Element)를 구현하였다. PE의 구조가 그림 4에 나타나 있다. PE는 덧셈과 시프트 연산만으로 구현 하였으며, PE의 연산은 4x4 단위로 이루어지고 한 번에 하나의 예측 픽셀 연산이 가능하다. 제안된 구조에서는 4개의 PE를 사용하여 한 클럭에 1x4의 픽셀의 연산이 가능하게 하

였으며 4x4 블록을 계산하는데 최대 4 사이클이 소요 된다. 블록내의 공통적이고 반복적인 부분은 PE의 결과를 임시 저장하여 재사용 할 수 있게 함으로써 연산량을 감소 시켰다. 또한 Vertical, Horizontal, DC 모드와 같이 동일한 값으로 예측이 수행 되는 경우에는 바이패스 경로를 통하여 4x4 블록 연산을 1 사이클에 수행 가능하게 함으로써 연산량과 전체 수행 사이클 수를 감소 시켰다.

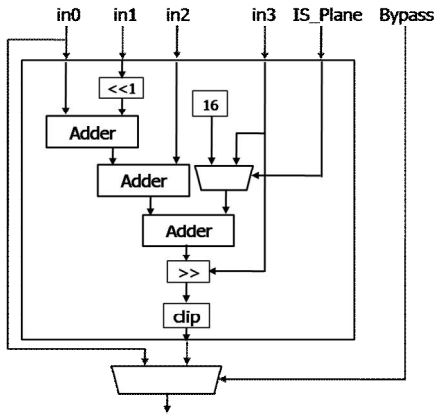


그림 4 공통 연산기의 구조

2. 전처리 연산기

인트라 예측 모드 중 많은 이웃블록의 값을 필요로 하는 DC 모드의 경우와 가장 복잡한 연산을 필요로 하는 Plane 모드의 경우에는 PE를 통한 예측 연산이 이루어지기 전에 전처리 과정을 거치도록 설계 하였다. 전처리 과정을 거쳐서 연산된 값을 다음 픽셀 예측 시 재사용함으로써 동일한 연산의 반복을 줄여 수행 연산 사이클 수를 감소시킬 수 있었으며 PE의 복잡도 또한 감소시킬 수 있었다. 전처리 연산기는 곱셈 연산을 사용하지 않고 덧셈과 시프트 연산만을 사용하여 구현하였으며, 전처리 과정 후의 모든 블록들의 예측 연산은 PE만을 통해서 간단하게 예측이 가능하게 함으로써 인트라 예측기의 전체적인 복잡도를 줄일 수 있었다.

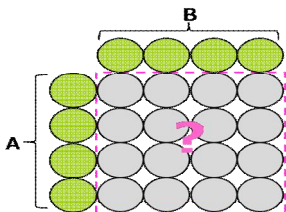


그림 5 DC 모드를 위한 참조 픽셀 값의 위치

1) DC 모드의 전처리 과정

DC 모드는 그림 5에 나타나 있는 것과 같이 현재 예측하고자 하는 블록의 주변 블록 픽셀 값들의 평균값으로 예측이 이루어지며 인트라 예측 모드 중 많은 이웃블록의 픽셀 값을 참조 한다. 16x16 블록

의 DC 모드의 경우에는 최대 32개의 이웃블록의 픽셀 값이 필요로 하기 때문에 많은 연산량이 요구되기도 한다. DC 모드 예측 시 이웃블록 픽셀 값들의 평균을 전처리 과정을 통해 미리 연산하게 함으로써, 전처리 과정을 한번 거치게 되면 동일 블록의 픽셀 값을 예측하는데 별도의 연산이 필요하지 않기 때문에 반복적인 연산이 감소되고, 전처리 과정 결과 값을 바이패스 시킴으로써 전체적인 수행 사이클 수가 감소되었다. DC 모드의 전처리 수행 사이클 수가 표 1에 나타나 있다. 16x16 블록을 제외한 나머지 블록은 모두 1 사이클 안에 DC 모드의 전처리 연산이 가능하다.

표 1 DC 모드의 전처리 수행 사이클 수

mb_type	이용 가능한 이웃 블록	수행 사이클 수
4x4	A	1
	B	1
	A,B	1
16x16	A	2
	B	2
	A,B	4
8x8	A	1
	B	1
	A,B	1

2) Plane 모드의 전처리 과정

Plane 모드는 인트라 예측 모드 중 가장 복잡한 연산 과정을 필요로 한다. Plane 모드 예측 연산에 필요한 변수들의 값을 전처리 과정을 통하여 미리 연산 하여 이 결과 값을 기본 값으로 Plane 모드의 예측 연산을 수행한다.

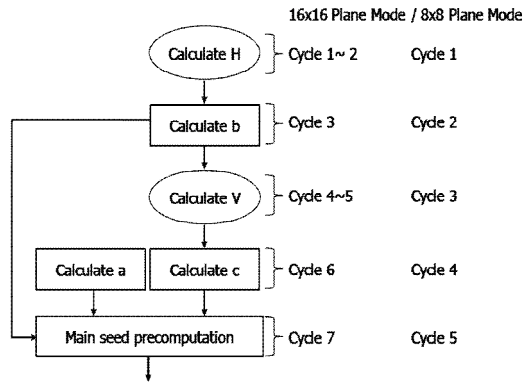


그림 6 Plane 모드의 전처리 과정

Plane 모드의 전처리 수행 과정이 그림 6에 나타나 있다. 전처리 수행 결과 값을 기본 값으로 예측 연산을 수행하기 때문에 복잡한 연산을 반복하여 수행하지 않아도 되어 전체적인 연산량이 감소되었다. 전처리 과정을 수행 하는데 16x16 블록의 경우에는 7 cycle이 소요되며, 8x8 블록의 경우에는 5 cycle이 소요된다.

3. 레지스터 컨트롤러

인트라 예측은 예측 연산 수행 시 이웃블록의 값을 필요로 하기 때문에 매 예측 연산마다 이웃블록의 값을 읽어 오기 위해 외부 메모리에 접근하게 되면 연산시간이 오래 걸릴 뿐만 아니라 전력 소비 면에서도 효율이 떨어져 현재와 같이 저전력을 추구하는 시점에서 효율적이지 못하다. 따라서 본 논문에서는 인트라 예측 연산만을 위한 내부 메모리를 사용하였으며 효율적인 레지스터 관리를 통해 외부 메모리와의 접근을 최소화 하였다. 제안된 레지스터의 구조가 그림 7에 나타나 있다. 내부 메모리에 저장되어 있는 이웃블록의 픽셀 값과 SUM 블록을 통해 연산된 값을 현재 예측 하고자 하는 블록이 참조하는 이웃블록의 픽셀 값에 맞게 Neighboring Registers에 저장한다. 4x4 단위 예측 수행 시 Window Register를 통하여 4x4 단위에 맞게 이웃블록의 픽셀 값을 전달하게 함으로써 각 모드의 예측 연산이 효율적으로 이루어진다.

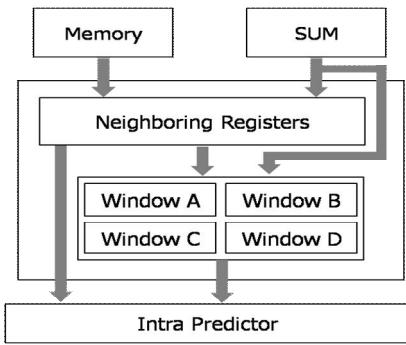


그림 7 레지스터 구조

IV. 실험 결과

제안된 인트라 예측기는 Verilog-HDL을 이용하여 RTL 코드로 설계하였다. 제안한 인트라 예측기 하드웨어 구조의 기능을 검증하기 위해 적합한 테스트 벡터를 선택하여 올바른 기능적 동작이 이루어지는 지 결과 파일을 통하여 확인하였다.

제안된 인트라 예측기와 기존의 인트라 예측기를 비교한 결과가 표 2에 나타나 있다. 기존의 인트라 예측기와의 수행 사이클을 비교한 결과 약 60%의 향상된 결과를 얻을 수 있었다.

V. 결론

본 논문에서는 H.264/AVC 복호기를 위한 효율적인 인트라 예측기의 하드웨어 구조를 제안하였다. 제안된 인트라 예측기는 인트라 예측의 다양한 예측 연산을 수행 가능한 공통 연산기와 복잡한 예측 연산을 위한 전처리 연산기 및 레지스터를 적절하게 사용함으로써 효율적인 인트라 예측이 가능하다. 공

통 연산기 및 전처리 연산기는 덧셈과 시프트 연산만으로 구성되어 있어 그 효율성을 더 높였으며 인트라만을 위한 내부 메모리와 효율적인 레지스터를 사용함으로써 외부 메모리와의 접근을 최소화 하였다. 제안된 구조는 Verilog-HDL을 이용하여 설계하였고 적절한 테스트 벡터를 통하여 검증 되었다. 수행 사이클 비교 분석 결과 기존보다 우수함을 보였다.

표 2 수행 사이클 비교

Mode	Clock Cycle			Reduction Ratio(%)	
	Proposed	[2]	[3]		
4x4	Vertical	1	4	11	82.95
	Horizontal	1	4	11	82.95
	DC	2	6	15	76.67
	Diagonal down left	4	4	11	31.82
	Diagonal down right	4	4	11	31.82
	Vertical right	4	4	11	31.82
	Horizontal down	4	4	11	31.82
	Vertical left	4	4	11	31.82
	Horizontal up	4	4	11	31.82
16x16	Vertical	16	64	91	78.71
	Horizontal	16	64	91	78.71
	DC	20	8	91	76.19
	Plane	71	279	94	49.51
8x8	Vertical	4	16	48	83.33
	Horizontal	4	16	48	83.33
	DC	8	18	40	67.78
	Plane	21	87	60	70.43
Average					60.09

참고문헌

- [1] 김승철, 조한진, "IT SOC magazine 통권 제9호", 정보통신연구진흥원, 49-50쪽, 2005
- [2] 심재오, 이선영, 조경순, "Design of Intra Prediction Circuit for H.264 Decoder Sharing Common Operations Unit", 전자공학회 논문지, 45권, 제 9호, 103-109쪽, 2008.09
- [3] 박종식, 이성수, "H.264 복호기에서 움직임 보상기와 연계하여 메모리 접근면에서 효율적인 인트라 예측기 설계", 전자공학회 논문지, 45권, 제 6호, 37-42쪽, 2008.06.
- [4] Ke Xu, Chiu-Sing, "A Power-Efficient and Self-Adaptive Prediction Engine for H.264/AVC Decoding", IEEE TRANSACTIONS ON VERY LARGE SCALE INTERACTION SYSTEMS, Vol. 16, No. 3, pp. 302-313, March 2008.