

# PLL을 위한 Charge Pump 회로 설계 및 고찰

황홍목 · 한지형 · 정학기 · 정동수 · 이종인 · 권오신

군산대학교 전자정보공학부

## Design of Charge Pump Circuit for PLL

Hongmoog Hwang · Jihyung Han · Hakkee Jung · Dongsoo Jeong · Jongin Lee · Ohshin

Kwon

School of Electronic and Information Eng., Kunsan National University

E-mail : hkjung@kunsan.ac.kr

### 요 약

통신기기에서 중요한 기술 중 하나인 PLL(Phase Locked Loop) 회로는 주기적인 신호를 원하는 대로, 정확한 고정점으로 잡아주는데 그 목적을 둔다. 일반적인 구조로 위상주파수검출기(Phase Frequency detector), 루프필터(Loop filter), 전압제어발진기(Voltage Controlled Oscillator), 디바이더(Divider)로 구성 되어진다. 그러나 일반적인 PLL 구조로는 지터(jitter)가 증가하고 트랙(tracking) 속도가 느리다는 단점이 있다. 이를 보완하기 위해 루프필터 전단에 차지펌프(Charge pump) 회로를 추가하여 사용하고 있다. 본 논문에서는 CMOS를 이용한 PLL용 차지펌프를 설계하였다. 설계된 회로는 0.18 $\mu$ m CMOS 공정 기술을 사용하여 CADENCE사의 Specter로 시뮬레이션 하였으며, Virtuso2로 레이아웃 하였다.

### I. 서 론

PLL(Phase Locked Loop)은 통신기기에서 가장 필수적인 주파수 합성기로 널리 이용되고 있는 회로이다. 일반적 PLL 구조는 위상주파수검출기, 루프필터, 전압제어발진기, 디바이더로 구성된다. 그러나 차지펌프 PLL은 위상주파수검출기와 루프필터 전단 사이에 차지펌프 회로를 삽입하여 기존의 PLL보다 더 정확하고 오차가 적은 출력을 얻을 수 있고 좋은 성능을 기대할 수 있다[1].

PLL에서 차지펌프는 위상주파수검출기에서 감지된 위상 차이 신호를 아날로그신호로 변환하여 전압제어발진기로 보내는 매우 중요한 역할을 담당한다[2][3]. 최근 차지펌프의 전류 부정합을 줄이기 위한 방법으로 연산증폭기(Operational Amplifier)나 캐스코드(Cascode)구조 또는 Gain-Boosting 회로를 사용하여 기준 전압을 일정하게 해 주어 최대한 좋은 전류 매칭 특성을 갖도록 하는 연구가 진행되어지고 있다.

본 논문은 PLL용 차지펌프회로의 구조와 동작을 설명하고 CMOS를 이용한 시뮬레이션 및 레이아웃 결과를 정리하였다. 회로 설계에는 CMOS 0.18 $\mu$ m 공정을 이용하여 Cadence사의 Specter로 시뮬레이션 하였으며, Virtuso2로 레이아웃 하였다.

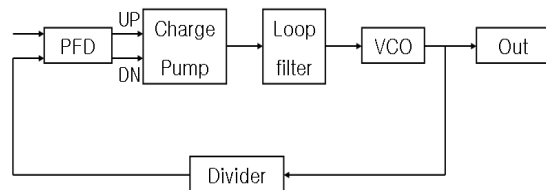


그림 1. 차지펌프 PLL의 블록 다이어그램

### II. 본 론

#### 2-1. 차지펌프

차지펌프회로는 PLL의 가장 기본적인 회로로 분류되지 않았지만, PLL의 동작영역을 넓히기 위해 위상주파수검출기를 사용하게 되면서, 루프필터의 전체 차수를 낮추고 위상차를 제거하기 위해 차지펌프가 첨가되었다.

차지펌프의 기본적인 설명은 그림 2와 같으며 UP상태시 스위치 I1이 ON 되어 루프필터를 I1의 전류로 충전시키고, DN상태 시 스위치 I2의 전류로 방전시킨다. N상태, 즉 UP/DN 신호가 없는 구간에서는 두 개의 스위치 모두가 OFF 되어 하이임피던스 상태로 되어 전류 이동은 없게 되는데 이 구간에서는 제어전압을 변함없이 유지하도록 만드는 것이 설계 시 까다로운 부분이다.

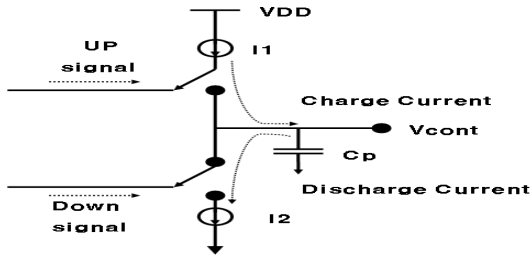


그림 2. 차지펌프 기본 회로도

본 논문에서 제안한 차지펌프 회로는 그림 3에 나타내었다[4]. UP 신호는 p-type differential pair CMOS 트랜지스터(Transistor)로 구성되었으며, Down 신호는 n-type differential pair CMOS 트랜지스터로 구성되었다. 이 제안된 차지펌프는 “I<sub>up</sub>”과 “I<sub>Down</sub>”의 두 개의 전류원을 사용하며, 두 전류원의 전류의 크기는 서로 같다. 또한, 제안된 차지펌프는 출력을 기준으로 좌, 우 완전히 대칭을 이루며, 이는 차지펌프에 충, 방전 전류의 매칭에 용이 하다.

본 회로에서 전류가 정합 되도록 하는 원리는 다음과 같다. 우선 P1과 P2, N8과 N9는 전류미러(current mirror)를 구성 하므로 각각에 흐르는 전류는 각각의 전류원인 I<sub>up</sub>과 I<sub>Down</sub>의 전류로 결정된다. P3과 P4는 UP, UPB 신호를 N6과 N7은 DN, DNB 신호로써 스위치 동작 기능을 하는 디지털 스위치며 I<sub>up</sub> 전류와 I<sub>Down</sub> 전류를 제어한다.

UPB, DNB 스위치가 ON일 경우, I<sub>up</sub> 전류원을 통해 나온 전류가 P1, N1, P5의 전류미러를 통해 I<sub>up</sub>이 되고, 이 전류가 LPF에 충전 전류가 된다. UP, DN 스위치가 ON일 경우, I<sub>Down</sub> 전류원을 통해 나온 전류가 N9, P9, N5의 전류미러를 통해 I<sub>Down</sub>이 되고, 이 전류가 LPF에 방전 전류가 된다. 모든 스위치가 ON일 경우에는 LPF에 충, 방전이 동시에 일어나며, 회로의 형태가 완전히 대칭성을 보이므로 전하의 흐름이 같은 속도로 일어나며, 이는 충, 방전 시 같은 전류 양을 보이게 된다.

N2와 P8은 모조(Dummy)의 트랜지스터로써 각각 UP신호 부분과 DN신호 부분에 추가 하였다.

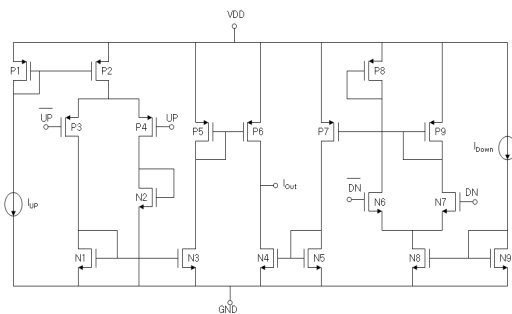


그림 3. 차지펌프 회로도

2-2. 시뮬레이션

트라이오드(Triode)영역의 식은

$$I_D = (\mu_n c_{ox}) \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2} V_{DS}^2] \quad (1)$$

포화(Saturation)영역의 식은

$$I_D = \frac{1}{2} (\mu_n c_{ox}) (\frac{W}{L}) (V_{GS} - V_{TH})^2 \quad (2)$$

다음 표 1에서는 본 논문의 회로 MOSFET 크기를 나타내었다. 본 회로에서 P3, P4, N6, N7는 스위치 기능을 하므로 이를 고려해 결정하였다.

표 1. MOSFET 크기 표

P1,P2	W	30 $\mu$ m	N6,N7	W	1 $\mu$ m
	L	1 $\mu$ m		L	0.18 $\mu$ m
P3,P4	W	3 $\mu$ m	N8,N9	W	10 $\mu$ m
	L	0.18 $\mu$ m		L	1 $\mu$ m
P5,P6 P7,P8 P9	W	10 $\mu$ m	N1,N2 N3,N4 N5	W	5 $\mu$ m
	L	0.5 $\mu$ m		L	1 $\mu$ m

식(1)과 식(2)를 이용하여 차지펌프 MOSFET 크기를 결정하고 시뮬레이션 하였다.

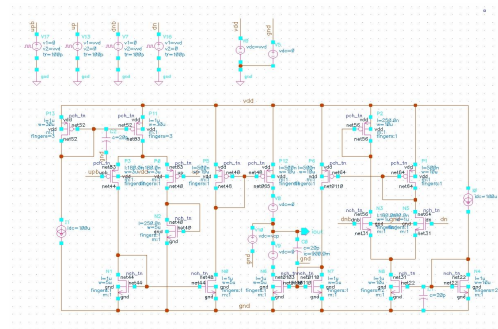


그림 4. Schematic

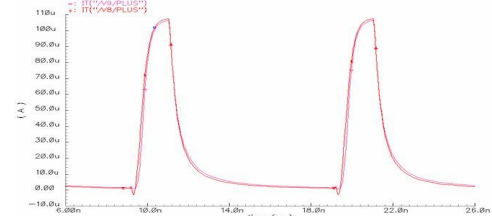


그림 5. 차지펌프 회로의 출력 파형

차지펌프 회로의 설계 시 가장 고려되어야 할 사항인 전류 부정합을 줄이기 위한 DC응답 특성을 그림 6에 시뮬레이션으로 검증 하였다.

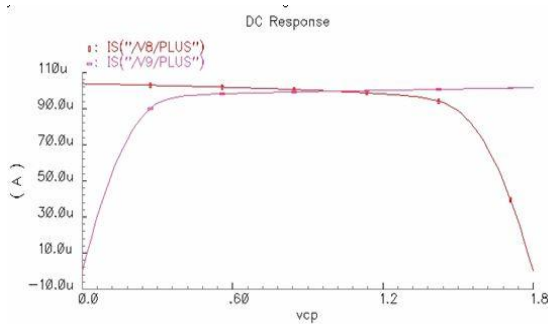


그림 6. 차지펌프 DC 응답특성

### 2-3. 레이아웃

다음 그림 5의 차지 펌프 레이아웃을 보면, 입력 신호의 MOSFET간의 정합 특성이 중요한데, 전하펌프회로 역시 위치에 대해 선형적으로 변하는 공정변화로 인해 두 트랜지스터간의 부정합 효과를 상쇄시키는 공통 중심 구조와 최대한 대칭 구조가 되도록 레이아웃 하였다.

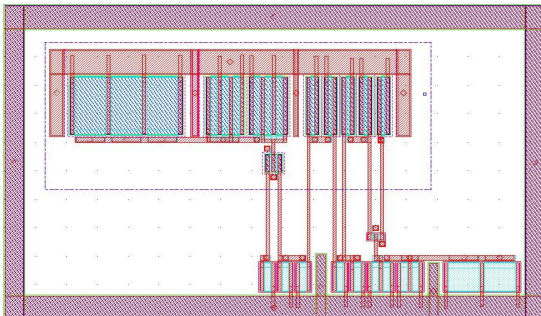


그림 7. 차지펌프 레이아웃

### III. 결 론

본 논문에서는 RF 주파수 합성기로 사용되는 차지펌프 PLL에 사용되는 외부에서 전류를 조정 가능한 차지펌프 회로를 설계 후 시뮬레이션 및 레이아웃을 하였다.

본 차지펌프는 differential 구조이며, 두 개의 전류원을 사용하여 회로의 대칭성을 이루어 충, 방전시 같은 양의 전류 크기를 보인다.

### 감 사 의 글

본 연구는 군산대학교 정보통신기술연구소의 부분적인 지원으로 수행되었음

### 참 고 문 헌

- [1] 최은주, 최은창, 김정범, 조경록, “CMOS의 선형성을 이용한 PLL용 차지펌프의 설계 및 고찰”, 한국통신학회 논문지, vol.23 No.2, pp.273-274, February 1998.
- [2] 부영건, 고동현, 김상우, 박준성, 이강윤, “넓은 출력 전압 범위를 갖는 위상동기루프를 위한 저전압차지펌프 회로 설계”, 전자공학회 논문지 제 45권 SD 편 제8호, pp.810, August 2008.
- [3] 손위, 김영운, 김영복, 서해준, 황금주, 조태원, “PLL을 위한 고속 동작 저전압 차지펌프회로 설계”, 대한전자공학회 하계종합학술대회 30권 제1호, pp.893, 2007.
- [4] "A Phase-Frequency Detector and a 차지펌프 Design for PLL Applications", Sinisa Milicevic and Leonard MacEachern carleton University, Department of Electronics 1125 Colonel By Drive, Ottawa, Ontario Canada K1S 5B6, pp.1533, May 2008.