

---

# OFDM 변복조를 위한 단일 메모리 구조의 FFT/IFFT 코어 생성기

임창완\* · 전홍우\* · 신경욱\*

\*금오공과대학교 전자공학부

## A single-memory based FFT/IFFT core generator for OFDM modulation/demodulation

Chang-Wan Yeem\* · Heung-Woo Jeon\* · Kyung-Wook Shin\*

\*School of Electronic Eng., Kumoh National Institute of Technology

E-mail : cwyeeem@kumoh.ac.kr

### 요 약

본 논문에서는 OFDM 기반의 통신 시스템용 FFT/IFFT 코어 생성기(FFT\_Core\_Gen)를 구현하였다. FFT\_Core\_Gen은  $N=64 \times 2^k$  ( $0 \leq k \leq 7$ )의 8가지 FFT/IFFT 코어의 Verilog-HDL 코드를 생성한다. 생성되는 FFT/IFFT 코어는 in-place 방식의 단일 메모리 구조를 기반으로 하며, FFT 길이에 따라 radix-4와 radix-2 DIF 알고리즘의 혼합 구조가 적용된다. 또한, 메모리 감소와 연산 정밀도 향상을 위하여 중간 결과값의 크기에 따른 조건적 스케일링이 연산 stage 단위로 적용되도록 하였으며, 내부 데이터와 격자계수는 각각 14비트를 사용한다. FFT\_Core\_Gen에서 생성되는 FFT/IFFT 코어의 연산 정밀도는 최소 58-dB ( $N=8,192$ )에서부터 최대 63-dB ( $N=64$ )의 SQNR을 갖는다. 생성되는 코어를 0.35- $\mu\text{m}$  CMOS 표준 셀로 합성한 결과 75-MHz@3.3-V의 속도로 동작 가능하여 64점 FFT 연산에 2.55- $\mu\text{s}$ 가 소요되고, 8192점 FFT 연산에 762.7- $\mu\text{s}$ 가 소요되어 OFDM 기반의 무선 랜, DMB, DVB 시스템의 요구조건을 만족한다.

### ABSTRACT

This paper describes a core generator (FFT\_Core\_Gen) which generates Verilog HDL models of 8 different FFT/IFFT cores with  $N=64 \times 2^k$  ( $0 \leq k \leq 7$ ) for OFDM-based communication systems. The generated FFT/IFFT cores are based on in-place single memory architecture, and use a hybrid structure of radix-4 and radix-2 DIF algorithm to accommodate various FFT lengths. To achieve both memory reduction and the improved SQNR, a conditional scaling technique is adopted, which conditionally scales the intermediate results of each computational stage, and the internal data and twiddle factor has 14 bits. The generated FFT/IFFT cores have the SQNR of 58-dB for  $N=8,192$  and 63-dB for  $N=64$ . The cores synthesized with a 0.35- $\mu\text{m}$  CMOS standard cell library can operate with 75-MHz@3.3-V, and a 8,192-point FFT can be computed in 762.7- $\mu\text{s}$ , thus the cores satisfy the specifications of wireless LAN, DMB, and DVB systems.

### 키워드

FFT, OFDM, core generator, Wireless LAN, DMB, DVB

### 1. 서 론

직교 주파수 분할 다중화 (Orthogonal Frequency Division Multiplexing; OFDM) 방식은 고속의 데이터 전송을 위한 기술로 유럽, 일본 및 호주의 디지털 TV 표준으로 채택되었으며, 무선 랜, 휴대 인터넷 (WiBro), 지상파 DMB 및 UWB

(Ultra Wide-Band) 등 디지털 무선 통신 및 방송 시스템에 폭넓게 이용되고 있다. OFDM의 원리는 고속의 데이터 스트림을 여러 개의 저속의 데이터 스트림으로 분할하여 이들을 다수개의 반송파에 실어 동시에 전송하는 것이다[1]. IFFT/FFT는 다수 반송파의 변·복조를 수행하는 OFDM의 핵심 블록이다. OFDM 기반 변복조기는 응용 시스

템에 따라 64점에서 8192점 범위의 다양한 FFT 코어가 사용되며, FFT 길이에 따른 FFT 코어를 생성하는 IP 개발이 필요하다[2][3].

FFT 구조에는 단일 메모리 구조, 이중 메모리 구조, 파이프라인 구조, 어레이 구조 등이 있으며, 일반적으로 파이프라인 구조와 단일 메모리 구조가 사용된다[4]. 파이프라인 구조는 높은 처리율을 얻을 수 있지만 큰 면적을 차지하는 단점을 가지고 있는 반면에 단일 메모리 구조는 하나의 나비연산기 (Butterfly Unit)와 중간 결과값을 저장하기 위해 하나의 메모리를 사용하기 때문에 작은 면적으로 구현이 가능한 장점이 있다.

본 논문에서는 OFDM 통신 시스템에 활용하기 위하여  $N=64 \times 2^k$  ( $0 \leq k \leq 7$ )의 8가지 FFT/IFFT 코어의 Verilog HDL 코드를 생성하는 FFT/IFFT 코어 생성기(FFT\_Core\_Gen)를 구현하였다.

## II. 단일 메모리 구조의 FFT/IFFT 코어 생성기

FFT\_Core\_Gen은 FFT 길이  $N=64 \times 2^k$  (단,  $0 \leq k \leq 7$ )를 지정하면 자동으로 파라미터 값을 설정하여, 64에서 8,192까지 8가지의 FFT/IFFT 코어 중 하나의 Verilog HDL 코드를 생성한다. 그림 1은 FFT\_Core\_Gen의 실행 화면이다.

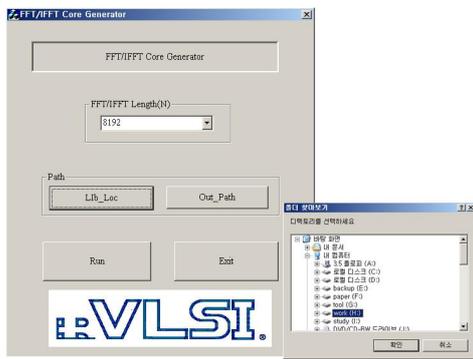


그림 1. FFT\_Core\_Gen의 실행 화면

### 2.1 FFT/IFFT 코어의 구조

FFT\_Core\_Gen에서 생성되는 FFT/IFFT 코어는 그림 2와 같이 단일 메모리 구조를 기반으로 하며, 하나의 나비연산기와 하나의 복소수 승산기, 격자계수 메모리, 스케일 블록, 그리고 이들 블록의 동작을 제어하기 위한 제어블록 등으로 구성된다. 나비연산기는 radix-4 연산을 기본으로 하며, 선택적으로 radix-2 연산이 추가되어 64점에서 8192점 범위의 FFT/IFFT를 연산한다. FFT의 길이 N에 대해  $N=4^k$  ( $3 \leq k \leq 6$ )인 경우에는 k번의 radix-4 연산이 반복 수행되며,  $N=2^{2k+1}$ 인 경우에는 k번의 radix-4 연산과 한번의 radix-2 연산이 수행된다. 각 연산 stage의 중간 결과값은

실수와 허수 각각 16비트로 결정하였으며, 조건적 스케일링 블록 (CSB)은 각 연산 stage 결과값의 크기에 따라 조건적으로 스케일링하며, 이에 의해 유한한 내부 비트 수에 의한 연산 오차가 최소화 되도록 하였다. 메모리 주소는 각 연산 stage의 중간 결과값의 읽기주소와 쓰기주소가 동일하게 사용되는 in-place 방식이 사용하였다. 복소수 승산기(CMUL)는 redundant binary 수체계를 이용하여 설계되었다. 입력단의 IN\_Buffer는 순차적으로 입력되는 데이터를 받아 버퍼링하여 연속적인 실시간 동작이 가능하도록 한다. 출력단의 OCB (Output Compensation Block)은 역스케일링을 통해 최종 출력 데이터의 크기를 보정한다.

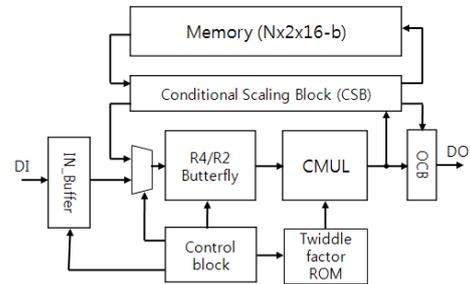


그림 2. 단일 메모리 구조의 FFT/IFFT 코어

나비연산기는 radix-4 연산과 radix-2 연산이 선택적으로 수행될 수 있도록 그림 3과 같은 구조로 설계되었다. radix-4 연산을 기본으로 하고, select\_r2 신호에 의해 radix-2 연산이 선택적으로 수행된다. 그림 2의 FFT/IFFT 코어는 저면적 구현을 위해 하나의 복소수 승산기만을 사용하므로, 나비연산기는 한 사이클 당 하나의 데이터를 생성한다. 따라서 radix-4 연산은 4 사이클이 소요되며, radix-2 연산은 2 사이클이 소요된다.

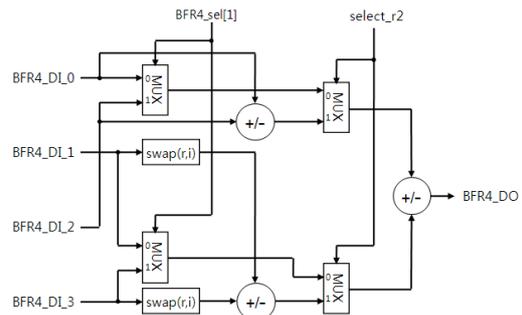


그림 3. Radix-4/Radix-2 나비 연산기

### 2.2 메모리 주소 생성

그림 2의 FFT/IFFT 코어는 in-place 방식을 사용한 단일 메모리 구조이므로, 효율적인 메모리 주소의 생성이 중요하다. 본 논문에서는 그림 4와 같은 메모리 주소 생성 알고리즘을 이용하여 메모리 주소 생성회로를 설계하였다. 그림 4에서

그림 4. 메모리 주소 생성 알고리즘

---

```

s = ⌊log4N⌋ // Number of stage
b = log2N // Number of address bit
a0[b-1:0] = cnt[b-1:0]
for k from 1 to s begin
  if (k=1)
    ak = concat(a0[1:0], a0[b-1:2])
  else
    if (k=s)
      ak = a0
    else
      if (k=2)
        ak = concat{swap(ak-1[b-2k+3:b-2k+2], ak-1[b-2k+1:b-2k]), ak-1[b-2k-1:0]}
      else
        ak = concat{ak-1[b-1:b-2k+4], swap(ak-1[b-2k+3:b-2k+2], ak-1[b-2k+1:b-2k]), ak-1[b-2k-1:0]}

```

---

concat(x, y)는 x와 y를 순서대로 결합하는 것을 의미하며, swap(x, y)는 x와 y의 위치 교환을 의미한다. 그림 4의 알고리즘을 이용한 메모리 주소 생성 회로는 그림 5와 같으며, 0에서 N-1까지 증가하는 증가 계수기와  $b = \log_2 N$ 개의 MUX에 의해 매 stage의 메모리 주소 ( $a_k$ )가 생성된다.

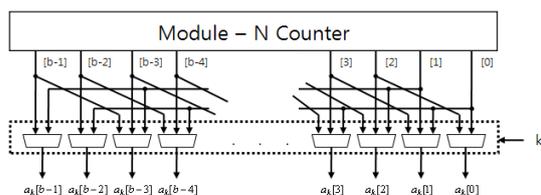


그림 5. 메모리 주소 생성 블록

### 2.3 조건적 스케일링

FFT 연산은 나비연산과 복소수 곱셈으로 구성되는 연산단계를 거치면서 내부 데이터의 비트수가 지속적으로 증가하게 된다. 따라서 고정된 메모리 비트를 갖는 단일 메모리 구조에서는 증가된 데이터의 스케일링이 필수적이다.

본 논문에서는 각 연산 stage마다 중간 결과값의 크기에 따른 조건적 스케일링을 통해 오차를 최소화하는 방법을 고안하여 적용하였다. 조건적 스케일링 블록 (Conditional Scaling Block; CSB)은 각 연산 stage의 복소수 승산결과 31비트로부터 stage scaling index (SSI)를 찾고, 이를 이용하여 메모리에 저장된 16비트의 중간 결과값을 14비트로 스케일링하여 다음 stage의 연산에 사용되도록 한다.

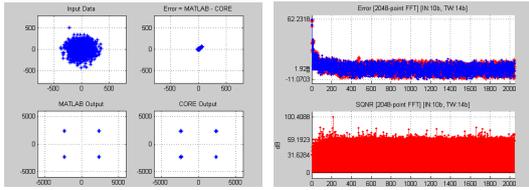
본 논문의 FFT/IFFT 코어는 각 연산 stage의 처리가 연속적으로 이루어지며, 따라서 k번째 stage의 마지막 복소수 승산과 (k+1)번째 stage의 첫번째 나비연산이 동시에 이루어지게 된다. k번째 stage의 SSI는 해당 stage의 마지막 복소수 승산이 완료되는 시점에 확정되며, 이는 (k+1)번째 stage가 시작된 이후가 된다. 따라서 (k+1)번째

stage의 첫 번째 나비연산 입력 데이터는 k번째 stage의 SSI를 적용하여 스케일링하는 것이 불가능하다. 이와 같은 문제를 해결하기 위하여, 각 연산 stage의 첫 번째 나비연산에 사용되는 4개의 데이터는 임시 스케일링 지수 (Temporal Scaling Index; TSI)를 적용하여 임시 스케일링하고, 복소수 승산이 끝난 후에 정확한 SSI가 확정되면 TSI와 SSI의 차이만큼 보상해준다. 한편, 매 연산 stage의 두 번째 나비연산부터는 이전 stage의 확정된 SSI를 이용한 스케일링 결과가 사용된다.

연산 stage를 거치면서 중간 결과값들은 SSI 만큼 스케일링이 이루어지므로, 최종 출력 데이터는 역 스케일링을 통한 보상이 필요하다. 출력보상 블록 (Output Compensation Block; OCB)은 각 연산 stage를 통해 누적된 스케일링 지수 (Accumulation Scaling Index; ACSI) 만큼 역스케일링을 통해 최종 출력 데이터를 보상을 한다. 또한, OCB에는 FFT/IFFT를 선택적으로 수행하기 위해 실수부와 허수부를 교환하는 스위치 블록이 포함된다.

### III. 설계 검증 및 성능 분석

생성된 FFT/IFFT 코어는 ModelSim과 Matlab을 이용하여 성능 평가를 수행하였다. 2진 랜덤 신호를 생성하여 변조한 후, 부동점 연산을 갖는 이상적인 IFFT와 이득 조정을 거쳐 양자화 된 데이터를 입력 데이터로 사용하였다. 그림 6-(a)는 2048점 FFT 모드의 시뮬레이션 결과이다. 시뮬레이션에 사용된 입력 데이터는 좌측 상단의 정상도와 같으며, 좌측 하단의 정상도는 Matlab에서 얻어진 이상적 FFT 출력이고, 우측 하단의 정상도는 생성된 FFT 코어에서 얻어진 FFT 출력이다. 연산오차는 우측 상단의 정상도와 같이 매우 작은 범위를 나타낸다. 연산 정확도는 SQNR 분석을 통해서도 알 수 있으며, 그림 6-(b)는 연산오차와 SQNR 특성을 주파수 별로 보인 것이다.



(a) Constellations (b) Error and SQNR  
그림 6. 생성된 FFT 코어의 성능 평가(N=2048)

생성된 FFT/IFFT 코어를 0.35- $\mu\text{m}$  CMOS 표준 셀로 합성한 결과, 최대 지연시간은 13.3ns로서 75-MHz@3.3-V에서 안전하게 동작 가능할 것으로 평가되었다. 표 1은 FFT 길이 N에 따른 SQNR, 면적, 연산시간, 그리고 통신 시스템에 따른 유효 심볼 길이를 나타낸 것이다. FFT/IFFT 코어의 연산 정밀도는 최소 58-dB (N=8,192)에서부터 최대 63-dB (N=64)의 SQNR을 가지며, 생성된 코어의 연산시간이 각 통신시스템에서 요구하는 조건을 모두 만족하는 것으로 나타났다.

표 1. FFT 길이에 따른 성능 분석

N	SQNR (avg)	Area		연산시간 [ $\mu\text{s}$ ]	유효심볼길이 [ $\mu\text{s}$ ] (통신 시스템)
		gate	Mem [byte]		
64	63.86	14,548	2,048	2.55	3.2 (WLAN)
128	61.22	15,031	4,096	6.81	160 (ACIS)
256	62.90	14,994	8,192	13.62	125 (DAB III)
512	60.43	15,556	16,384	34.05	250 (DAB II) 234 (ADSL)
1024	60.22	16,113	32,768	68.10	500 (DAB IV) 102.4 (WiBro)
2048	59.19	16,940	65,536	163.43	1000 (DAB I) 224 (DVB-T:2k)
4096	58.50	17,874	131,072	326.86	448 (DVB-H:4k)
8192	58.43	21,297	262,144	762.68	896 (DVB-T:8k)

표 2는 1024점 FFT 코어를 기준으로 성능을 비교한 것이다. Spiffie의 cached memory 방식[4]의 115,000게이트, mixed-radix 방식의 CFMR[8]의 37,000게이트에 비하여 각각 86%와 56% 감소된 16,113게이트로 구현되었으며, 따라서 본 논문의 FFT 코어는 저면적/저전력 특성이 우수하다.

#### IV. 결 론

본 연구에서는 다중 표준 OFDM 통신 시스템에 활용될 수 있는  $N=64 \times 2^k$  ( $0 \leq k \leq 7$ )의 8가지 FFT/IFFT 코어의 Verilog HDL 코드를 생성하는 생성기 FFT\_Core\_Gen을 구현하였다. 생성되는 FFT/IFFT 코어는 크기 N의 단일 메모리 구조를 가지며, in-place 방식에 적합한 효율적인 메모리

주소 생성 알고리즘을 구현하였다. 나비 연산기와 복소수 승산기를 각각 하나씩 사용하고, 크기가 N인 메모리로 구성하였으며, 조건적 스케일링을 통해 메모리 크기 감소와 정밀도 향상이 얻어졌다.

75-MHz@3.3-V로 동작 가능하며, 8192점 FFT의 연산시간은 762.7- $\mu\text{s}$ 로서 DVB-T 표준에서 제시하는 유효 심볼 구간인 896- $\mu\text{s}$ 를 충분히 만족한다. FFT\_Core\_Gen에 의해 생성되는 FFT 코어는 WLAN (802.11a), DAB, DVB-T, DVB-H, WiBro, 그리고 VDSL과 같은 OFDM 기반의 다양한 통신 시스템에 폭 넓게 사용될 수 있을 것이다.

표 2. 1024점 FFT 코어의 성능 비교

	Spiffie[4]	CS2410[5]	CFMR[6]	This paper
Technology [ $\mu\text{m}$ ]	0.7	0.18	0.18	0.35
Gate count	115,000	39,000	37,000	16,113
Frequency [MHz]	173	100	100	75
Memory [KByte]	4.5	4.0	8.0	4.0
Radix	radix-2	mixed-radix	mixed-radix	radix-2/-4
In-place	Yes	Yes	Yes	Yes
Word length [bit]	18	16	16	14
Computation cycles	5,100	5,175	1,280	5,120

#### 참고문헌

- [1] 조용수, 무선 멀티미디어 통신을 위한 OFDM 기초, 대영사, 2001.
- [2] 이진우, 신경욱, 김종환, 백영석, 어익수, "OFDM 모델용 FFT/IFFT IP 자동 생성기," 한국통신학회논문지 제31권 제3A호, pp. 368~376, 2006
- [3] J. C. Kuo, C. H. Wen, A. Y. Wu, "Implementation of a programmable 64~2048-point FFT/IFFT processor for OFDM-based communication systems," *Proceedings of the IEEE international symposium on circuits and systems*, vol.2, pp 121-124, May 2003
- [4] B. M. Baas, "A low-power, high-performance, 1024-point FFT processor," *IEEE J. Solid-State Circuits*, vol. 24, no. 3, pp. 380-387, Mar. 1999.
- [5] Amphion, CS2410 8-1024 Point FFT/IFFT, Jul. 2001.
- [6] B. G. Jo and M. H. Sunwoo, "New continuous-flow mixed-radix (CFMR) FFT processor using novel in-place strategy," *IEEE Trans. on Circuits and Systems I: Regular Papers*, vol. 52, no. 5, pp. 911 - 919, May 2005.