

광 바이오 센서 시스템을 위한 RGC 기법의 저전력 전치증폭기 설계

Design of Low-power Regulated Cascode TIA for photonic bio sensor system

김 세 환*, 홍 남 표*, 최 영 완**
 Se-Hwan Kim, Nam-Pyo Hong, and Young-Wan Choi

Abstract

광 바이오 센서 시스템에서 Trans-impedance amplifier (TIA)는 광검출기로부터 입력단으로 들어오는 미세한 전기 신호를 원하는 신호 레벨까지 증폭하는 역할을 한다. TIA는 광 바이오 센서 시스템의 감도 (sensitivity)를 결정하는 매우 중요한 회로로 저잡음, 저전력, 낮은 입력 임피던스 등의 특성이 요구되어진다. 본 논문에서는 광 바이오 센서 시스템에서 요구되어 지는 저전력, 저잡음 성능을 구현하기 위하여 regulated cascode (RGC) TIA를 설계하였다. 본 연구에서는 기존 common gate (CG) 기법의 TIA에서 선류원 역할을 하는 current source를 저항으로 대체하고, local feedback stage를 이용하는 RGC TIA를 저잡음, 저전력 특성 및 회로 면적 감소의 장점을 갖도록 설계하였다.

Keywords : Trans-impedance Amplifier, Regulated Cascode TIA, Common Gate TIA, CMOS, Low power, Low noise, Bio Sensor System

I. 서 론

최근 들어 광 바이오 센서 시스템 구현을 위해 수신단의 전력 소모와 잡음을 줄이는 연구가 활발히 진행되고 있다. 광 수신기 모듈 개발에 있어 광 검출기와 Trans-impedance Amplifier (TIA)는 가장 핵심이 되는 부분이다. 입력단에 들어오는 광 신호를 전기 신호로 바꾸는 광검출기와 미약한 전기 신호를 원하는 신호 레벨까지 증폭하는 저잡음 특성의 TIA는 광 수신 시스템의 수신 감도를 결정하는 핵심적인 부분이다. TIA는 저잡음 특성과 저전력, 낮은 입력 임피던스가 요구되며, 이런 문제점을 해결하는 광 바이오 센서 시스템을 위한 TIA 설계가 필요하다. 또한, TIA는 광 바이오 센서 시스템 전체의 성능 지표인 동작속도, 감도, 잡음을 결정하는 요소로서, TIA 설계 시 대역폭, 이득, 잡음, 전력소모 등을 고려해야 한다[1].

본 논문에서는 광 바이오 센서 시스템 성능 향상을 위해 낮은 입력 임피던스, 저전력의 특성을 갖는 RGC 기법의 TIA를 설계하였다[2]. 또한, 설계된 RGC TIA는 기존에 이용되었던 Common Gate (CG) TIA와 비교 분석 하였다.

II. 본 론

1. ACG TIA의 입력 임피던스

그림 1과 그림 2는 각각 advanced common gate (ACG) TIA와 common gate(CG) TIA의 구조를 보이고 있다.

접수일자 : 2009년 7월 23일

최종완료 : 2009년 8월 14일

*중앙대학교 전기전자공학부 대학원

** 중앙대학교 전기전자공학부

교신저자, E-mail : ychoi@cau.ac.kr

ACG TIA는 TIA의 형태 중 가장 간단한 구조를 갖는 CG TIA와 다르게 local feedback stage[3]에 의해 더욱 큰 전압이득을 얻을 수 있다. 그리고 이 local feedback stage에 의해 낮은 입력 임피던스를 갖게 되며, 이로 인해 우수한 잡음 특성을 가질 수 있게 된다.[4-5] 소신호 분석을 통한 ACG 회로의 입력저항은 다음과 같다.

$$Z_{IN} \cong \frac{1}{g_{m1}(1 + g_{mB}R_B)} \quad (1)$$

식 (1)에서 보는 바와 같이, ACG 입력 임피던스는 공통 게이트 입력단에 비해 local feedback stage단의 전압 이득인 $1 + g_{mB}R_B$ 만큼 작아지게 된다.

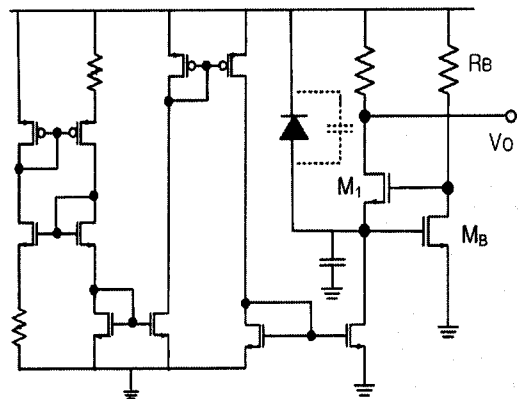


그림 1. ACG TIA

Fig. 1. Advanced Common Gate Trans-impedance Amplifier

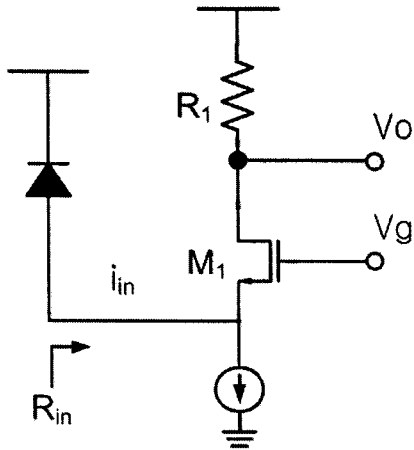


그림 2. CG TIA

Fig. 2. Common Gate Trans-impedance Amplifier

2. Power Consumption

위에서 언급한 ACG TIA는 CG TIA에 비해 낮은 입력 임피던스를 가지기 때문에 잡음 지수 (NF, Noise Figure)가 낮은 장점을 가지고 있다. 그러나 그림 1의 ACG TIA는 핵심부분인 local feedback stage가 연결된 CG 외에도 공급전원의 변동을 극소화 하여 시스템에 안정적인 전원을 공급하기 위해 biasing circuit이 추가적으로 필요하게 되어 소비전력이 크다는 단점을 가지고 있다.

전력 소모를 최소화 하기위해 그림 3.에서와 같이 M₁의 소스단에 연결되는 biasing circuit을 저항으로 대체하는 RGC 기법의 TIA 회로가 휴대용 광 바이오 시스템에 적합하다. RGC 기법을 적용한 TIA는 ACG TIA와 같이 local feedback stage에 의해 입력임피던스가 결정되기 때문에 ACG TIA와 동일한 NF 특성을 갖는다.

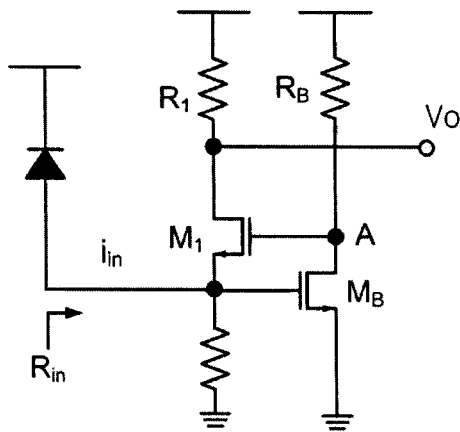


그림 3. RGC TIA

Fig. 3. Regulated cascode Trans-impedance Amplifier

설계되어진 ACG의 전체 소모 전력은 1.8 V의 전압을 인가하였을 때 회로 전체에서 소비하는 전류는 4.45 mA가 흘러 약 8.011 mW의 전력을 회로에서 소모함을 시뮬레이션에 의해 확인하였다. 이에 반해 본 논문에서 바이오 시스템에 적합하다고 제안되어지는 RGC 기법의 TIA는 ACG와 동일한 전압인 1.8 V를 인가하였을 때, 소비하는 전류가 1.54 mA가 흘러 전력이 2.77 mW로 ACG TIA에 비해 34.6 % 정도 낮은 전력을 소모함을 확인 하였다.

3. Chip Size

제안된 회로를 구현하기 위해 삼성 0.18 μm 공정으로 설계하였다. ACG 기법의 TIA는 91.2 μm × 185.9 μm 면적을 갖는 반면 RGC 기법의 TIA는 62 μm × 47 μm의 면적을 갖는다. 따라서 본 논문에서 바이오 시스템에 적합하다고 제안하고 있는 RGC 기법을 적용한 TIA가 ACG 기법을 적용 했을때 보다 약 17 % 만큼의 면적이 축소됨을 확인하였다. 그림 4.는 RGC 기법의 TIA의 레이아웃 결과이다.

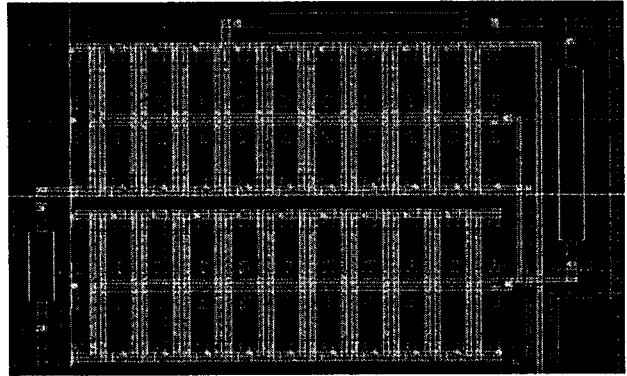


그림 4. RGC 기법의 전치증폭기 레이아웃

Fig. 4. Layout of Regulated cascode Trans-impedance Amplifier

위의 내용을 정리하여 표 1.에 나타내었다.

표 1. CMOS TIA의 성능 비교

Table 1. Performance comparison with CMOS TIAs

	ACG TIA	RGC TIA
Technology	0.18 μm CMOS	0.18 μm CMOS
Power supply	1.8 V	1.8 V
Gain	38.19 dB	39.16 dB
Power consumption	8 mW	2.8 mW
Chip Size	91 μm × 186 μm	62 μm × 47 μm

III. 결 론

본 논문에서는 휴대용 광 바이오센서에 응용 가능한 RGC 기법의 TIA를 설계하고 이론적인 검증과 Cadence tool을 이용하여 시뮬레이션 검증을 수행하였다. common gate (CG) 기법의 TIA에서 전류원 역할을 하는 current source를 저항으로 대체하고, local feedback stage를 이용하여 RGC TIA를 설계하였고, 낮은 입력 임피던스, 34.6 % 정도 낮은 전력 소모, 17 % 만큼의 칩 면적 감소와 같은 장점을 확인하였다. 삼성 0.18 μm CMOS 공정을 이용하여 62 μm × 47 μm 크기의 TIA 회로를 집적화 하였다. 칩은 현재 packaging 과정에 있으며 칩 제작 완료 시 회로 구동 실험을 예정하고 있다.

감사의 글

본 연구는 서울시산학연사업(10544), 지식경제부 출연금으로 ETRI, 시스템 반도체진흥센터에서 수행한 IT SoC핵심설계인력양성사업, 중소기업청이 주관하는 산학연 공동기술개발 지원사업의 지원을 받아 연구되었음

[참고 문헌]

- [1] 허태관, 조상복, 박성민 “광통신용 다채널 CMOS 차동 진치증폭기 어레이,” 전자공학회 논문지, 제42권, 제8호, pp.53-60, 8. 2005
- [2] S. M. Park and H. I. Yoo, *1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier for Gigabit Ethernet Applications*, IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. 39, no. 1, pp. 112-121, January 2004
- [3] Y. C. Chen, Shey-Shi, "Analysis and design of CMOS broadband amplifier with dual feedback loops", IEEE Asia-Pacific Conference, pp. 245-248, Aug. 2002
- [4] B. Razavi, "Design of Analog CMOS Intergrated Circuits", McGraw-Hill, 2001
- [5] B. Razavi, "Design of Intergrated Circuits for Optical Communications", McGraw-Hill, 2003



김 세 환

2009년 중앙대학교 전자전기공학부(공학사).
2009년~현재 중앙대학교 전자전기공학부 공학석사 재학중.
<관심분야> CMOS IC Design
<e-mail> zzang5676@gmail.com



홍 남 표

2007년 중앙대학교 전자전기공학부(공학사).
2007년~2009년 중앙대학교 전자전기공학부(공학석사).
2009년~현재 중앙대학교 전자전기공학부 공학박사 재학중.
<관심분야> RFIC, CMOS IC Design.

<e-mail> hnplop@gmail.com



최 영 완

1985년 서강대학교 전자공학과 (공학사).
1987년 SUNY at Buffalo, 전기및컴퓨터 공학과 (공학박사).
1992년~1995년 한국전자통신연구원(ETRI), 선임 연구원.
1995년~현재 중앙대학교 전자공학과 교수.

<관심분야> 광전자, 광통신 회로시스템, Microwave-Photonics, USN
<e-mail> ychoi@cau.ac.kr